

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-334943
(P2007-334943A)

(43) 公開日 平成19年12月27日(2007.12.27)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 5 4 C	5 M 0 2 4
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 S	

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号	特願2006-162963 (P2006-162963)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成18年6月13日(2006.6.13)	(74) 代理人	100100310 弁理士 井上 学
		(72) 発明者	清田 雄策 神奈川県秦野市堀山下1番地 株式会社日立製作所エンタープライズサーバ事業部内
		Fターム(参考)	5M024 AA22 AA49 BB27 BB33 DD83 JJ03 JJ34 JJ48 PP01 PP02 PP07

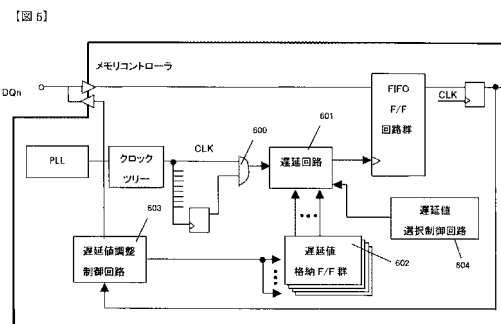
(54) 【発明の名称】 メモリ制御装置

(57) 【要約】 (修正有)

【課題】 データストローブ信号のグリッジノイズに配慮した回路を具備することなく、SDRAMとメモリコントローラ間の配線制限を緩和することを目的とする。

【解決手段】 DDR-SDRAMを記憶手段として保持するメモリシステムに対し、データストローブ信号であるDQSとは別のクロックにてデータを取り込むことを特徴とするメモリ制御装置が提供される。上記メモリ制御装置は、前記クロックをマスクする回路600とそのマスク回路の出力に接続される遅延回路601を備えている。更に、メモリチップ毎に遅延時間を格納するフリップフロップ群602を備え、リードアクセスの度にアクセスされるメモリチップを判断し、データの取り込みタイミングに合わせて遅延値格納フリップフロップ群602の遅延値を遅延値選択制御回路604によって選択し、前記遅延回路601によってマスク回路600の出力信号を遅延させる。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

DDR-SDRAMを記憶手段として保持するメモリシステムにおいて、データストロープ信号であるDQSとは別のクロックでデータを取り込むことを特徴とし、前記クロックのマスク回路とそのマスク回路の出力を遅延させる遅延回路を備え、複数のメモリチップが接続されたメモリシステムにおいてCSで区切られたメモリチップとDQ/DQSグループの組合せ毎に前記遅延回路の遅延値を格納する手段を備え、更にSDRAMのリードアクセスの度にアクセスされるメモリチップを判断し、データの取り込みタイミングに合わせて前記遅延回路の遅延値を選択する回路を備えたメモリ制御装置。

【請求項 2】

請求項 1 に記載の遅延回路において、調整パターンを用いて、前記遅延回路の遅延時間を調整し、データを取り込み可能な最適な遅延値を格納する手段を備えたメモリ制御装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリからデータを読み出すためのメモリインターフェース制御回路に関し、特にDDR-SDRAM(Double Data Rate - Synchronous Random Access Memory)の読み出しインターフェース制御回路に関する。

20

【背景技術】

【0002】

SDRAMなどの同期型メモリは、メモリコントローラからストロープ信号としてのクロックに同期して、アドレス信号、制御信号、ライトデータ信号などを供給され、クロックに同期してリードデータ信号を出力する。クロックをストロープ信号に利用することで、高速サイクルでの動作が可能になる。

【0003】

また、近年ではメモリーチップセットでの各チップ間に発生するスキューを最小化し、コンピュータ内で各回路間の同期を取るためにメモリコントローラと同周期のデータストロープ信号を用い、その立ち上がり時と立ち下りの両方のエッジに同期してデータの読み書きが行なえるようにしたダブルデータレート(DDR)モードという高速なデータ転送機能をもったDDR-SDRAMが登場している。

30

【0004】

まず、DDR-SDRAMにて新しく採用されたデータストロープ信号DQSについてリード動作を例に図1のタイミング図と図2のブロック図を用いて説明する。

リードサイクル中、DDR-SDRAMはクロック(CLK)に同期したデータストロープ信号DQSを制御する。メモリコントローラ等のレシーバはデータと並走されて送られたDQSを基準にして、データ(DQ)を取り込む。リードサイクル中のDQSの動作は次の通りとなる。

(1) データが出力されていない状態ではハイ・インピーダンス状態となる(図1中100)。

(2) リード・コマンド入力後、DQSはリードデータが出力される約1サイクル前にローレベルとなる。この期間をプリアンブルと呼ぶ(図1中101)。

40

(3) DQSはクロックと同周波数のトグルを始め、リードが終了するまでトグルし続ける(図1中102)。

リード動作ではDQSのエッジとリードデータのエッジは一致するためメモリコントローラ等のレシーバはリードデータを受け取る場合、データストロープ信号をリードデータが取り込むことができる位置までPDL(Programable DeLay)やDDL(Delay Locked Loop)を備えた遅延回路を用いて調整したクロック(図1中のDQSL)でデータを取り込むのは公知の技術である。

(4) リードが終了すると、1/2クロックの間ローレベルとなる。この期間をポストアンブルと呼ぶ(図1中103)。

50

(5) ポストアンプル期間が終了すると再びハイ・インピーダンス状態に遷移する(図1中104)。

【0005】

上述した通り、DDR-SDRAMのデータストローク信号DQSはポストアンプル期間(図1中103)経過後にハイインピーダンス状態に遷移するが、この時、信号反射が発生するとグリッジが生じ(図1中201)、このグリッジの影響によって不当にFIFO_Cが更新されるため(図1中202)内部回路にてデータ化けを引き起こす問題がある。

【0006】

一般に異なるクロックドメインから別のクロックドメインに一定の量のデータを転送する場合、データ転送速度の違いや、データバス幅の違いを整合するために図2に示すようなFIFO(First In First Out)回路が用いられるが、DDR-SDRAMを記憶手段として有するメモリシステムにおいても一般的である。可変遅延回路308はデータストローク信号DQSをデータ取り込み可能な位置まで位相を調整する。メモリからの読み出しデータはデータストローク信号DQSで動作する制御回路300で制御され、データ保持可能なDフリップフロップ302、303、304、305へ順番に書き込まれる。前記フリップフロップへの書き込みデータは、内部クロック(CLK)で動作する制御回路301でセレクトされ、フリップフロップ307へと転送される。

10

【0007】

しかし上述したグリッジが生じると、FIFO内データが壊され(図1中202)、その結果FIFO出力も不当(図1中203)となってしまう。

20

上記、問題点を解決するため、特開平2005-276396では図3に示すように、データストローク信号DQSにマスクをかける回路を設けて、グリッジが乗らないようにしてグリッジ耐性を高めるメモリインタフェース制御回路が記載されている。

【0008】

以下、従来技術について図3のブロック図、図4のタイミング図を用いて説明する。

マスク信号可変遅延回路401はマスク信号遅延値制御回路400より出される基本マスク信号SDEの変化タイミングを、マスク信号遅延値制御回路400から出される遅延制御信号によって最適値に調整する。DDR-SDRAMから出されるデータストローク信号DQSはデータ信号DQと同位相で出力されるので、そのままデータストローク信号とするとデータを受け取るタイミングが厳しいためDQS遅延値調整制御回路407によりデータストローク信号DQSがDQを取り込める位置まで位相をずらす制御を行う。

30

【0009】

マスク信号生成回路404はマスク信号可変遅延回路401によって遅延が調整された基本マスク信号SDFとDQS可変遅延回路403によって遅延が調整されたデータストローク信号DQSLからマスク信号DQEを生成する。AND回路405はマスク信号生成回路404で生成されたマスク信号DQEとデータストローク信号DQSLとのAND回路を取ることで、データストローク信号DQSLからグリッジノイズ(図4中500)を削除したデータストローク信号DQSPを生成する。このデータストローク信号DQSPでFIFO回路群406を機能させることでグリッジ耐性を向上させたメモリインタフェース制御回路を実現している。

40

【0010】

【特許文献1】特開2005-276396

【発明の開示】

【発明が解決しようとする課題】

【0011】

上述した従来技術は、データストローク信号DQSに必要なとき以外はマスクしているのでグリッジノイズ耐性が高く有効な手段であり、マスク信号とデータストローク信号DQSに遅延回路を備えているため、ボードレイアウトの配線制約も緩和されるが、次のような問題点がある。

【0012】

第一の問題点は、従来技術は一本のデータストローク信号DQSをマスクするための信号

50

を調整するマスク信号遅延値調整制御回路400とマスク信号可変遅延回路401、データストロープ信号DQSがDQを取り込める位置まで位相をずらす制御を行うDQS遅延値調整制御回路407とDQS可変遅延回路403の2組の調整制御回路と可変遅延回路が必要となるため回路が複雑化するという問題である。

【0013】

第二の問題点は、DDR-SDRAMシステムのボードレイアウトはDDR-SDRAMとメモリーコントローラ間の一本のDQSとこれに対するデータ信号DQの等長配線とSDRAM間の一本のDQSとこれに対するデータ信号の等長配線を心がける必要があるという問題である。

【0014】

よって、本発明の目的は、DDR-SDRAMを読み出すメモリーインタフェース制御回路を簡素化する手段を提供し、SDRAMとメモリーコントローラ間のボードレイアウトの配線制約を従来技術より更に緩和することにある。

【課題を解決するための手段】

【0015】

上述した問題点を解決する手段について図3と図5を用いて説明する。

【0016】

本発明ではDDR-SDRAMを記憶手段として保持するメモリーシステムに対し、データストロープ信号であるDQSとは別のクロックにてデータを取り込むことを特徴とするメモリー制御装置が提供される。上記メモリー制御装置は、前記クロックをマスクする回路600とそのマスク回路の出力に接続される遅延回路601を備えている。クロックのマスク信号は前記クロックと同期しているため、図3のマスク信号遅延値調整制御回路400、マスク信号可変遅延回路401、マスク信号生成回路404のような回路は必要ない。

【0017】

従来技術と比べてメモリーチップ毎に遅延時間を格納するフリップフロップ群602と遅延値選択制御回路604が必要となるが、フリップフロップ群は遅延値を格納するのみのフリップフロップで構成され、遅延値選択制御回路604はメモリーリードコマンドとアクセスされるメモリーチップ番号を示す信号のAND回路のみの簡単な回路で実現できる。前記遅延回路は、調整パターンを用いて、遅延時間を調整する遅延値調整制御回路603を具備し、遅延値調整制御回路603は複数のメモリーチップが接続されたメモリーシステムにおいて、メモリーチップ毎に遅延時間を自動調整し、データを取り込む為の最適な遅延値を格納する機能を備えている。

【発明の効果】

【0018】

本発明の第一の効果は、データの取り込みにデータストロープ信号であるDQSを使用しないため、グリッジノイズ耐性の為のマスク信号生成回路や前記マスク回路を調整する制御回路が必要ないことである。

【0019】

第二の効果は、DDR-SDRAMシステムのボードレイアウトはDDR-SDRAMとメモリーコントローラ間の一本のDQSとこれに対するデータ信号DQの等長配線とSDRAM間の一本のDQSとこれに対するデータ信号の等長配線を心がける必要があるが、本発明はDQSを使用せず、また、リード動作実行の度にメモリーチップを判断し、データを正しく取り込むための最適な遅延値を選択する回路を備えることで、データビット間の等長配線のみ心がければよいため、SDRAMとメモリーコントローラ間のデータバスの等長配線の制約が緩和されることである。

【発明を実施するための最良の形態】

【0020】

以下本発明を実施するための最良の形態を具体的に示した例について図面を用いて説明する。図6は本発明の一実施形態による回路構成を示したものであり、図7は本発明の動作を示したタイミング図である。

10

20

30

40

50

【0021】

図6においてPLL700はメモリコントローラ内部回路のクロックを生成しており、PLL700で生成されたクロック(図6中のCLK)はクロックツリー702を介しメモリコントローラ内の各フリップフロップに分配される。AND回路701はCLKとCLKマスク信号からメモリコントローラ内でデータを取り込むためのクロック(図6中のCLKM)を生成する。CLKマスク信号は/CASレイテンシ後にアサートされ、読み出されるデータ長と同じサイクル数'1'となる信号である。

【0022】

本発明ではデータストロブ信号と同様の役割を果たす信号としてCLKMを遅延回路703で調整して使用する。遅延回路703は遅延素子707によってCLCMを遅延させ、遅延時間は遅延値格納F/F回路704の出力値によりセクタ708で選択される。遅延値格納F/F回路704を構成するフリップフロップ716、717にはメモリチップ毎にデータを正しく取り込むための最適な遅延回路703の遅延段数が遅延値調整制御回路701により格納される。

10

【0023】

遅延値調整制御回路723は調整パターンを生成する機能を備え、装置初期化時に実装される全てのメモリチップに対して前記調整パターンを書き込み、それを読み出す機能を有している。遅延値調整制御回路723は遅延回路703内の遅延素子707の遅延段数を増やしながらか、書き込みパターンを読み出すことで期待値との比較を行い、データを取り込み可能な最適な遅延段数を遅延値格納フリップフロップ回路704に格納する。

20

【0024】

メモリチップ毎に調整されフリップフロップ716、717に格納された遅延値は、遅延値選択制御回路705がリードアクセスの度にアクセスされるメモリチップを判断し、データの取り込みタイミングに合わせてセクタ715で選択され、遅延回路703の遅延値を選択する。その選択信号はメモリリードコマンド信号と読み出されるメモリチップの番号を示す信号のAND回路718を取ることにより生成される。

【0025】

FIFOフリップフロップ回路706はSDRAMから読み出されたデータが格納されるフリップフロップ群であり、読み出されたデータをメモリコントローラ内部に対して同期化しフリップフロップ714へ転送する。

30

【0026】

遅延回路703から出力された信号(図6中のCLKMD)をフリップフロップ722、718、719、720、721のクロックとして接続し、フリップフロップ723はクロックツリー702の出力クロック(図6中のCLK)が接続されている。フリップフロップ722と723は初期化時に0'にRESETされる。

フリップフロップ722はCLKMD信号で更新され、フリップフロップ718、719、720、721の書き込みDRAMから読み出されたデータは718 719 720 721矢印718・・・の順に書順番を制御するための信号を出力している。Sき込まれる。

【0027】

フリップフロップ723はセクタ713を制御し、フリップフロップ718、719、720、721に格納されたデータをメモリコントローラ内部のクロック(図6中のCLK)に同期させる。FIFO制御(OUT)信号はメモリコントローラ内部クロックと同期している信号である。

40

【0028】

上記の通り本実施形態によれば、データの取り込みにデータストロブ信号であるDQSを使用しないため、グリッジノイズ耐性の為のマスク信号生成回路や前記マスク回路を調整する制御回路が必要ない。

更に、DDR-SDRAMシステムのボードレイアウトはDDR-SDRAMとメモリーコントローラ間の一本のDQSとこれに対するデータ信号DQの等長配線とSDRAM間の一

50

本のDQSとそれに対するデータ信号の等長配線を心がける必要があるが、本発明はDQSを使用せず、また、リード動作実行の度にメモリチップを判断し、データを正しく取り込むための最適な遅延値を選択する回路を備えることで、データビット間の等長配線のみがなければよいため、SDRAMとメモリコントローラ間のデータバスの等長配線の制約が緩和されることである。

【0029】

今回開示された実施の形態は全ての点で例示であって制限的なものではない。例えばFIFO回路として図6の様な回路構成をとったが、同じ機能を有するのであれば別の回路構成をとってもよい。

【図面の簡単な説明】

10

【0030】

【図1】DDR-SDRAMの動作を説明したタイミング図

【図2】DDR-SDRAMのメモリ制御装置の一例を説明した回路図

【図3】従来技術を説明した回路図

【図4】従来技術を説明したタイミング図

【図5】本発明の概略を説明した回路図

【図6】本発明の一実施例であるメモリ制御装置を説明した回路図

【図7】本発明の一実施例であるメモリ制御装置を説明したタイミング図

【符号の説明】

【0031】

20

300 制御回路

301 制御回路

302、303、304、305、307 フリップフロップ

308 可変遅延回路

400 マスク信号遅延値調整制御回路

401 マスク信号可変遅延回路

403 DQS可変遅延回路

404 マスク信号生成回路

405 AND回路

406 FIFOフリップフロップ回路群

30

407 DQS遅延値調整制御回路

600 AND回路

601 遅延回路

602 遅延値格納フリップフロップ群

603 遅延値調整制御回路

604 遅延値選択制御回路

700 PLL

702 クロックツリー

703 遅延回路

704 遅延値格納フリップフロップ回路

40

705 遅延値選択制御回路

706 FIFOフリップフロップ制御回路群

707 遅延素子

708、713、715 セレクタ

701、709、710、711、712、722 AND回路

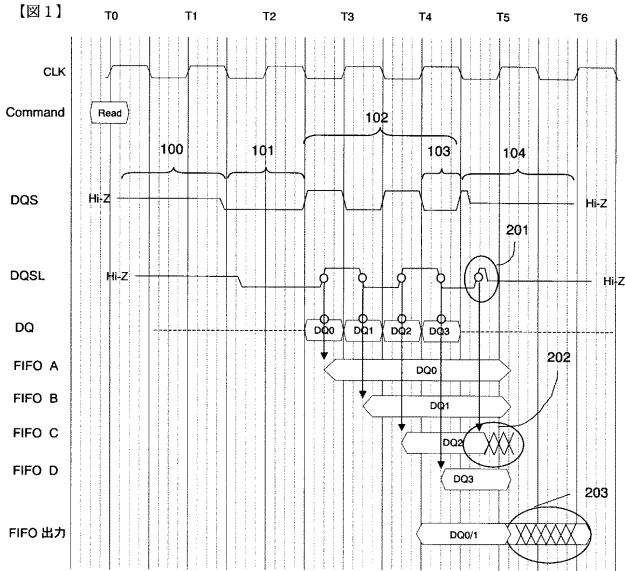
714、716、717、718、719、720、721、722、723 フリップフロップ

723、724 NOT回路

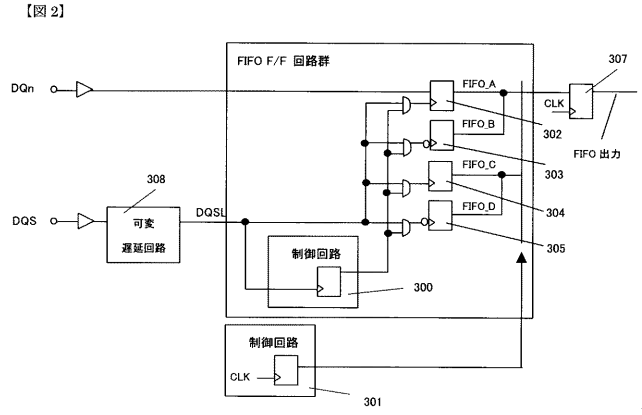
725 遅延値調整制御回路

50

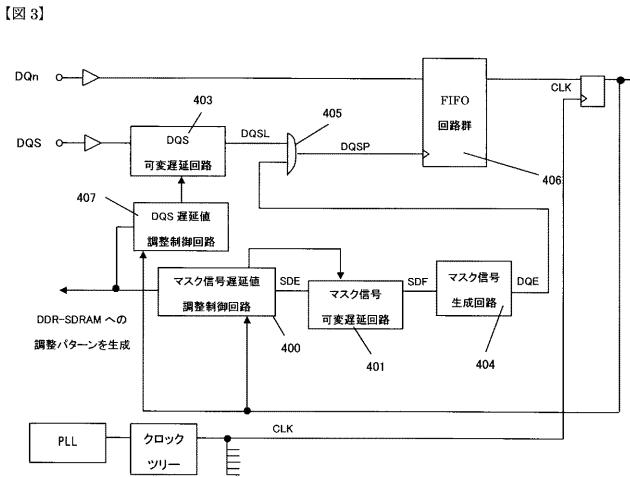
【図1】



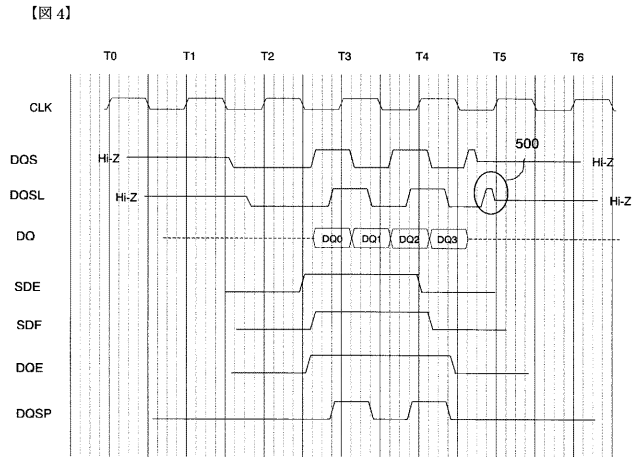
【図2】



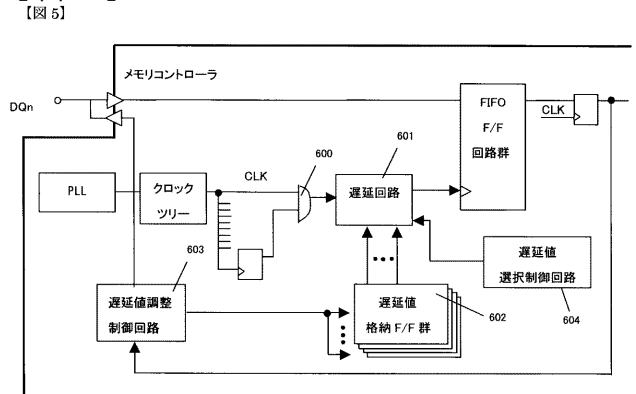
【図3】



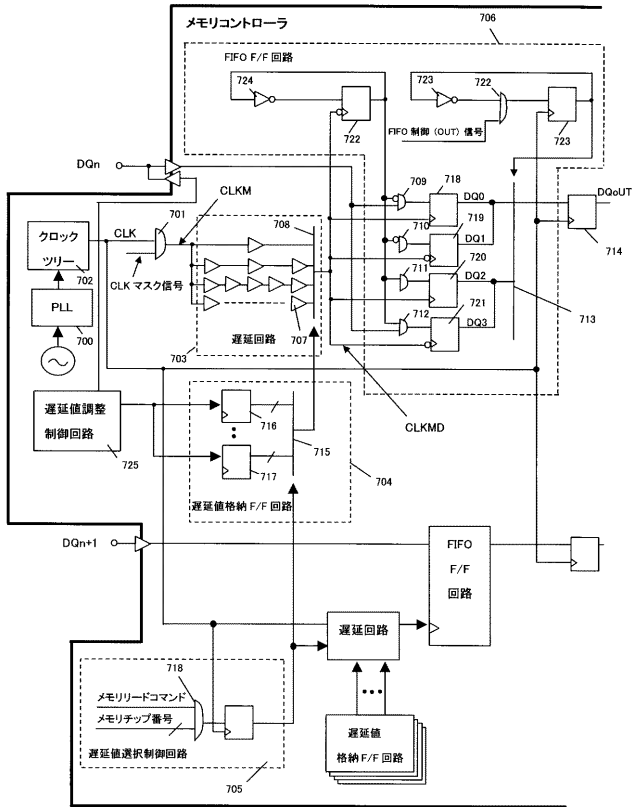
【図4】



【図5】



【図6】
【図6】



【図7】
【図7】

