



(12) 发明专利

(10) 授权公告号 CN 101409542 B

(45) 授权公告日 2016. 01. 20

(21) 申请号 200710180214. 1

(22) 申请日 2007. 10. 11

(73) 专利权人 瑞昱半导体股份有限公司  
地址 中国台湾新竹科学园区

(72) 发明人 叶松宏 杨国威

(74) 专利代理机构 北京康信知识产权代理有限  
责任公司 11240

代理人 余刚

(51) Int. Cl.

G06F 1/24(2006. 01)

(56) 对比文件

US 2004/0113675 A1, 2004. 06. 17, 权利要求  
1-15、图 4.

JP 特开 2006-163531 A, 2006. 06. 22, 全文.

US 6307480 B1, 2001. 10. 23, 权利要求 1、说  
明书第 2 栏第 43 行到第 6 栏第 36 行、图 1-2.

CN 1137199 A, 1996. 12. 04, 全文.

审查员 韩笑

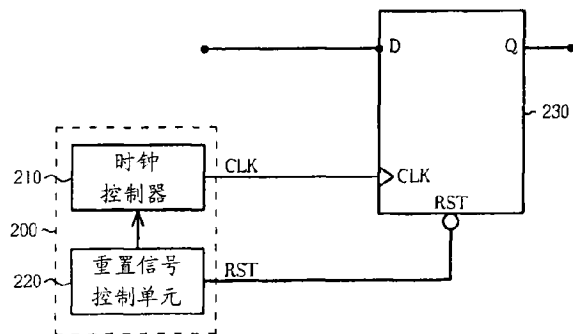
权利要求书1页 说明书3页 附图4页

(54) 发明名称

数字电路的重置方法及相关信号产生装置

(57) 摘要

本发明披露一种数字电路的重置方法, 该方法包含: 提供一时钟信号至一数字电路; 依据一第一提示信号, 维持该时钟信号于一逻辑电平; 产生一重置信号, 重置该数字电路; 以及依据一第二提示信号, 回复该时钟信号至该数字电路。



1. 一种数字电路的重置方法, 包含有:  
提供一时钟信号至一数字电路;  
依据一第一提示信号, 维持该时钟信号于一逻辑电平;  
在维持该时钟信号于一逻辑电平之后的第一预定时间, 产生一重置信号, 重置该数字电路, 该重置信号持续第二预定时间; 以及  
在产生所述重置信号之后的第三预定时间, 依据一第二提示信号, 回复该时钟信号;  
其中该第一提示信号和该第二提示信号之间的时间间隔根据一计数器产生一计数值来决定, 并且所述第三预定时间早于所述第二预定时间;  
其中, 经过一特定频率周期后再依据第三提示信号停止所述时钟信号; 并且, 经由一段时间, 所述重置信号结束, 在所述数字电路完成重置动作后, 再依据第四提示信号再恢复所述时钟信号。
2. 如权利要求 1 所述的方法, 其中该第二提示信号依据该计数值所产生。
3. 如权利要求 1 所述的方法, 其中该第二提示信号为依据该重置信号所产生。
4. 如权利要求 1 所述的方法, 其中该重置信号为一异步重置信号或是一同步重置信号。
5. 如权利要求 1 所述的方法, 其中该时钟信号是由一锁相回路或是一延迟式锁相回路所产生的。
6. 一种信号产生装置, 该产生装置包含:  
一频率控制器, 用来产生一时钟信号至一数字电路; 以及  
一重置信号控制单元, 用来产生一第一提示信号至该频率控制器, 使所述频率控制器维持该时钟信号于一逻辑电平, 以及该重置信号控制单元在维持该时钟信号于一逻辑电平之后的第一预定时间产生一重置信号至该数字电路, 以重置该数字电路, 该重置信号持续第二预定时间;  
其中, 该重置信号控制单元在产生一重置信号之后的第三预定时间产生一第二提示信号至该频率控制器, 以回复该时钟信号, 且该第一提示信号和该第二提示信号之间的时间间隔根据一计数器产生一计数值来决定, 并且所述第三预定时间早于所述第二预定时间;  
其中, 经过一特定频率周期后再依据第三提示信号停止所述时钟信号; 并且, 经由一段时间后所述重置信号控制单元结束重置动作, 在所述数字电路完成重置动作后, 所述频率控制器再依据所述重置信号控制单元所提供的第四提示信号再恢复时钟信号。
7. 如权利要求 6 所述的信号产生装置, 其中该重置信号控制单元产生该提示信号至该频率控制器以维持该时钟信号于该逻辑电平。
8. 如权利要求 6 所述的信号产生装置, 其中该数字电路包括一第一触发器与一第二触发器, 该时钟信号输出至该第一与该第二触发器, 该第二触发器的一输入端耦接于该第一触发器的一输出端。
9. 如权利要求 8 所述的信号产生装置, 其中该第一触发器为一延迟式触发器。
10. 如权利要求 6 所述的信号产生装置, 其中该重置信号控制单元依据该计数值来产生该第二提示信号。
11. 如权利要求 6 所述的信号产生装置, 其中该频率控制器为一锁相回路或是一延迟式锁相回路。

## 数字电路的重置方法及相关信号产生装置

### 技术领域

[0001] 本发明涉及一种数字电路,特别是涉及一种数字电路的重置方法与相关重置装置。

### 背景技术

[0002] 触发器 (flip-flop) 为现今数字系统中一种广泛应用的逻辑电路装置,用来依据时钟信号的正缘或负缘来储存输入的数据,以达到数字系统整体同步的效果。以延迟式触发器 (Delay-type Flip Flop, DFF) 来说,通常包含有一同步信号及一异步信号两种信号来控制触发器,同步信号为一时钟信号,而异步信号为一种预置 (preset) 信号或重置 (reset) 信号 (亦称清除 (clear) 信号)。预置状态为在不管其它输入的情况下,将触发器的输出结果维持在二进制值 1;而重置状态则将触发器的输出结果清除为 0。

[0003] 一般而言,异步信号输出至触发器时,会遇到下列两种问题:一为异步信号的恢复时序与时钟信号产生冲突问题 (violation of asynchronous recover time) 以及异步信号的传递延迟 (propagation delay) 问题。为进一步说明,请参阅图 1,图 1 为时钟信号与重置信号的关系图。在图 1 中,重置信号 RST 为输出至触发器的异步信号,当重置信号 RST 在重置结束而由低电位跳换至高电位时 (图中虚线的部分),若此时触发器正好位于时钟信号 CLK 的正缘触发或负缘触发时,会造成触发器产生错误的输出结果。为了避免此种情况发生,重置信号结束瞬间须与时钟信号的触发时间保持一定的时间差,如此一来,会大幅度地增加电路设计上的困难。而第二种问题为传递延迟 (propagation delay) 问题,若要将一重置信号传送至多个触发器时,由于信号传递上的延迟,会造成各个触发器上接收到该重置信号的时间不一样,而导致某些触发器会先接收到重置信号进行重置动作,某些触发器则必须等到下一个频率周期 (cycle) 才会被重置,进而产生输出错误的情况。已知的解决方法是利用增加缓冲器 (buffer) 的方式来平衡传递延迟,然而此法会随着触发器的增加而造成所需的缓冲器也随的增加,亦造成空间上以及成本上无谓的花费。

### 发明内容

[0004] 因此本发明的目的之一在于提供一种数字电路的重置方法及相关信号产生装置,以解决上述问题。

[0005] 依据本发明的实施例,披露了一种数字电路的重置方法,该方法包含有:提供一时钟信号至一数字电路;依据一第一提示信号,维持该时钟信号于一逻辑电平;产生一重置信号,重置该数字电路;以及依据一第二提示信号,回复该时钟信号至该数字电路。

[0006] 依据本发明的实施例,还披露一种信号产生装置,用来产生一时钟信号及一重置信号至一数字电路,该信号产生装置包含有:一频率控制器,用来产生该时钟信号至该数字电路;以及一重置信号控制单元,用来产生一提示信号至该频率控制器及产生该重置信号至该数字电路;其中,该重置信号控制单元于该时钟信号维持一逻辑电平时,产生该重置信号至该数字电路。

## 附图说明

- [0007] 图 1 为已知时钟信号与重置信号相对关系图。
- [0008] 图 2 为本发明第一实施例的信号产生器应用于一个触发器的功能方块示意图。
- [0009] 图 3 为图 2 所示的信号产生器中时钟信号 CLK 与重置信号 RST 的相对关系示意图。
- [0010] 图 4 为利用图 2 所示的信号产生器产生重置信号至触发器的流程图。
- [0011] 图 5 为本发明第二实施例的信号产生器应用于多个触发器的功能方块示意图。
- [0012] 图 6 为本发明第三实施例的信号产生器应用于多个触发器的功能方块示意图。
- [0013] 图 7 为图 6 所示的信号产生器中时钟信号 CLK 与重置信号 RST 的相对关系示意图。
- [0014] 附图符号说明

[0015]

200、500、600	信号产生器	210、510、610	频率控制器
220、520、620	重置信号控制单元	230、531、532、533、631、632、633、634、635、636	触发器

## 具体实施方式

[0016] 请参阅图 2, 图 2 为本发明第一实施例的信号产生器 200 应用于一个触发器 230 的功能方块示意图。信号产生器 200 包含有一频率控制器 210 (例如一锁相回路 PLL 或一延迟式锁相回路 DLL), 用来产生一时钟信号 CLK 至触发器 230 (例如一延迟式触发器 (Delay-type Flip Flop, DFF)), 以及重置信号控制单元 220 用来产生一重置信号 (reset) RST 至触发器 230 中。此外, 触发器 230 包含有一数据输入端 D 用于输入数据, 以及一输出端 Q 用于输出数据。假设本实施例中, 触发器 230 为一正缘触发式的触发器, 而重置信号 RST 为一输入至触发器中的异步信号, 且当重置信号 RST 位于低电位 (逻辑 0) 时, 可使得触发器 230 的输出 Q 设为 0。请注意, 本发明的实施例并不限定异步信号的种类。在本实施例中, 信号产生器 200 是利用重置信号控制单元 220 产生一重置信号 (reset) RST 来重置触发器 230, 在其它实施例中, 亦可利用一预置信号 (preset) 控制单元产生一预置信号来预置触发器 230, 其皆属本发明的涵盖范围。

[0017] 为进一步说明本发明的实施例, 请同时参阅图 3, 图 3 为图 2 所示的信号产生器 200 中, 时钟信号 CLK 与重置信号 RST 的相对关系示意图。在本发明实施例中, 当触发器 230 欲执行重置动作时, 重置信号控制单元 220 提供一提示信号  $S_1$  至频率控制器 210 中, 以停止时钟信号 CLK (如图 3 所示的时间 T1), 使得时钟信号维持在一逻辑电平 (逻辑 1 或逻辑 0), 接着经过一预定时间后 (例如如图 3 所示的时间 T2) 重置信号控制单元 220 重置触发器 230 (亦即将重置信号 RST 由高电位跳换至低电位), 此时触发器 230 的输出 Q 即重置至 0; 且经由一段时间后 (例如如图 3 所示的时间 T3), 重置信号控制单元 220 结束重置的动作 (亦即将重置信号 RST 由低电位跳换至高电位), 接着, 重置信号控制单元 220 再提供另一提示信号  $S_2$  至频率控制器 210 中, 使得频率控制器 210 恢复时钟信号 CLK (如图 3 所示的时间

T4),以继续执行后续数据读取输出的动作。在本发明实施例中,时间 T1 至 T4 的时间间隔可由一计数器产生一计数值来决定,另一方面,在其它实施例中,频率控制器 210 启动时钟信号 CLK 的时间点(如图 3 所示的时间 T4)的启动时机亦可依据重置信号 RST 正缘或是负缘触发的时候(如图 3 所示的时间 T3)来加以决定。

[0018] 请参阅图 4,图 4 为依据图 2 所示的信号产生器 200 产生重置信号至触发器的流程图,其步骤整理如下:

[0019] 步骤 410:依据一第一提示信号,频率控制器 210 于时间 T1 时停止时钟信号 CLK。

[0020] 步骤 420:重置信号控制单元 220 于时间 T2 时,对触发器 230 进行重置的动作。

[0021] 步骤 430:重置信号控制单元 220 于时间 T3 时,结束对触发器 230 重置的动作。

[0022] 步骤 440:依据一第二提示信号,频率控制器 210 于时间 T4 时恢复时钟信号 CLK。

[0023] 另一方面,本发明所述的方法亦可应用于多个触发器上,请参阅图 5,图 5 为本发明第二实施例的信号产生器 500 应用于多个触发器的功能方块示意图。当触发器 531、532、以及 533 要进行重置时,频率控制器 510 是在重置动作发生之前一段时间即停止时钟信号 CLK,并且重置动作完成后一段时间才重新启动时钟信号 CLK,如此一来,本发明的实施例即不会发生已知由于传递延迟的问题而发生触发器接收重置信号 RST 时间不一的现象。

[0024] 再者,本发明所述的方法亦可应用于同步重置(synchronous rest)输入上,请参阅图 6 以及图 7,图 6 为本发明第三实施例的信号产生器 600 应用于多个触发器的功能方块示意图。图 7 为图 6 所示的信号产生器 600 中时钟信号 CLK 与重置信号 RST 的相对关系示意图。在图 6 中,触发器 641、642、以及 643 的输入端 D4、D5、以及 D6 分别耦接于触发器 631、632、以及 633 的输出端 Q1、Q2、以及 Q3。当触发器 631、632、以及 633 进行上述的重置动作时,会将重置结果(亦即二进制值 0)输入至触发器 641、642、以及 643 中,因此,等到时钟信号 CLK 进行边缘触发时,触发器 641、642、以及 643 的输出端 Q4、Q5、以及 Q6 亦会输出二进制值 0,而达到同步重置的效果。请参阅图 7,当本发明信号产生器 600 执行重置动作时,重置信号控制单元 620 提供一提示信号  $S_1$  至频率控制器 610 中,使得频率控制器 610 可预先停止时钟信号 CLK(如图 7 所示的时间 T1),经过一特定时间后(例如图 7 所示的时间 T2),重置信号控制单元 620 进行重置的动作(亦即将重置信号 RST 由高电位跳换至低电位),此时触发器 631、632、以及 633 的输出端 Q1、Q2、以及 Q3 即便清除为 0;接下来,频率控制器 610 依据重置信号控制单元 620 所提供的第二个提示信号  $S_2$  恢复时钟信号 CLK(如图 7 所示的时间 T3),并且经过一特定频率周期(例如两个频率周期  $T_{CLK}$ )后再依据重置信号控制单元 620 所提供的第三个提示信号  $S_3$  停止时钟信号 CLK(如图 7 所示的时间 T4)。请注意,由于频率控制器 610 重新恢复时钟信号 CLK,因此触发器 641、642、以及 643 即会因为时钟信号 CLK 的边缘触发而将输入端 D4、D5、以及 D6 的值(意即重置值 0)纪录至输出端 Q4、Q5、以及 Q6 上,进而完成了同步重置的动作。接下来,经由一段时间后(例如图 7 所示的时间 T5),重置信号控制单元 620 结束重置动作(亦即将重置信号 RST 由低电位跳换至高电位)。等到触发器 631、632、633、634、635、以及 636 进行重置动作完成后,频率控制器 610 再依据重置信号控制单元 620 所提供的第四个提示信号  $S_4$  才再恢复时钟信号 CLK(如图 7 所示的时间 T6),并执行后续数据读取输出的动作。

[0025] 以上所述仅为本发明的较佳实施例,凡依本发明的权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

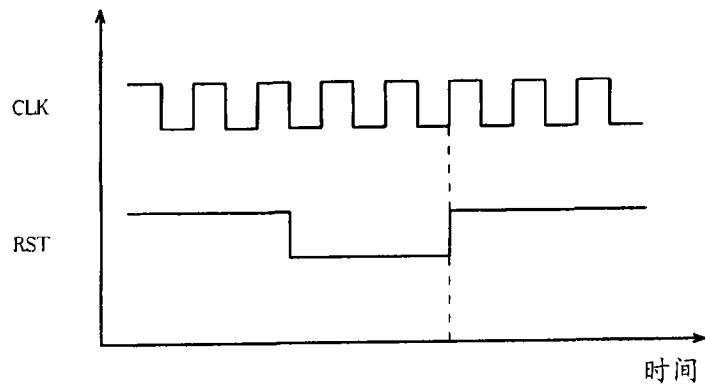


图 1

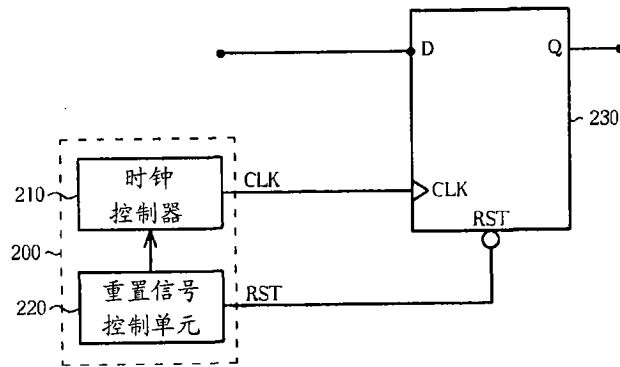


图 2

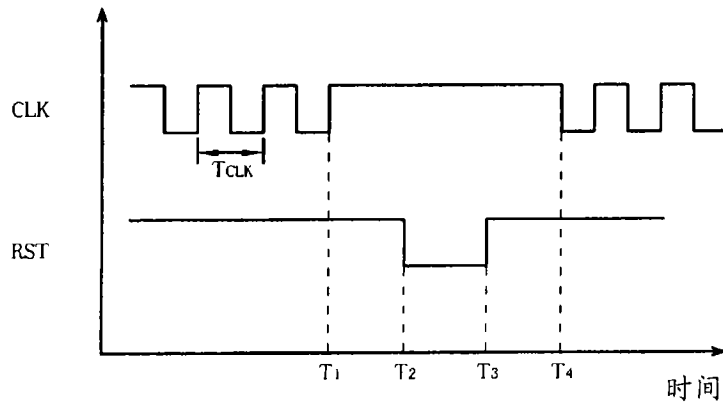


图 3

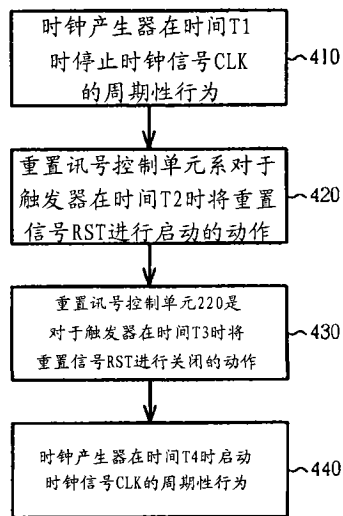


图 4

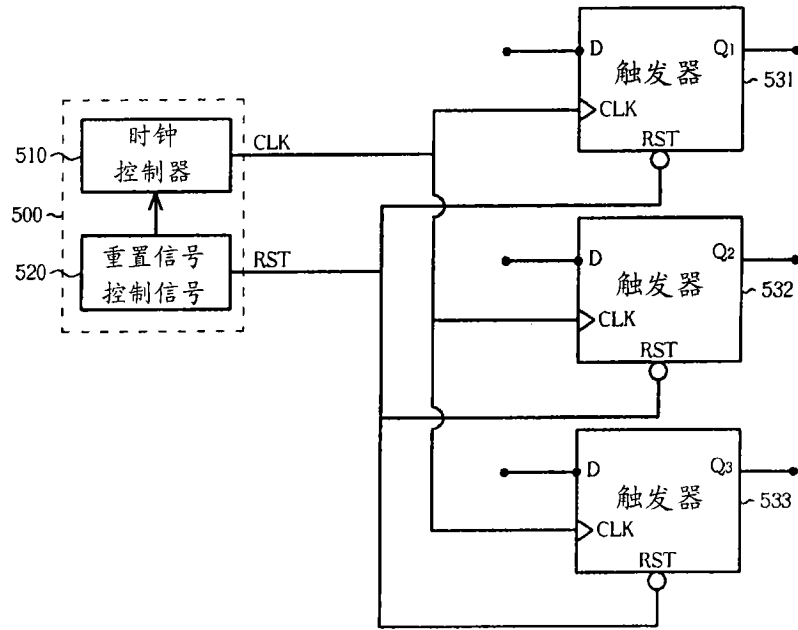


图 5

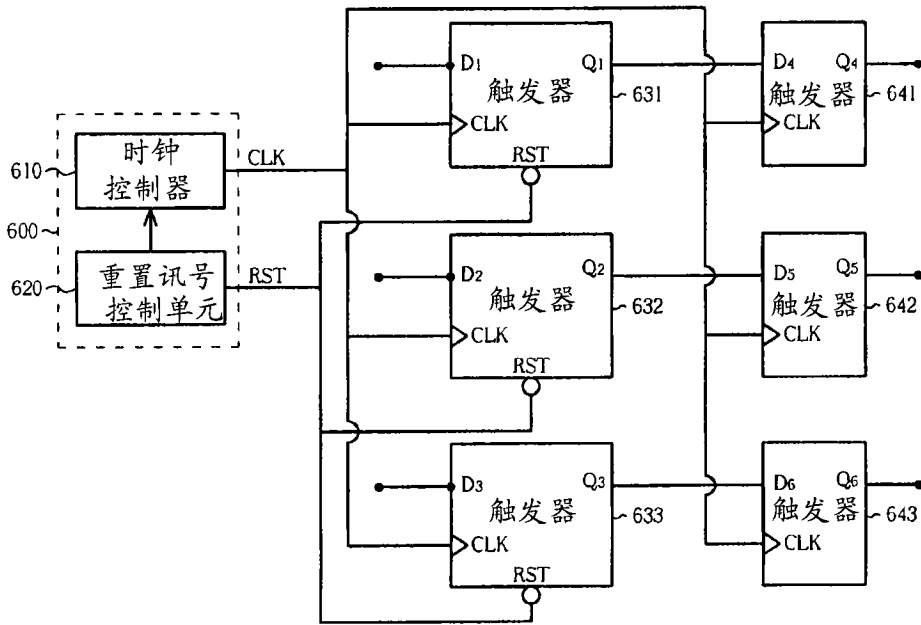


图 6



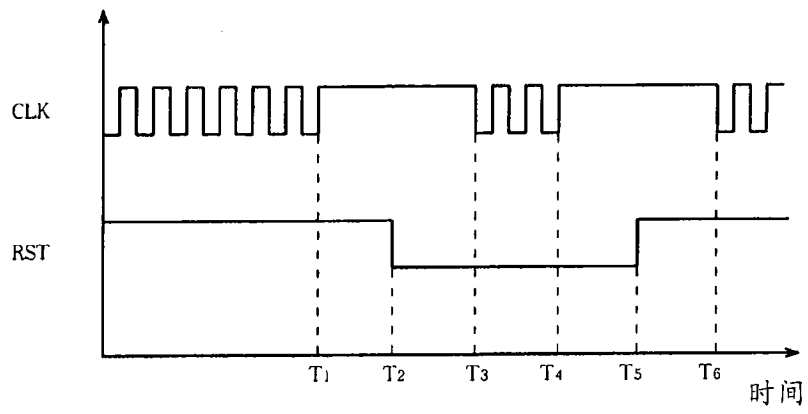


图 7