

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2024-166313
(P2024-166313A)

(43)公開日 令和6年11月28日(2024.11.28)

(51)国際特許分類		F I	
H 0 1 L	29/786(2006.01)	H 0 1 L	29/78
H 0 1 L	21/8234(2006.01)	H 0 1 L	29/78
H 0 1 L	27/088(2006.01)	H 0 1 L	27/06
H 1 0 B	12/00 (2023.01)	H 0 1 L	27/088
H 1 0 B	99/00 (2023.01)	H 0 1 L	27/088
		3 3 1 E	
		O L (全77頁) 最終頁に続く	
(21)出願番号 特願2024-156675(P2024-156675)		(71)出願人 000153878	
(22)出願日 令和6年9月10日(2024.9.10)		株式会社半導体エネルギー研究所	
(62)分割の表示 特願2023-106946(P2023-106946)		神奈川県厚木市長谷398番地	
)の分割		(72)発明者 小山 潤	
原出願日 平成22年12月22日(2010.12.22)		神奈川県厚木市長谷398番地 株式会	
(31)優先権主張番号 特願2009-293982(P2009-293982)		社半導体エネルギー研究所内	
(32)優先日 平成21年12月25日(2009.12.25)		(72)発明者 山崎 舜平	
(33)優先権主張国・地域又は機関 日本国(JP)		神奈川県厚木市長谷398番地 株式会	
		社半導体エネルギー研究所内	

(54)【発明の名称】 半導体装置

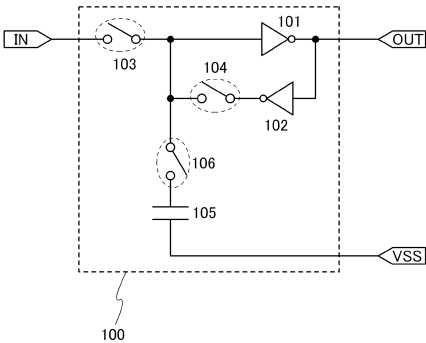
(57)【要約】

【課題】複雑な作製工程を必要とせず、消費電力を抑えることができる記憶装置、当該記憶装置を用いた半導体装置の提供を目的の一つとする。

【解決手段】インバータまたはクロックドインバータなどの、入力された信号の位相を反転させて出力する位相反転素子を用いた記憶素子内に、データを保持するための容量素子と、当該容量素子における電荷の蓄積及び放出を制御するスイッチング素子とを設ける。

上記スイッチング素子には、酸化物半導体をチャネル形成領域に含むトランジスタを用いる。位相反転素子への電源電圧の印加を停止する場合、データを容量素子に記憶させることで、位相反転素子への電源電圧の供給を停止しても、容量素子においてデータを保持させる。

【選択図】図1



【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、第 2 のトランジスタと、第 1 の絶縁膜と、第 1 の導電膜と、第 2 の導電膜と、を有し、

前記第 1 のトランジスタは、シリコン膜にチャネル形成領域を有し、

前記第 2 のトランジスタは、酸化物半導体膜にチャネル形成領域を有し、

前記第 1 の絶縁膜は、前記第 1 のトランジスタのゲート電極の上方に位置する領域を有し、

前記シリコン膜は、前記第 1 のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有する第 3 の導電膜と接する領域を有し、

前記シリコン膜は、前記第 1 のトランジスタのソース電極またはドレイン電極の他方として機能する領域を有する第 4 の導電膜と接する領域を有し、

前記酸化物半導体膜は、前記第 2 のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有する第 5 の導電膜と接する領域を有し、

前記第 3 の導電膜は、前記第 1 の絶縁膜の上方に位置する領域を有する第 2 の絶縁膜の上面と接する領域を有し、

前記第 4 の導電膜は、前記第 2 の絶縁膜の上面と接する領域を有しかつ前記第 3 の導電膜と同材料を有し、

前記第 5 の導電膜は、前記第 2 の絶縁膜の上面と接する領域を有しかつ前記第 3 の導電膜と同材料を有し、

前記第 2 のトランジスタのゲート電極は、前記第 1 の絶縁膜の上面と接する領域を有し

、
前記第 1 の導電膜は、前記第 1 の絶縁膜の上面と接する領域を有しかつ前記第 2 のトランジスタのゲート電極と同材料を有し、

前記第 1 の導電膜は、前記第 5 の導電膜と重なる領域を有し、

前記第 2 の導電膜は、前記第 1 の絶縁膜の上面と接する領域を有しかつ前記第 2 のトランジスタのゲート電極と同材料を有し、

前記第 2 の導電膜は、前記第 4 の導電膜と接する領域を有し、

断面視において、前記第 1 のトランジスタのチャネル形成領域は、前記酸化物半導体膜と重ならない半導体装置。

【請求項 2】

請求項 1 において、

前記第 2 のトランジスタのゲート電極は、モリブデンを有する半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記酸化物半導体膜は、In-O である半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶装置、及び当該記憶装置を用いた半導体装置、電子機器に関する。

【背景技術】

【0002】

絶縁表面上に形成される半導体膜を用いたトランジスタは、半導体装置にとって必要不可欠な半導体素子である。トランジスタの製造には基板の耐熱温度という制約があるため、比較的低温での成膜が可能なアモルファスシリコン、レーザ光または触媒元素を用いた結晶化により得られるポリシリコンなどを活性層に有するトランジスタが、半導体表示装置に用いられるトランジスタの主流となっている。

【0003】

近年では、ポリシリコンや微結晶シリコンによって得られる高い移動度と、アモルファスシリコンによって得られる均一な素子特性とを兼ね備えた新たな半導体材料として、酸化

10

20

30

40

50

物半導体と呼ばれる、半導体特性を示す金属酸化物に注目が集まっている。金属酸化物は様々な用途に用いられており、例えば、よく知られた金属酸化物である酸化インジウムは、液晶表示装置などで透明電極材料として用いられている。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域に用いるトランジスタが、既に知られている（特許文献１及び特許文献２）。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開２００７－１２３８６１号公報

10

【特許文献２】特開２００７－９６０５５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

ところで、記憶装置の一つであるレジスタは、一般的に、インバータ、クロックドインバータなどの論理素子と、スイッチング素子とで構成される論理回路である。メインメモリとして用いられているＲＡＭ（Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）よりも遙かに高速で動作可能であることから、レジスタは、プロセッサにおいて、演算処理や、プログラムの実行状態の保持などのために、一時的にデータを保持するのに用いられている。

【０００６】

20

図１６（Ａ）に、インバータを用いたレジスタの構成する記憶素子の一つを示す。図１６（Ａ）に示すレジスタ１３００は、インバータ１３０１、インバータ１３０２、スイッチング素子１３０３、スイッチング素子１３０４を有する。そして、インバータ１３０１の入力端子への信号ＩＮの入力は、スイッチング素子１３０３により制御されている。インバータ１３０１の出力端子の電位は、信号ＯＵＴとして、後段の回路に与えられる。また、インバータ１３０１の出力端子はインバータ１３０２の入力端子に接続されており、インバータ１３０２の出力端子は、スイッチング素子１３０４を介してインバータ１３０１の入力端子に接続されている。

【０００７】

スイッチング素子１３０３を介して入力された信号ＩＮの電位は、スイッチング素子１３０３がオフ、スイッチング素子１３０４がオンになることで、レジスタ１３００内で保持される。

30

【０００８】

図１６（Ａ）に示したレジスタ１３００の、より具体的な回路構成を、図１６（Ｂ）に示す。図１６（Ｂ）に示すレジスタ１３００は、インバータ１３０１、インバータ１３０２、スイッチング素子１３０３、スイッチング素子１３０４を有しており、これら回路素子の接続構成は図１６（Ａ）と同じである。

【０００９】

インバータ１３０１は、ゲート電極が互いに接続されたｐチャネル型トランジスタ１３１０と、ｎチャネル型トランジスタ１３１１とを有している。そして、ハイレベルの電源電位ＶＤＤが与えられているノードと、ローレベルの電源電位ＶＳＳが与えられているノード間において、ｐチャネル型トランジスタ１３１０と、ｎチャネル型トランジスタ１３１１とは、直列に接続されている。また、同様に、インバータ１３０２は、ゲート電極が互いに接続されたｐチャネル型トランジスタ１３１２と、ｎチャネル型トランジスタ１３１３とを有している。そして、ハイレベルの電源電位ＶＤＤが与えられているノードと、ローレベルの電源電位ＶＳＳが与えられているノード間において、ｐチャネル型トランジスタ１３１２と、ｎチャネル型トランジスタ１３１３とは、直列に接続されている。

40

【００１０】

図１６（Ｂ）に示すインバータ１３０１は、ｐチャネル型トランジスタ１３１０のゲート電極と、ｎチャネル型トランジスタ１３１１のゲート電極に与えられる電位の高さに従っ

50

て、一方がオフ、他方がオンとなるように動作する。よって、電源電位 V_{DD} が与えられているノードと、電源電位 V_{SS} が与えられているノードとの間の電流は、理想的には、0 になるはずである。しかし、実際には、オフのはずのトランジスタに僅かなオフ電流が流れているため、上記ノード間の電流は、完全に 0 にはならない。インバータ 1302 についても同様の現象が生じるため、レジスタ 1300 には、データの書き込みが行われていない保持の状態でも、消費電力が発生する。

【0011】

例えば、トランジスタのサイズにもよるが、バルクのシリコンを用いて作製されたインバータの場合、室温下、ノード間の電圧が約 3 V の状態にて、1 pA 程度のオフ電流が生じる。図 16 (A)、図 16 (B) に示す記憶素子には、インバータ 1301 とインバータ 1302 の、2 つのインバータが設けられているので、2 pA 程度のオフ電流が生じる。そして、記憶素子数が約 10^7 個程度であるレジスタの場合、オフ電流はレジスタ全体で 20 μ A となる。そして、レジスタが設けられた IC チップの温度が上昇すれば、消費電力はさらに大きくなり、レジスタだけでオフ電流が数 mA に達する。

10

【0012】

そこで、消費電力を抑えるため、レジスタへの電源電位の供給を停止するという一つの方法が提案されている。レジスタは電源電位の供給が途絶えるとデータを消失してしまう揮発性の記憶装置であるため、その方法では、レジスタに長時間データを保持する必要がある場合に、レジスタ周辺に配置された不揮発性の記憶装置に上記データを一時的に移す。しかし、これらの不揮発性の記憶装置は、主に磁気素子や強誘電体が用いられているため、作製工程が複雑である。

20

【0013】

また、長時間の電源停止を行う際には、データをハードディスク、フラッシュメモリ等の記憶装置に移してから電源停止を行うこともできるが、それらの記憶装置はデータを元に戻すのに時間を必要とするため、短時間の電源停止には適さない。

【0014】

上述の課題に鑑み、本発明は、複雑な作製工程を必要とせず、消費電力を抑えることができる記憶装置、当該記憶装置を用いた半導体装置、電子機器の提供を目的の一つとする。特に、短時間の電源停止により消費電力を抑えることができる記憶装置、当該記憶装置を用いた半導体装置、電子機器の提供を目的の一つとする。

30

【課題を解決するための手段】

【0015】

インバータまたはクロックドインバータなどの、入力された信号の位相を反転させて出力する論理素子（以下、位相反転素子と呼ぶ）を用いた記憶素子内に、データを保持するための容量素子と、当該容量素子における電荷の蓄積及び放出を制御するスイッチング素子とを設ける。そして、上記スイッチング素子には、酸化物半導体をチャネル形成領域に含むトランジスタを用いる。

【0016】

具体的に、記憶素子は、2 つの位相反転素子と、容量素子と、当該容量素子における電荷の蓄積及び放出を制御するスイッチング素子とを少なくとも有する。記憶素子に入力されたデータを含む信号は、第 1 の位相反転素子の入力端子に与えられる。第 1 の位相反転素子の出力端子は、第 2 の位相反転素子の入力端子に接続されている。第 2 の位相反転素子の出力端子は、第 1 の位相反転素子の入力端子に接続されている。第 1 の位相反転素子の出力端子または第 2 の位相反転素子の入力端子の電位が、信号として後段の記憶素子、或いは他の回路に出力される。

40

【0017】

上記位相反転素子は、ゲート電極が互いに接続された少なくとも 1 つの p チャネル型トランジスタと、少なくとも 1 つの n チャネル型トランジスタとが、第 1 のノードと、第 2 のノードの間において、直列に接続された構成を有する。

【0018】

50

そして、容量素子は、記憶素子に入力された信号のデータを必要に応じて記憶できるように、上記スイッチング素子を介して、上記信号の電位が与えられるノードに接続されている。

【0019】

第1のノードと、第2のノードの間に電源電圧が与えられている状態において、第1の位相反転素子の入力端子にデータを含む信号が入力されると、第1の位相反転素子及び第2の位相反転素子によって、そのデータが保持される。第1のノードと第2のノード間への電源電圧の印加を停止する場合、電源電圧の印加を停止する前に、上記スイッチング素子をオンにして、信号のデータを容量素子に記憶させる。上記構成により、位相反転素子への電源電圧の印加を停止しても、記憶素子にデータを保持させることが可能である。

10

【0020】

そして、上記スイッチング素子に用いられるトランジスタのチャネル形成領域は、高純度化された酸化物半導体を含んでいるため、オフ電流が著しく低いという特性を有している。

【0021】

酸化物半導体は、微結晶シリコンまたは多結晶シリコンによって得られる高い移動度と、非晶質シリコンによって得られる均一な素子特性とを兼ね備えた、半導体特性を示す金属酸化物である。そして、電子供与体（ドナー）となる水分または水素などの不純物が低減されて高純度化された酸化物半導体（purified OS）は、i型（真性半導体）又はi型に限りなく近い（実質的にi型）半導体である。具体的には、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）により測定した、酸化物半導体に含まれる水素濃度の値が、 $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} / \text{cm}^3$ 未満となるように、酸化物半導体に含まれる水分または水素などの不純物を除去する。上記構成により、ホール効果測定により測定できる酸化物半導体膜のキャリア密度を、 $1 \times 10^{14} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{12} \text{ cm}^{-3}$ 未満、さらに好ましくは測定限界以下の $1 \times 10^{11} \text{ cm}^{-3}$ 未満とすることができる。即ち、酸化物半導体膜のキャリア密度を、限りなくゼロに近づけることができる。また、バンドギャップは2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。よって、水分または水素などの不純物濃度が十分に低減されて高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げるができる。

20

30

【0022】

ここで、酸化物半導体膜中及び導電膜中の、水素濃度の分析について触れておく。酸化物半導体膜中及び導電膜中の水素濃度測定は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）で行う。SIMS分析は、その原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素濃度の厚さ方向の分布をSIMSで分析する場合、対象となる膜が存在する範囲において、値に極端な変動が無く、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる膜の厚さが小さい場合、隣接する膜内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該膜が存在する領域における、水素濃度の極大値または極小値を、当該膜中の水素濃度として採用する。さらに、当該膜の存在する領域において、極大値を示す山型のピーク、極小値を示す谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。

40

【0023】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物である水分または水素が多量に含まれていることが判明している。水分または水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分または水素などの不純物を低減するために、酸化物半導体膜に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア（C

50

RDS (キャパシティングダウンレーザ分光法) 方式の露点計を用いて測定した場合の水分量が 20 ppm (露点換算で -55) 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気) 雰囲気下で加熱処理を行う。上記加熱処理は、500 以上 850 以下 (若しくはガラス基板の歪点以下)、好ましくは 550 以上 750 以下の温度範囲で行うのが望ましい。なお、この加熱処理は、用いる基板の耐熱温度を超えないものとする。水分または水素の加熱処理による脱離の効果については、TDS (Thermal Desorption Spectroscopy; 昇温脱離ガス分析) により確認済みである。

【0024】

加熱処理は、炉での熱処理またはラピッドサーマルアニール法 (RTA 法) を用いる。RTA 法は、ランプ光源を用いる方法と、加熱されたガス中に基板を移動させて短時間の熱処理を行う方法がある。RTA 法を用いると熱処理に要する時間を 0.1 時間よりも短くすることもできる。

【0025】

具体的に、上述した加熱処理により高純度化された酸化物半導体膜を活性層として用いたトランジスタは、非常に低いオフ電流を示す。具体的には、例えば、チャネル幅 (W) が $1 \times 10^6 \mu\text{m}$ でチャネル長 (L) が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧 (ドレイン電圧) が 1 V から 10 V の範囲における、オフ電流 (ゲート電極とソース電極間の電圧を 0 V 以下としたときのドレイン電流) を、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下とすることができる。よって、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流密度は、 $100 \text{ z A} / \mu\text{m}$ 以下である。さらに、保持容量の電荷を保持するためのスイッチング素子として、高純度化された酸化物半導体膜を有するゲート絶縁膜の厚さが 100 nm のトランジスタを用いて、保持容量の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定したところ、トランジスタのソース電極とドレイン電極間の電圧が 3 V の場合に、 $10 \text{ z A} / \mu\text{m}$ 乃至 $100 \text{ z A} / \mu\text{m}$ という、さらに低いオフ電流密度が得られることが分かった。したがって、本発明の一態様に係る記憶装置では、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流密度を、 $100 \text{ z A} / \mu\text{m}$ 以下、好ましくは $10 \text{ z A} / \mu\text{m}$ 以下、更に好ましくは $1 \text{ z A} / \mu\text{m}$ 以下にすることができる。従って、高純度化された酸化物半導体膜を活性層として用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【0026】

また、高純度化された酸化物半導体を用いたトランジスタは、オフ電流の温度依存性がほとんど現れない。その要因のひとつは、酸化物半導体中で電子供与体 (ドナー) となる不純物を除去して、酸化物半導体が高純度化することによって、導電型が限りなく真性型に近づき、フェルミ準位が禁制帯の中央に位置することである。また、他の要因として、酸化物半導体のエネルギーギャップが 3 eV 以上であり、熱励起キャリアが極めて少ないことが挙げられる。さらに、ソース電極及びドレイン電極が縮退した状態にあることも、温度依存性が現れない要因となっている。トランジスタの動作は、縮退したソース電極から酸化物半導体に注入されたキャリアによるものがほとんどであり、キャリア密度には温度依存性がないので、オフ電流の温度依存性がみられないと考えられる。

【0027】

上記構成を有するトランジスタを、容量素子に蓄積された電荷を保持するためのスイッチング素子として用いることで、容量素子からの電荷のリーク電流を防ぐことができるため、電源電圧の印加がない場合でも、データを消失させずに保持することが可能となる。そして、容量素子においてデータを保持している期間は、位相反転素子への電源電圧の供給を行わなくても良いので、位相反転素子に用いられているトランジスタのオフ電流に起因する無駄な消費電力を削減することができ、記憶装置、延いては記憶装置を用いた半導体装置全体の、消費電力を低く抑えることが可能となる。

【0028】

10

20

30

40

50

なお、位相反転素子に用いられるトランジスタには、酸化物半導体以外の、非晶質、微結晶、多結晶、または単結晶の、シリコン、またはゲルマニウムなどの半導体を用いることができる。また、上記トランジスタは、薄膜の半導体膜を用いていても良いし、バルクの半導体基板を用いていても良い。酸化物半導体膜を用いたpチャネル型トランジスタを作製することが可能であれば、記憶素子内の全てのトランジスタの活性層に酸化物半導体膜を用い、プロセスを簡略化することもできる。

【0029】

また、本発明の一態様では、記憶素子への電源電圧の供給を、酸化物半導体をチャネル形成領域に含むトランジスタを用いて制御しても良い。上述したように、酸化物半導体をチャネル形成領域に含むトランジスタは、 $3.0 \sim 3.5 \text{ eV}$ という、シリコンの約3倍程度の大きなバンドギャップを有している。よって、酸化物半導体をチャネル形成領域に含むトランジスタは高耐圧性を有するため、記憶素子への電源電圧の供給を上記トランジスタで制御することで、半導体装置の信頼性を高めることができる。

10

【0030】

なお、酸化物半導体は、四元系金属酸化物である In-Sn-Ga-Zn-O 系酸化物半導体や、三元系金属酸化物である In-Ga-Zn-O 系酸化物半導体、 In-Sn-Zn-O 系酸化物半導体、 In-Al-Zn-O 系酸化物半導体、 Sn-Ga-Zn-O 系酸化物半導体、 Al-Ga-Zn-O 系酸化物半導体、 Sn-Al-Zn-O 系酸化物半導体や、二元系金属酸化物である In-Zn-O 系酸化物半導体、 Sn-Zn-O 系酸化物半導体、 Al-Zn-O 系酸化物半導体、 Zn-Mg-O 系酸化物半導体、 Sn-Mg-O 系酸化物半導体、 In-Mg-O 系酸化物半導体、 In-Ga-O 系酸化物半導体や、 In-O 系酸化物半導体、 Sn-O 系酸化物半導体、 Zn-O 系酸化物半導体などを用いることができる。なお、本明細書においては、例えば、 In-Sn-Ga-Zn-O 系酸化物半導体とは、インジウム (In)、錫 (Sn)、ガリウム (Ga)、亜鉛 (Zn) を有する金属酸化物、という意味であり、その化学量論的組成比は特に問わない。また、上記酸化物半導体は、珪素を含んでいてもよい。

20

【0031】

或いは、酸化物半導体は、化学式 $\text{InMO}_3(\text{ZnO})_m (m > 0)$ で表記することができる。ここで、 M は、 Ga 、 Al 、 Mn 及び Co から選ばれた一又は複数の金属元素を示す。

30

【発明の効果】

【0032】

消費電力を抑えることができる記憶装置、当該記憶装置を用いた半導体装置を提供することができる。

【図面の簡単な説明】

【0033】

【図1】記憶素子の回路図。

【図2】記憶素子の回路図。

【図3】記憶素子の回路図。

【図4】記憶素子の回路図。

40

【図5】記憶素子の回路図。

【図6】記憶素子の回路図。

【図7】記憶装置の作製方法を示す図。

【図8】記憶装置の作製方法を示す図。

【図9】記憶装置の作製方法を示す図。

【図10】記憶装置の作製方法を示す図。

【図11】記憶装置の作製方法を示す図。

【図12】記憶装置の断面図。

【図13】記憶装置の構成を示す図。

【図14】トランジスタの上面図及び断面図。

50

【図 15】記憶装置の作製方法を示す図。

【図 16】従来の記憶素子の回路図。

【図 17】記憶装置を用いた CPU のブロック図。

【図 18】電子機器の構成を示す図。

【図 19】酸化物半導体を用いたトランジスタの断面図。

【図 20】図 19 に示す A - A' 断面におけるエネルギーバンド図（模式図）。

【図 21】（A）ゲート電極（GE）に正の電圧（ $V_G > 0$ ）が印加された状態を示し、（B）ゲート電極（GE）に負の電圧（ $V_G < 0$ ）が印加された状態を示す図。

【図 22】真空準位と金属の仕事関数（ ϕ_M ）、酸化物半導体の電子親和力（ χ ）の関係を示す図。

10

【図 23】記憶装置の断面図。

【図 24】記憶装置の動作を示すタイミングチャート。

【図 25】記憶装置の動作を示すタイミングチャート。

【図 26】記憶装置の動作を示すタイミングチャート。

【図 27】記憶装置の動作を示すタイミングチャート。

【図 28】記憶装置の動作を示すタイミングチャート。

【図 29】記憶装置の動作を示すタイミングチャート。

【発明を実施するための形態】

【0034】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

20

【0035】

なお、マイクロプロセッサ、画像処理回路、DSP (Digital Signal Processor)、マイクロコントローラを含む LSI (Large Scale Integrated Circuit) などの集積回路や、RF タグ、半導体表示装置など、記憶装置を用いることができるありとあらゆる半導体装置が、本発明の範疇に含まれる。また、半導体表示装置には、液晶表示装置、有機発光素子 (OLED) に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) など、半導体膜を用いた回路素子を駆動回路に有している半導体表示装置が、その範疇に含まれる。

30

【0036】

（実施の形態 1）

本発明の一態様に係る記憶装置は、1 ビットのデータを記憶することができる記憶素子を、単数または複数有する。図 1 に、本発明の記憶装置が有する記憶素子の、回路図の一例を示す。図 1 に示す記憶素子 100 は、入力された信号の位相を反転させて出力する第 1 の位相反転素子 101 及び第 2 の位相反転素子 102 と、スイッチング素子 103 と、スイッチング素子 104 と、容量素子 105 と、容量用スイッチング素子 106 とを、少なくとも有する。

40

【0037】

記憶素子 100 に入力されたデータを含む信号 IN は、スイッチング素子 103 を介して第 1 の位相反転素子 101 の入力端子に与えられる。第 1 の位相反転素子 101 の出力端子は、第 2 の位相反転素子 102 の入力端子に接続されている。第 2 の位相反転素子 102 の出力端子は、スイッチング素子 104 を介して、第 1 の位相反転素子 101 の入力端子に接続されている。第 1 の位相反転素子 101 の出力端子または第 2 の位相反転素子 102 の入力端子の電位が、信号 OUT として後段の記憶素子、或いは他の回路に出力される。

【0038】

50

なお、図 1 では、第 1 の位相反転素子 1 0 1 及び第 2 の位相反転素子 1 0 2 としてインバータを用いる例を示しているが、第 1 の位相反転素子 1 0 1 または第 2 の位相反転素子 1 0 2 として、インバータの他に、クロックドインバータを用いることもできる。

【 0 0 3 9 】

容量素子 1 0 5 は、記憶素子 1 0 0 に入力された信号 I N のデータを必要に応じて記憶できるように、スイッチング素子 1 0 3 及び容量用スイッチング素子 1 0 6 を介して、記憶素子 1 0 0 の入力端子、すなわち信号 I N の電位が与えられるノードに接続されている。具体的に、容量素子 1 0 5 は、一对の電極間に誘電体を有するコンデンサであり、その一方の電極は、容量用スイッチング素子 1 0 6 を介して第 1 の位相反転素子 1 0 1 の入力端子に接続され、他方の電極は、ローレベルの電源電位 V S S 、グラウンドなどの固定電位が与えられているノードに接続されている。

10

【 0 0 4 0 】

また、容量用スイッチング素子 1 0 6 は、高純度化された酸化物半導体をチャネル形成領域に有するトランジスタを用いている。

【 0 0 4 1 】

なお、記憶素子 1 0 0 は、必要に応じて、ダイオード、抵抗素子、インダクタンスなどのその他の回路素子を、さらに有していても良い。

【 0 0 4 2 】

次いで、図 1 で示した記憶素子の、より具体的な回路図の一例を、図 2 に示す。図 2 に示す記憶素子 1 0 0 は、第 1 の位相反転素子 1 0 1 と、第 2 の位相反転素子 1 0 2 と、スイッチング素子 1 0 3 と、スイッチング素子 1 0 4 と、容量素子 1 0 5 と、容量用スイッチング素子 1 0 6 とを有しており、これら回路素子の接続構成は図 1 と同じである。

20

【 0 0 4 3 】

そして、図 2 において第 1 の位相反転素子 1 0 1 は、ゲート電極が互いに接続された p チャネル型トランジスタ 1 0 7 と、n チャネル型トランジスタ 1 0 8 とが、ハイレベルの電源電位 V D D が与えられる第 1 のノードと、ローレベルの電源電位 V S S が与えられる第 2 のノードの間において、直列に接続された構成を有する。具体的に、p チャネル型トランジスタ 1 0 7 のソース電極が、電源電位 V D D の与えられる第 1 のノードに接続され、n チャネル型トランジスタ 1 0 8 のソース電極が、電源電位 V S S の与えられる第 2 のノードに接続される。また、p チャネル型トランジスタ 1 0 7 のドレイン電極と、n チャネル型トランジスタ 1 0 8 のドレイン電極とが接続されており、上記 2 つのドレイン電極の電位は、第 1 の位相反転素子 1 0 1 の出力端子の電位とみなすことができる。また、p チャネル型トランジスタ 1 0 7 のゲート電極、及び n チャネル型トランジスタ 1 0 8 のゲート電極の電位は、第 1 の位相反転素子 1 0 1 の入力端子の電位とみなすことができる。

30

【 0 0 4 4 】

また、図 2 において第 2 の位相反転素子 1 0 2 は、ゲート電極が互いに接続された p チャネル型トランジスタ 1 0 9 と、n チャネル型トランジスタ 1 1 0 とが、ハイレベルの電源電位 V D D が与えられる第 1 のノードと、ローレベルの電源電位 V S S が与えられる第 2 のノードの間において、直列に接続された構成を有する。具体的に、p チャネル型トランジスタ 1 0 9 のソース電極が、電源電位 V D D の与えられる第 1 のノードに接続され、n チャネル型トランジスタ 1 1 0 のソース電極が、電源電位 V S S の与えられる第 2 のノードに接続される。また、p チャネル型トランジスタ 1 0 9 のドレイン電極と、n チャネル型トランジスタ 1 1 0 のドレイン電極とが接続されており、上記 2 つのドレイン電極の電位は、第 2 の位相反転素子 1 0 2 の出力端子の電位とみなすことができる。また、p チャネル型トランジスタ 1 0 9 のゲート電極、及び n チャネル型トランジスタ 1 1 0 のゲート電極の電位は、第 2 の位相反転素子 1 0 2 の入力端子の電位とみなすことができる。

40

【 0 0 4 5 】

また、図 2 では、スイッチング素子 1 0 3 としてトランジスタを用いている場合を例示しており、該トランジスタは、そのゲート電極に与えられる信号 S i g 1 によりスイッチングが制御される。また、スイッチング素子 1 0 4 としてトランジスタを用いている場合を

50

例示しており、該トランジスタは、そのゲート電極に与えられる信号 S i g 2 によりスイッチングが制御される。

【 0 0 4 6 】

なお、図 2 では、スイッチング素子 1 0 3 と、スイッチング素子 1 0 4 が、それぞれトランジスタを一つだけ有する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、スイッチング素子 1 0 3 またはスイッチング素子 1 0 4 が、トランジスタを複数有していても良い。スイッチング素子 1 0 3 またはスイッチング素子 1 0 4 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

10

【 0 0 4 7 】

また、図 2 では、容量用スイッチング素子 1 0 6 として、酸化物半導体をチャネル形成領域に有するトランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号 S i g 3 によりスイッチングが制御される。容量用スイッチング素子 1 0 6 に用いるトランジスタは、高純度化された酸化物半導体をチャネル形成領域に有するため、そのオフ電流は、上述したとおり著しく低い。

【 0 0 4 8 】

そして、図 2 では、容量用スイッチング素子 1 0 6 がトランジスタを一つだけ有する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、容量用スイッチング素子 1 0 6 が、トランジスタを複数有していても良い。容量用スイッチング素子 1 0 6 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

20

【 0 0 4 9 】

なお、本明細書において、トランジスタが直列に接続されている状態とは、第 1 のトランジスタのソース電極とドレイン電極のいずれか一方のみが、第 2 のトランジスタのソース電極とドレイン電極のいずれか一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第 1 のトランジスタのソース電極とドレイン電極のいずれか一方が、第 2 のトランジスタのソース電極とドレイン電極のいずれか一方に接続され、第 1 のトランジスタのソース電極とドレイン電極の他方が第 2 のトランジスタのソース電極とドレイン電極の他方に接続されている状態を意味する。

30

【 0 0 5 0 】

また、本発明の一態様では、少なくとも、容量用スイッチング素子 1 0 6 においてスイッチング素子として用いられるトランジスタが、高純度化された酸化物半導体をチャネル形成領域に有していれば良い。よって、第 1 の位相反転素子 1 0 1、第 2 の位相反転素子 1 0 2、スイッチング素子 1 0 3、またはスイッチング素子 1 0 4 に用いられるトランジスタは、酸化物半導体以外の、非晶質、微結晶、多結晶、または単結晶の、シリコン、またはゲルマニウムなどの半導体を用いることができる。また、上記トランジスタは、薄膜の半導体膜を用いていても良いし、バルクの半導体基板を用いていても良い。酸化物半導体膜を用いた p チャネル型トランジスタを作製することが可能であれば、記憶素子内の全てのトランジスタの活性層に酸化物半導体膜を用い、プロセスを簡略化することもできる。

40

【 0 0 5 1 】

また、本明細書において接続とは電氣的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続している状態も、その範疇に含む。

【 0 0 5 2 】

また、回路図上は独立している構成要素どうしが接続しているように図示されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜

50

が、複数の構成要素の機能を併せ持っているだけの場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【 0 0 5 3 】

また、トランジスタが有するソース電極とドレイン電極は、トランジスタの極性及び各電極に与えられる電位の高低差によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる電極がソース電極と呼ばれ、高い電位が与えられる電極がドレイン電極と呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる電極がドレイン電極と呼ばれ、高い電位が与えられる電極がソース電極と呼ばれる。本明細書では、便宜上、ソース電極とドレイン電極とが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソース電極とドレイン電極の呼び方が入れ替わる。

10

【 0 0 5 4 】

次いで、図 1 に示す記憶素子の動作の一例について説明する。

【 0 0 5 5 】

まず、データの書き込み時において、スイッチング素子 1 0 3 はオン、スイッチング素子 1 0 4 はオフ、容量用スイッチング素子 1 0 6 はオフとする。そして、第 1 のノードに電源電位 V_{DD} を与え、第 2 のノードに電源電位 V_{SS} を与えることで、第 1 のノードと第 2 のノード間に電源電圧が印加される。記憶素子 1 0 0 に与えられる信号 I_N の電位は、スイッチング素子 1 0 3 を介して第 1 の位相反転素子 1 0 1 の入力端子に与えられるので、第 1 の位相反転素子 1 0 1 の出力端子は、信号 I_N の位相が反転した電位になる。そして、スイッチング素子 1 0 4 をオンにし、第 1 の位相反転素子 1 0 1 の入力端子と第 2 の位相反転素子 1 0 2 の出力端子とを接続することで、第 1 の位相反転素子 1 0 1 及び第 2 の位相反転素子 1 0 2 にデータが書き込まれる。

20

【 0 0 5 6 】

次いで、入力されたデータの保持を、第 1 の位相反転素子 1 0 1 及び第 2 の位相反転素子 1 0 2 によって行う場合、スイッチング素子 1 0 4 をオン、容量用スイッチング素子 1 0 6 をオフの状態にしたままで、スイッチング素子 1 0 3 をオフにする。スイッチング素子 1 0 3 をオフにすることで、入力されたデータは、第 1 の位相反転素子 1 0 1 及び第 2 の位相反転素子 1 0 2 によって保持される。このとき、第 1 のノードに電源電位 V_{DD} を与え、第 2 のノードに電源電位 V_{SS} を与えることで、第 1 のノードと第 2 のノード間に電源電圧が印加されている状態を維持する。

30

【 0 0 5 7 】

そして、第 1 の位相反転素子 1 0 1 の出力端子の電位には、第 1 の位相反転素子 1 0 1 及び第 2 の位相反転素子 1 0 2 によって保持されているデータが反映されている。よって、上記電位を読み取ることで、データを記憶素子 1 0 0 から読み出すことができる。

【 0 0 5 8 】

なお、データの保持時における消費電力を削減するために、入力されたデータの保持を、容量素子 1 0 5 において行う場合、まず、スイッチング素子 1 0 3 はオフ、スイッチング素子 1 0 4 はオン、容量用スイッチング素子 1 0 6 はオンとする。そして、容量用スイッチング素子 1 0 6 を介して、第 1 の位相反転素子 1 0 1 及び第 2 の位相反転素子 1 0 2 によって保持されているデータの値に見合った量の電荷が容量素子 1 0 5 に蓄積されることで、容量素子 1 0 5 へのデータの書き込みが行われる。容量素子 1 0 5 にデータが記憶された後、容量用スイッチング素子 1 0 6 をオフにすることで、容量素子 1 0 5 に記憶されたデータは保持される。容量用スイッチング素子 1 0 6 をオフにした後は、第 1 のノードと第 2 のノードとに、例えば電源電位 V_{SS} を与えて等電位とすることで、第 1 のノードと第 2 のノード間の電源電圧の印加を停止する。なお、容量素子 1 0 5 にデータが記憶された後は、スイッチング素子 1 0 4 をオフにしても良い。

40

【 0 0 5 9 】

このように、入力されたデータの保持を容量素子 1 0 5 において行う場合は、第 1 のノード

50

ドと第2のノード間に電源電圧を印加する必要がないので、第1の位相反転素子101が有するpチャネル型トランジスタ107及びnチャネル型トランジスタ108、或いは、第2の位相反転素子102が有するpチャネル型トランジスタ109及びnチャネル型トランジスタ110を介して、第1のノードと第2のノードの間に流れるオフ電流を限りなく0にすることができる。したがって、データの保持時における記憶素子のオフ電流に起因する消費電力を大幅に削減することができ、記憶装置、延いては記憶装置を用いた半導体装置全体の、消費電力を低く抑えることが可能となる。

【0060】

また、容量用スイッチング素子106に用いられているトランジスタは、高純度化された酸化物半導体をチャネル形成領域に用いているので、そのオフ電流密度を、 $100\text{ z A} / \mu\text{m}$ 以下、好ましくは $10\text{ z A} / \mu\text{m}$ 以下、更に好ましくは $1\text{ z A} / \mu\text{m}$ 以下にすることができる。よって、高純度化された酸化物半導体膜を活性層として用いたトランジスタはオフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。その結果、上記トランジスタを用いた容量用スイッチング素子106がオフである時、容量素子105に蓄積された電荷は殆ど放電しないため、データは保持される。

10

【0061】

また、容量素子105に記憶されているデータを読み出す場合は、スイッチング素子103をオフとする。そして、再び、第1のノードに電源電位VDDを与え、第2のノードに電源電位VSSを与えることで、第1のノードと第2のノード間に電源電圧を印加する。そして、容量用スイッチング素子106をオンにすることで、データが反映された電位を有する信号OUTを、記憶素子100から読み出すことができる。

20

【0062】

次いで、図2に示した回路において、電源電位VDDの供給を停止しない場合のタイミングチャートの一例を図24に示す。信号Sig1がローレベルになり、信号Sig2はハイレベルになることによって、信号INが遮断され、帰還ループができ、状態が保持できる。信号Sig1が再びハイレベルになり、信号Sig2がローレベルになると、信号INが入り、第1の位相反転素子101を介して出力される。このとき、信号Sig3はローレベルとする。

【0063】

図25は、図2の回路の電源電位VDDの供給を停止する場合のタイミングチャートの一例である。信号Sig1がローレベルになり、信号Sig2はハイレベルになることによって、信号INが遮断され、帰還ループができ、状態が保持できる。この後、信号Sig3をハイレベルにすることによって容量素子105に記憶がなされる(図25ではハイレベル)。その後、電源電位VDDの供給が停止しても、容量素子105の電位は保持される。その後、電源電位VDDが供給され、信号Sig3が再度ハイレベルになると、容量素子105の電位が第1の位相反転素子101を介して出力される(図25ではローレベル)。

30

【0064】

(実施の形態2)

本実施の形態では、本発明の記憶装置が有する記憶素子の、別の一例について説明する。図3に、本実施の形態の記憶素子の回路図を、一例として示す。

40

【0065】

図3に示す記憶素子200は、入力された信号の位相を反転させて出力する第1の位相反転素子201、第2の位相反転素子202及び第3の位相反転素子207と、スイッチング素子203と、スイッチング素子204と、スイッチング素子208と、スイッチング素子209と、容量素子205と、容量用スイッチング素子206とを、少なくとも有する。

【0066】

記憶素子200に入力されたデータを含む信号INは、スイッチング素子203を介して第1の位相反転素子201の入力端子に与えられる。第1の位相反転素子201の出力端

50

子は、第 2 の位相反転素子 202 の入力端子に接続されている。第 2 の位相反転素子 202 の出力端子は、スイッチング素子 204 を介して、第 1 の位相反転素子 201 の入力端子に接続されている。第 1 の位相反転素子 201 の出力端子または第 2 の位相反転素子 202 の入力端子の電位は、スイッチング素子 208 を介して、信号 OUT として後段の記憶素子、或いは他の回路に出力される。

【0067】

容量素子 205 は、記憶素子 200 に入力された信号 IN のデータを必要に応じて記憶できるように、容量用スイッチング素子 206 を介して、記憶素子 200 の入力端子、すなわち信号 IN の電位が与えられるノードに接続されている。具体的に、容量素子 205 は、一対の電極間に誘電体を有するコンデンサであり、その一方の電極は、容量用スイッチング素子 206 を介して信号 IN の電位が与えられるノードに接続され、他方の電極は、ローレベルの電源電位 VSS、グラウンドなどの固定電位が与えられているノードに接続されている。

10

【0068】

また、容量素子 205 の上記一方の電極は、第 3 の位相反転素子 207 の入力端子に接続される。第 3 の位相反転素子 207 の出力端子の電位は、スイッチング素子 209 を介して、信号 OUT として後段の記憶素子、或いは他の回路に出力される。

【0069】

なお、図 3 では、第 1 の位相反転素子 201、第 2 の位相反転素子 202 及び第 3 の位相反転素子 207 としてインバータを用いる例を示しているが、第 1 の位相反転素子 201、第 2 の位相反転素子 202 または第 3 の位相反転素子 207 として、インバータの他に、クロックドインバータを用いることもできる。

20

【0070】

また、容量用スイッチング素子 206 は、高純度化された酸化物半導体をチャネル形成領域に有するトランジスタを用いている。

【0071】

なお、記憶素子 200 は、必要に応じて、ダイオード、抵抗素子、インダクタンスなどのその他の回路素子を、さらに有していても良い。

【0072】

次いで、図 3 で示した記憶素子の、より具体的な回路図の一例を、図 4 に示す。図 4 に示す記憶素子 200 は、第 1 の位相反転素子 201、第 2 の位相反転素子 202、第 3 の位相反転素子 207、スイッチング素子 203、スイッチング素子 204、スイッチング素子 208、スイッチング素子 209、容量素子 205、容量用スイッチング素子 206 を少なくとも有しており、これら回路素子の接続構成は図 3 と同じである。

30

【0073】

そして、図 4 において第 1 の位相反転素子 201 は、ゲート電極が互いに接続された p チャネル型トランジスタ 210 と、n チャネル型トランジスタ 211 とが、ハイレベルの電源電位 VDD が与えられる第 1 のノードと、ローレベルの電源電位 VSS が与えられる第 2 のノードの間において、直列に接続された構成を有する。具体的に、p チャネル型トランジスタ 210 のソース電極が、電源電位 VDD の与えられる第 1 のノードに接続され、n チャネル型トランジスタ 211 のソース電極が、電源電位 VSS の与えられる第 2 のノードに接続される。また、p チャネル型トランジスタ 210 のドレイン電極と、n チャネル型トランジスタ 211 のドレイン電極とが接続されており、上記 2 つのドレイン電極の電位は、第 1 の位相反転素子 201 の出力端子の電位とみなすことができる。また、p チャネル型トランジスタ 210 のゲート電極、及び n チャネル型トランジスタ 211 のゲート電極の電位は、第 1 の位相反転素子 201 の入力端子の電位とみなすことができる。

40

【0074】

また、図 4 において第 2 の位相反転素子 202 は、ゲート電極が互いに接続された p チャネル型トランジスタ 212 と、n チャネル型トランジスタ 213 とが、ハイレベルの電源電位 VDD が与えられる第 1 のノードと、ローレベルの電源電位 VSS が与えられる第 2

50

のノードの間において、直列に接続された構成を有する。具体的に、pチャネル型トランジスタ212のソース電極が、電源電位VDDの与えられる第1のノードに接続され、nチャネル型トランジスタ213のソース電極が、電源電位VSSの与えられる第2のノードに接続される。また、pチャネル型トランジスタ212のドレイン電極と、nチャネル型トランジスタ213のドレイン電極とが接続されており、上記2つのドレイン電極の電位は、第2の位相反転素子202の出力端子の電位とみなすことができる。また、pチャネル型トランジスタ212のゲート電極、及びnチャネル型トランジスタ213のゲート電極の電位は、第2の位相反転素子202の入力端子の電位とみなすことができる。

【0075】

また、図4において第3の位相反転素子207は、ゲート電極が互いに接続されたpチャネル型トランジスタ214と、nチャネル型トランジスタ215とが、ハイレベルの電源電位VDDが与えられる第3のノードと、ローレベルの電源電位VSSが与えられる第4のノードの間において、直列に接続された構成を有する。具体的に、pチャネル型トランジスタ214のソース電極が、電源電位VDDの与えられる第3のノードに接続され、nチャネル型トランジスタ215のソース電極が、電源電位VSSの与えられる第4のノードに接続される。また、pチャネル型トランジスタ214のドレイン電極と、nチャネル型トランジスタ215のドレイン電極とが接続されており、上記2つのドレイン電極の電位は、第3の位相反転素子207の出力端子の電位とみなすことができる。また、pチャネル型トランジスタ214のゲート電極、及びnチャネル型トランジスタ215のゲート電極の電位は、第3の位相反転素子207の入力端子の電位とみなすことができる。

【0076】

なお、上記第1のノードと第3のノードは、電氣的に接続された一つのノードであっても良い。また、上記第2のノードと第4のノードも、電氣的に接続された一つのノードであっても良い。

【0077】

また、図4では、スイッチング素子203としてトランジスタを用いている場合を例示しており、該トランジスタは、そのゲート電極に与えられる信号Sig1によりスイッチングが制御される。また、スイッチング素子204としてトランジスタを用いている場合を例示しており、該トランジスタは、そのゲート電極に与えられる信号Sig2によりスイッチングが制御される。また、スイッチング素子209としてトランジスタを用いている場合を例示しており、該トランジスタは、そのゲート電極に与えられる信号Sig4によりスイッチングが制御される。

【0078】

なお、図4では、スイッチング素子203、スイッチング素子204、スイッチング素子209が、それぞれトランジスタを一つだけ有する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、スイッチング素子203、スイッチング素子204、またはスイッチング素子209が、トランジスタを複数有していても良い。スイッチング素子203、スイッチング素子204、またはスイッチング素子209が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

【0079】

また、図4では、容量用スイッチング素子206として、酸化物半導体をチャネル形成領域に有するトランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号Sig3によりスイッチングが制御される。容量用スイッチング素子206に用いるトランジスタは、高純度化された酸化物半導体をチャネル形成領域に有するため、そのオフ電流は、上述したとおり著しく低い。

【0080】

そして、図4では、容量用スイッチング素子206がトランジスタを一つだけ有する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、容量用スイッ

10

20

30

40

50

チング素子 206 が、トランジスタを複数有していても良い。容量用スイッチング素子 206 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わせられて接続されていても良い。

【0081】

また、本発明の一態様では、少なくとも、容量用スイッチング素子 206 においてスイッチング素子として用いられるトランジスタが、高純度化された酸化物半導体をチャネル形成領域に有していれば良い。よって、第 1 の位相反転素子 201、第 2 の位相反転素子 202、第 3 の位相反転素子 207、スイッチング素子 203、スイッチング素子 204、スイッチング素子 208、スイッチング素子 209 に用いられるトランジスタは、酸化物半導体以外の、非晶質、微結晶、多結晶、または単結晶の、シリコン、またはゲルマニウムなどの半導体を用いることができる。また、上記トランジスタは、薄膜の半導体膜を用いていても良いし、バルクの半導体基板を用いていても良い。酸化物半導体膜を用いた p チャネル型トランジスタを作製することが可能であれば、記憶素子内の全てのトランジスタの活性層に酸化物半導体膜を用い、プロセスを簡略化することもできる。

10

【0082】

次いで、図 3 に示す記憶素子の動作の一例について説明する。

【0083】

まず、データの書き込み時において、スイッチング素子 203 はオン、スイッチング素子 204 はオフ、スイッチング素子 208 はオフ、スイッチング素子 209 はオフ、容量用スイッチング素子 206 はオンとする。そして、第 1 のノードに電源電位 VDD を与え、第 2 のノードに電源電位 VSS を与えることで、第 1 のノードと第 2 のノード間に電源電圧が印加される。記憶素子 200 に与えられる信号 IN の電位は、スイッチング素子 203 を介して第 1 の位相反転素子 201 の入力端子に与えられるので、第 1 の位相反転素子 201 の出力端子は、信号 IN の位相が反転した電位になる。そして、スイッチング素子 204 をオンにし、第 1 の位相反転素子 201 の入力端子と第 2 の位相反転素子 202 の出力端子とを接続することで、第 1 の位相反転素子 201 及び第 2 の位相反転素子 202 にデータが書き込まれる。

20

【0084】

また、データの書き込み時では、容量用スイッチング素子 206 を介して、信号 IN のデータの値に見合った量の電荷が容量素子 205 に蓄積されることで、容量素子 205 にもデータが書き込まれる。

30

【0085】

なお、データの書き込み時において、第 3 のノードと第 4 のノード間に電源電圧を印加する必要はない。よって、例えば、第 3 のノードと第 4 のノードとに、例えば電源電位 VSS を与えて等電位とする。

【0086】

次いで、入力されたデータの保持を、第 1 の位相反転素子 201 及び第 2 の位相反転素子 202 によって行う場合、スイッチング素子 204 をオン、スイッチング素子 208 をオフ、スイッチング素子 209 をオフにした状態で、スイッチング素子 203 をオフ、容量用スイッチング素子 206 をオフにする。スイッチング素子 203 をオフにすることで、入力されたデータは、第 1 の位相反転素子 201 及び第 2 の位相反転素子 202 によって保持される。このとき、第 1 のノードに電源電位 VDD を与え、第 2 のノードに電源電位 VSS を与えることで、第 1 のノードと第 2 のノード間に電源電圧が印加されている状態を維持する。

40

【0087】

また、容量用スイッチング素子 206 をオフにすることで、容量素子 205 に書き込まれたデータも、保持される。

【0088】

そして、第 1 の位相反転素子 201 の出力端子の電位には、第 1 の位相反転素子 201 及

50

び第 2 の位相反転素子 202 によって保持されているデータが反映されている。よって、スイッチング素子 208 をオンにして上記電位を読み取ることで、データを記憶素子 200 から読み出すことができる。

【0089】

なお、データの保持時における消費電力を削減するために、入力されたデータの保持を、容量素子 205 のみにおいて行う場合は、第 1 のノードと第 2 のノードとに、例えば電源電位 V_{SS} を与えて等電位とすることで、第 1 のノードと第 2 のノード間の電源電圧の印加を停止する。第 1 のノードと第 2 のノード間の電源電圧の印加を停止すると、第 1 の位相反転素子 201 及び第 2 の位相反転素子 202 において保持されているデータは消えるが、容量素子 205 に書き込まれたデータは、そのまま保持される。

10

【0090】

このように、入力されたデータの保持を容量素子 205 において行う場合は、第 1 のノードと第 2 のノード間に電源電圧を印加する必要がないので、第 1 の位相反転素子 201 が有する p チャンネル型トランジスタ 210 及び n チャンネル型トランジスタ 211、或いは、第 2 の位相反転素子 202 が有する p チャンネル型トランジスタ 212 及び n チャンネル型トランジスタ 213 を介して、第 1 のノードと第 2 のノードの間に流れるオフ電流を、限りなく 0 にすることができる。したがって、保持時における記憶素子のオフ電流に起因する消費電力を大幅に削減することができ、記憶装置、延いては記憶装置を用いた半導体装置全体の、消費電力を低く抑えることが可能となる。

【0091】

20

また、入力されたデータの保持を容量素子 205 において行う場合、第 3 のノードと第 4 のノード間に電源電圧を印加する必要がない。よって、第 3 の位相反転素子 207 が有する p チャンネル型トランジスタ 214 及び n チャンネル型トランジスタ 215 を介して、第 3 のノードと第 4 のノードの間に流れるオフ電流を限りなく 0 にすることができる。したがって、保持時における記憶素子のオフ電流に起因する消費電力を大幅に削減することができ、記憶装置、延いては記憶装置を用いた半導体装置全体の、消費電力を低く抑えることが可能となる。

【0092】

また、容量用スイッチング素子 206 に用いられているトランジスタは、高純度化された酸化物半導体をチャンネル形成領域に用いているので、そのオフ電流密度を、 $100 \text{ zA} / \mu\text{m}$ 以下、好ましくは $10 \text{ zA} / \mu\text{m}$ 以下、更に好ましくは $1 \text{ zA} / \mu\text{m}$ 以下にすることができる。よって、高純度化された酸化物半導体膜を活性層として用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。その結果、上記トランジスタを用いた容量用スイッチング素子 206 がオフである時、容量素子 205 に蓄積された電荷は殆ど放電しないため、データは保持される。

30

【0093】

なお、容量素子 205 に記憶されているデータを読み出す場合は、第 3 のノードに電源電位 V_{DD} を与え、第 4 のノードに電源電位 V_{SS} を与えることで、第 3 のノードと第 4 のノード間に電源電圧を印加する。第 3 のノードと第 4 のノード間に電源電圧が与えられると、第 3 の位相反転素子 207 の出力端子には、入力端子の電位の位相が反転した電位が与えられる。なお、第 3 の位相反転素子 207 の入力端子には、容量素子 205 に蓄積されている電荷量に見合った高さの電位が与えられるので、その出力端子の電位にはデータが反映される。よって、スイッチング素子 209 をオンにすることで、データが反映された電位を有する信号 OUT を、記憶素子 200 から読み出すことができる。

40

【0094】

図 26 は、図 4 の回路の電源電位 V_{DD} の供給を停止しない場合のタイミングチャートの一例である。信号 S_{ig1} がローレベルになり、信号 S_{ig2} はハイレベルになることによって、信号 IN が遮断され、帰還ループができ、状態が保持できる。信号 S_{ig1} が再びハイレベルになり、信号 S_{ig2} がローレベルになると、信号 IN が入り、第 1 の位相反転素子 201 を介して出力される。このとき信号 S_{ig3} 、信号 S_{ig4} はローレベル

50

であり、信号 S i g 5 はハイレベルである。

【 0 0 9 5 】

図 2 7 は、図 4 の回路の電源電位 V D D の供給を停止する場合のタイミングチャートの一例である。信号 S i g 1 がローレベルになり、信号 S i g 2 はハイレベルになることによって、信号 I N が遮断され、帰還ループができ、状態が保持できる。一方、信号 S i g 3 をハイレベルにすることによって容量素子 2 0 5 に記憶がなされる（図 2 7 ではローレベル）。その後、電源電位 V D D の供給が停止しても容量素子 2 0 5 の電位は保持される。その後、電源電位 V D D が供給され、信号 S i g 5 がローレベル、信号 S i g 3 がローレベル、信号 S i g 4 がハイレベルになると、容量素子 2 0 5 の電位が第 3 の位相反転素子 2 0 7 を介して出力される（図 2 7 ではハイレベル）。

10

【 0 0 9 6 】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【 0 0 9 7 】

（実施の形態 3）

本実施の形態では、本発明の記憶装置が有する記憶素子の、別の一例について説明する。図 5 に、本実施の形態の記憶素子の回路図を、一例として示す。

【 0 0 9 8 】

図 5 に示す記憶素子 3 0 0 は、入力された信号の位相を反転させて出力する第 1 の位相反転素子 3 0 1 及び第 2 の位相反転素子 3 0 2 と、スイッチング素子 3 0 3 と、スイッチング素子 3 0 4 と、容量素子 3 0 5 と、容量用スイッチング素子 3 0 6 と、容量素子 3 0 7 と、容量用スイッチング素子 3 0 8 とを、少なくとも有する。

20

【 0 0 9 9 】

記憶素子 3 0 0 に入力されたデータを含む信号 I N は、スイッチング素子 3 0 3 を介して第 1 の位相反転素子 3 0 1 の入力端子に与えられる。第 1 の位相反転素子 3 0 1 の出力端子は、第 2 の位相反転素子 3 0 2 の入力端子に接続されている。第 2 の位相反転素子 3 0 2 の出力端子は、スイッチング素子 3 0 4 を介して、第 1 の位相反転素子 3 0 1 の入力端子に接続されている。第 1 の位相反転素子 3 0 1 の出力端子または第 2 の位相反転素子 3 0 2 の入力端子の電位は、信号 O U T として後段の記憶素子、或いは他の回路に出力される。

【 0 1 0 0 】

容量素子 3 0 5 は、記憶素子 3 0 0 に入力された信号 I N のデータを必要に応じて記憶できるように、スイッチング素子 3 0 3 及び容量用スイッチング素子 3 0 6 を介して、記憶素子 3 0 0 の入力端子、すなわち信号 I N の電位が与えられるノードに接続されている。具体的に、容量素子 3 0 5 は、一対の電極間に誘電体を有するコンデンサであり、その一方の電極は、容量用スイッチング素子 3 0 6 を介して第 1 の位相反転素子 3 0 1 の入力端子に接続され、他方の電極は、ローレベルの電源電位 V S S、グラウンドなどの固定電位が与えられているノードに接続されている。

30

【 0 1 0 1 】

容量素子 3 0 7 は、容量素子 3 0 5 と同様に、記憶素子 3 0 0 に入力された信号 I N のデータを必要に応じて記憶できるように、スイッチング素子 3 0 3、第 1 の位相反転素子 3 0 1 及び容量用スイッチング素子 3 0 8 を介して、記憶素子 3 0 0 の入力端子、すなわち信号 I N の電位が与えられるノードに接続されている。具体的に、容量素子 3 0 7 は、一対の電極間に誘電体を有するコンデンサであり、その一方の電極は、容量用スイッチング素子 3 0 8 を介して第 1 の位相反転素子 3 0 1 の出力端子に接続され、他方の電極は、ローレベルの電源電位 V S S、グラウンドなどの固定電位が与えられているノードに接続されている。

40

【 0 1 0 2 】

なお、図 5 では、第 1 の位相反転素子 3 0 1、第 2 の位相反転素子 3 0 2 としてインバータを用いる例を示しているが、第 1 の位相反転素子 3 0 1 または第 2 の位相反転素子 3 0 2 として、インバータの他に、クロックドインバータを用いることもできる。

50

【 0 1 0 3 】

また、容量用スイッチング素子 3 0 6 及び容量用スイッチング素子 3 0 8 は、高純度化された酸化物半導体をチャネル形成領域に有するトランジスタを用いている。

【 0 1 0 4 】

なお、記憶素子 3 0 0 は、必要に応じて、ダイオード、抵抗素子、インダクタンスなどのその他の回路素子を、さらに有していても良い。

【 0 1 0 5 】

次いで、図 5 で示した記憶素子の、より具体的な回路図の一例を、図 6 に示す。図 6 に示す記憶素子 3 0 0 は、第 1 の位相反転素子 3 0 1、第 2 の位相反転素子 3 0 2、スイッチング素子 3 0 3、スイッチング素子 3 0 4、容量素子 3 0 5、容量用スイッチング素子 3 0 6、容量素子 3 0 7、容量用スイッチング素子 3 0 8 を少なくとも有しており、これら回路素子の接続構成は図 5 と同じである。

10

【 0 1 0 6 】

そして、図 6 において第 1 の位相反転素子 3 0 1 は、ゲート電極が互いに接続された p チャネル型トランジスタ 3 0 9 と、n チャネル型トランジスタ 3 1 0 とが、ハイレベルの電源電位 V_{DD} が与えられる第 1 のノードと、ローレベルの電源電位 V_{SS} が与えられる第 2 のノードの間において、直列に接続された構成を有する。具体的に、p チャネル型トランジスタ 3 0 9 のソース電極が、電源電位 V_{DD} の与えられる第 1 のノードに接続され、n チャネル型トランジスタ 3 1 0 のソース電極が、電源電位 V_{SS} の与えられる第 2 のノードに接続される。また、p チャネル型トランジスタ 3 0 9 のドレイン電極と、n チャネル型トランジスタ 3 1 0 のドレイン電極とが接続されており、上記 2 つのドレイン電極の電位は、第 1 の位相反転素子 3 0 1 の出力端子の電位とみなすことができる。また、p チャネル型トランジスタ 3 0 9 のゲート電極、及び n チャネル型トランジスタ 3 1 0 のゲート電極の電位は、第 1 の位相反転素子 3 0 1 の入力端子の電位とみなすことができる。

20

【 0 1 0 7 】

また、図 6 において第 2 の位相反転素子 3 0 2 は、ゲート電極が互いに接続された p チャネル型トランジスタ 3 1 1 と、n チャネル型トランジスタ 3 1 2 とが、ハイレベルの電源電位 V_{DD} が与えられる第 1 のノードと、ローレベルの電源電位 V_{SS} が与えられる第 2 のノードの間において、直列に接続された構成を有する。具体的に、p チャネル型トランジスタ 3 1 1 のソース電極が、電源電位 V_{DD} の与えられる第 1 のノードに接続され、n チャネル型トランジスタ 3 1 2 のソース電極が、電源電位 V_{SS} の与えられる第 2 のノードに接続される。また、p チャネル型トランジスタ 3 1 1 のドレイン電極と、n チャネル型トランジスタ 3 1 2 のドレイン電極とが接続されており、上記 2 つのドレイン電極の電位は、第 2 の位相反転素子 3 0 2 の出力端子の電位とみなすことができる。また、p チャネル型トランジスタ 3 1 1 のゲート電極、及び n チャネル型トランジスタ 3 1 2 のゲート電極の電位は、第 2 の位相反転素子 3 0 2 の入力端子の電位とみなすことができる。

30

【 0 1 0 8 】

また、図 6 では、スイッチング素子 3 0 3 としてトランジスタを用いている場合を例示しており、該トランジスタは、そのゲート電極に与えられる信号 $S_{i g 1}$ によりスイッチングが制御される。また、スイッチング素子 3 0 4 としてトランジスタを用いている場合を例示しており、該トランジスタは、そのゲート電極に与えられる信号 $S_{i g 2}$ によりスイッチングが制御される。

40

【 0 1 0 9 】

なお、図 6 では、スイッチング素子 3 0 3、スイッチング素子 3 0 4 が、それぞれトランジスタを一つだけ有する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、スイッチング素子 3 0 3 またはスイッチング素子 3 0 4 が、トランジスタを複数有していても良い。スイッチング素子 3 0 3 またはスイッチング素子 3 0 4 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

50

【 0 1 1 0 】

また、図 6 では、容量用スイッチング素子 3 0 6 として、酸化物半導体をチャネル形成領域に有するトランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号 S i g 3 によりスイッチングが制御される。容量用スイッチング素子 3 0 6 に用いるトランジスタは、高純度化された酸化物半導体をチャネル形成領域に有するため、そのオフ電流は、上述したとおり著しく低い。

【 0 1 1 1 】

また、図 6 では、容量用スイッチング素子 3 0 8 として、酸化物半導体をチャネル形成領域に有するトランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号 S i g 4 によりスイッチングが制御される。容量用スイッチング素子 3 0 8 に用いるトランジスタは、高純度化された酸化物半導体をチャネル形成領域に有するため、そのオフ電流は、上述したとおり著しく低い。

10

【 0 1 1 2 】

そして、図 6 では、容量用スイッチング素子 3 0 6 または容量用スイッチング素子 3 0 8 がトランジスタを一つだけ有する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、容量用スイッチング素子 3 0 6 または容量用スイッチング素子 3 0 8 が、トランジスタを複数有していても良い。容量用スイッチング素子 3 0 6 または容量用スイッチング素子 3 0 8 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わせられて接続されていても良い。

20

【 0 1 1 3 】

また、本発明の一態様では、少なくとも、容量用スイッチング素子 3 0 6 または容量用スイッチング素子 3 0 8 において、スイッチング素子として用いられるトランジスタが、高純度化された酸化物半導体をチャネル形成領域に有していれば良い。よって、第 1 の位相反転素子 3 0 1、第 2 の位相反転素子 3 0 2、スイッチング素子 3 0 3、スイッチング素子 3 0 4 に用いられるトランジスタは、酸化物半導体以外の、非晶質、微結晶、多結晶、または単結晶の、シリコン、またはゲルマニウムなどの半導体を用いることができる。また、上記トランジスタは、薄膜の半導体膜を用いていても良いし、バルクの半導体基板を用いていても良い。酸化物半導体膜を用いた p チャネル型トランジスタを作製することが可能であれば、記憶素子内の全てのトランジスタの活性層に酸化物半導体膜を用い、プロセスを簡略化することもできる。

30

【 0 1 1 4 】

次いで、図 5 または図 6 に示す記憶素子の動作の一例について説明する。

【 0 1 1 5 】

まず、データの書き込み時において、スイッチング素子 3 0 3 はオン、スイッチング素子 3 0 4 はオフ、容量用スイッチング素子 3 0 6 はオフ、容量用スイッチング素子 3 0 8 はオフとする。そして、第 1 のノードに電源電位 V D D を与え、第 2 のノードに電源電位 V S S を与えることで、第 1 のノードと第 2 のノード間に電源電圧が印加される。記憶素子 3 0 0 に与えられる信号 I N の電位は、スイッチング素子 3 0 3 を介して第 1 の位相反転素子 3 0 1 の入力端子に与えられるので、第 1 の位相反転素子 3 0 1 の出力端子は、信号 I N の位相が反転した電位になる。そして、スイッチング素子 3 0 4 をオンにし、第 1 の位相反転素子 3 0 1 の入力端子と第 2 の位相反転素子 3 0 2 の出力端子とを接続することで、第 1 の位相反転素子 3 0 1 及び第 2 の位相反転素子 3 0 2 にデータが書き込まれる。

40

【 0 1 1 6 】

次いで、入力されたデータの保持を、第 1 の位相反転素子 3 0 1 及び第 2 の位相反転素子 3 0 2 によって行う場合、スイッチング素子 3 0 4 をオン、容量用スイッチング素子 3 0 6 をオフ、容量用スイッチング素子 3 0 8 をオフの状態にしたままで、スイッチング素子 3 0 3 をオフにする。スイッチング素子 3 0 3 をオフにすることで、入力されたデータは、第 1 の位相反転素子 3 0 1 及び第 2 の位相反転素子 3 0 2 によって保持される。このとき、第 1 のノードに電源電位 V D D を与え、第 2 のノードに電源電位 V S S を与えること

50

で、第 1 のノードと第 2 のノード間に電源電圧が印加されている状態を維持する。

【 0 1 1 7 】

そして、第 1 の位相反転素子 3 0 1 の出力端子の電位には、第 1 の位相反転素子 3 0 1 及び第 2 の位相反転素子 3 0 2 によって保持されているデータが反映されている。よって、上記電位を読み取ることで、データを記憶素子 3 0 0 から読み出すことができる。

【 0 1 1 8 】

なお、データの保持時における消費電力を削減するために、入力されたデータの保持を、容量素子 3 0 5、容量素子 3 0 7 において行う場合は、スイッチング素子 3 0 3 をオフ、スイッチング素子 3 0 4 をオン、容量用スイッチング素子 3 0 6 をオン、容量用スイッチング素子 3 0 8 をオンとする。そして、容量用スイッチング素子 3 0 6 を介して、第 1 の位相反転素子 3 0 1 及び第 2 の位相反転素子 3 0 2 に保持されているデータの値に見合った量の電荷が、容量素子 3 0 5 に蓄積されることで、容量素子 3 0 5 へのデータの書き込みが行われる。また、容量用スイッチング素子 3 0 8 を介して、第 1 の位相反転素子 3 0 1 及び第 2 の位相反転素子 3 0 2 に保持されているデータの値に見合った量の電荷が、容量素子 3 0 7 に蓄積されることで、容量素子 3 0 7 へのデータの書き込みが行われる。なお、容量素子 3 0 5 が有する一対の電極間の電圧と、容量素子 3 0 7 が有する一対の電極間の電圧は、その極性が逆になる。

【 0 1 1 9 】

容量素子 3 0 5 にデータが記憶された後、容量用スイッチング素子 3 0 6 をオフにすることで、容量素子 3 0 5 に記憶されたデータは保持される。また、容量素子 3 0 7 にデータが記憶された後、容量用スイッチング素子 3 0 8 をオフにすることで、容量素子 3 0 7 に記憶されたデータは保持される。容量用スイッチング素子 3 0 6、容量用スイッチング素子 3 0 8 をオフにした後は、第 1 のノードと第 2 のノードとに、例えば電源電位 V_{SS} を与えて等電位とすることで、第 1 のノードと第 2 のノード間の電源電圧の印加を停止する。

【 0 1 2 0 】

このように、入力されたデータの保持を容量素子 3 0 5 及び容量素子 3 0 7 において行う場合は、第 1 のノードと第 2 のノード間に電源電圧を印加する必要がないので、第 1 の位相反転素子 3 0 1 が有する p チャネル型トランジスタ 3 0 9 及び n チャネル型トランジスタ 3 1 0、或いは、第 2 の位相反転素子 3 0 2 が有する p チャネル型トランジスタ 3 1 1 及び n チャネル型トランジスタ 3 1 2 を介して、第 1 のノードと第 2 のノードの間に流れるオフ電流を、限りなく 0 にすることができる。したがって、保持時における記憶素子のオフ電流に起因する消費電力を大幅に削減することができ、記憶装置、延いては記憶装置を用いた半導体装置全体の、消費電力を低く抑えることが可能となる。

【 0 1 2 1 】

また、容量用スイッチング素子 3 0 6 及び容量用スイッチング素子 3 0 8 に用いられているトランジスタは、高純度化された酸化物半導体をチャネル形成領域に用いているので、そのオフ電流密度を、 $100 \text{ zA} / \mu\text{m}$ 以下、好ましくは $10 \text{ zA} / \mu\text{m}$ 以下、更に好ましくは $1 \text{ zA} / \mu\text{m}$ 以下にすることができる。よって、高純度化された酸化物半導体膜を活性層として用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。その結果、上記トランジスタを用いた容量用スイッチング素子 3 0 6 がオフである時、容量素子 3 0 5 に蓄積された電荷は殆ど放電しないため、データは保持される。また、上記トランジスタを用いた容量用スイッチング素子 3 0 8 がオフである時、容量素子 3 0 7 に蓄積された電荷は殆ど放電しないため、データは保持される。

【 0 1 2 2 】

なお、容量素子 3 0 5 及び容量素子 3 0 7 に記憶されているデータを読み出す場合は、第 1 のノードに電源電位 V_{DD} を与え、第 2 のノードに電源電位 V_{SS} を与えることで、第 1 のノードと第 2 のノード間に電源電圧を印加する。この状態で、容量用スイッチング素子 3 0 6 をオンとする。第 1 のノードと第 2 のノード間に電源電圧が与えられると、第 1

の位相反転素子 301 の出力端子には、入力端子の電位の位相が反転した電位が与えられる。なお、第 1 の位相反転素子 301 の入力端子には、容量素子 305 に蓄積されている電荷量に見合った高さの電位が与えられるので、その出力端子の電位にはデータが反映される。また、容量用スイッチング素子 308 をオンにすることで、容量素子 305 に蓄積されている電荷量に見合った高さの電位が、第 1 の位相反転素子 301 の出力端子に与えられる。よって、データが反映された電位を有する信号 OUT を、記憶素子 300 から読み出すことができる。

【0123】

図 28 は、図 6 の回路の電源電位 VDD の供給を停止しない場合のタイミングチャートの一例である。信号 Sig1 がローレベルになり、信号 Sig2 はハイレベルになることによって、信号 IN が遮断され、帰還ループができ、状態が保持できる。信号 Sig1 が再びハイレベルになり、信号 Sig2 がローレベルになると、信号 IN が入り、第 1 の位相反転素子 301 を介して出力される。このとき信号 Sig3、信号 Sig4 はローレベルとする。

10

【0124】

図 29 は、図 6 の回路の電源電位 VDD の供給を停止する場合のタイミングチャートの一例である。信号 Sig1 がローレベルになり、信号 Sig2 はハイレベルになることによって、信号 IN が遮断され、帰還ループができ、状態が保持できる。この後、信号 Sig3、信号 Sig4 をハイレベルにすることによって容量素子 305、容量素子 307 に記憶がなされる。その後、電源電位 VDD の供給が停止しても容量素子 305、容量素子 307 の電位は保持される（図 29 では容量素子 305 がハイレベル、容量素子 307 はローレベル）。その後、電源電位 VDD が供給され、信号 Sig3、信号 Sig4 が再度ハイレベルになると、容量素子 305 の電位が第 1 の位相反転素子 301 を介して出力され、容量素子 307 の電位が出力される（図 29 では共にローレベル）。

20

【0125】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0126】

（実施の形態 4）

本発明の一態様に係る半導体装置は、シリコンを用いたトランジスタと、酸化物半導体を用いたトランジスタとを有する。シリコンを用いたトランジスタは、シリコンウェハ、SOI (Silicon on Insulator) 基板、絶縁表面上のシリコン薄膜などを用いて形成することができる。

30

【0127】

SOI 基板は、例えば、スマートカット（登録商標）に代表される UNIBOND（登録商標）、ELTRAN (Epitaxial Layer Transfer)（登録商標）、誘電体分離法、PACE (Plasma Assisted Chemical Etching) 法などの方法や、SIMOX (Separation by Implanted Oxygen) 法などを用いて作製することができる。

【0128】

絶縁表面を有する基板上に形成されたシリコンの半導体膜は、公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、950 程度の高温アニール法を組み合わせた結晶法を用いても良い。

40

【0129】

また、上記方法を用いて作製される半導体素子を、プラスチックなどの可撓性を有する基板上に移すことで、半導体装置を形成しても良い。転写には、様々な方法を用いることができる。例えば、基板と半導体素子の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して半導体素子を剥離し、移す方法、基板と半導体素子の間に水素を含む非晶質

50

珪素膜を設け、レーザ光の照射またはエッチングにより該非晶質珪素膜を除去することで基板と半導体素子とを剥離し、移す方法、半導体素子が形成された基板を機械的に削除または溶液やガスによるエッチングで除去することで半導体素子を基板から切り離し、移す方法等が挙げられる。

【0130】

本実施の形態では、SOI (Silicon on Insulator) 基板を用いて、シリコンを有するトランジスタを作製した後、酸化物半導体を有するトランジスタを作製する場合を例に挙げて、半導体装置の構造及びその作製方法について説明する。

【0131】

まず、図7(A)に示すように、ボンド基板500を洗浄した後、ボンド基板500の表面に絶縁膜501を形成する。 10

【0132】

ボンド基板500として、シリコンの単結晶半導体基板を用いることができる。また、ボンド基板500として、結晶格子に歪みを有するシリコン、シリコンに対しゲルマニウムが添加されたシリコンゲルマニウムなどの半導体基板を用いても良い。

【0133】

なお、ボンド基板500に用いられる単結晶半導体基板は、結晶軸の方向が基板内において揃っていることが望ましいが、点欠陥、線欠陥、面欠陥などの格子欠陥が完璧に排除された完全結晶である必要はない。

【0134】

ボンド基板500の形状は円形に限定されず、円形以外の形状に加工されていても良い。例えば、後に貼り合わせるベース基板503の形状が一般的に矩形状であること、及び縮小投影型露光装置などの露光装置の露光領域が矩形であること等を考慮し、ボンド基板500が矩形となるように、その形状を加工しても良い。ボンド基板500の形状の加工は、市販の円形状の単結晶半導体基板を切断することで、行うことができる。 20

【0135】

絶縁膜501は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであっても良い。絶縁膜501の厚さは、後に不純物が含まれる領域が除去されることを考慮して、15nm以上500nm以下とすると良い。

【0136】

絶縁膜501を構成する膜には、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化ゲルマニウム、窒化ゲルマニウム膜、酸化窒化ゲルマニウム膜、窒化酸化ゲルマニウム膜などの珪素またはゲルマニウムを組成に含む絶縁膜を用いることができる。また、酸化アルミニウム、酸化タンタル、酸化ハフニウムなどの金属の酸化物でなる絶縁膜、窒化アルミニウムなどの金属の窒化物でなる絶縁膜、酸化窒化アルミニウム膜などの金属の酸化窒化物でなる絶縁膜、窒化酸化アルミニウム膜などの金属の窒化酸化物でなる絶縁膜を用いることもできる。 30

【0137】

本実施の形態では、ボンド基板500を熱酸化することによって形成された酸化珪素を、絶縁膜501として用いる例を示す。なお、図7(A)では、絶縁膜501がボンド基板500の全面を覆うように形成されているが、絶縁膜501は、ボンド基板500の少なくとも一面に形成されていればよい。 40

【0138】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質をいう。

【0139】

また、ボンド基板500の表面を熱酸化することにより絶縁膜501を形成する場合、熱酸化は、含有水分量が低い酸素を用いるドライ酸化、酸素雰囲気中に塩化水素などのハロゲンを含むガスを添加する熱酸化、などを用いることができる。また、水素を酸素で燃焼 50

させて水を作るパイロジェニック酸化、高純度純水を100度以上に加熱した水蒸気を用いて酸化を行う水蒸気酸化などのウェット酸化を、絶縁膜501の形成に用いても良い。

【0140】

ベース基板503にアルカリ金属若しくはアルカリ土類金属などの半導体装置の信頼性を低下させる不純物を含むような基板を用いる場合、ベース基板503からの分離後に形成される半導体膜に、上記不純物が拡散することを防止できるようなバリア膜を、少なくとも1層以上、絶縁膜501が有することが好ましい。バリア膜として用いることが出来る絶縁膜には、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。バリア膜として用いる絶縁膜は、例えば厚さ15nm~300nmの膜厚で形成することが好ましい。また、バリア膜とボンド基板500との間に、酸化珪素膜や酸化窒化珪素膜などの、バリア膜より窒素の含有率の低い絶縁膜を形成しても良い。窒素の含有率の低い絶縁膜の厚さは、5nm以上200nm以下とすれば良い。

10

【0141】

酸化珪素を絶縁膜501として用いる場合、絶縁膜501はシランと酸素、TEOS（テトラエトキシシラン）と酸素等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の気相成長法によって形成することができる。この場合、絶縁膜501の表面を酸素プラズマ処理で緻密化しても良い。また、窒化珪素を絶縁膜501として用いる場合、シランとアンモニアの混合ガスを用い、プラズマCVD等の気相成長法によって形成することができる。

【0142】

また、有機シランガスを用いて化学気相成長法により作製される酸化珪素を、絶縁膜501として用いても良い。有機シランガスとしては、珪酸エチル（TEOS：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、テトラメチルシラン（TMS：化学式 $\text{Si}(\text{CH}_3)_4$ ）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、トリスジメチルアミノシラン（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等のシリコン含有化合物を用いることができる。

20

【0143】

ソースガスに有機シランを用いることで、プロセス温度が350以下で、平滑な表面を有する酸化珪素膜を形成することができる。また、熱CVD法で、加熱温度が200以上500以下で形成されるLTO（低温酸化物、low temperature oxide）を用いることができる。LTOの形成には、シリコンソースガスにモノシラン（ SiH_4 ）またはジシラン（ Si_2H_6 ）などを用い、酸素ソースガスに二酸化窒素（ NO_2 ）などを用いることができる。

30

【0144】

例えば、ソースガスにTEOSと O_2 を用いて、酸化珪素膜でなる絶縁膜501を形成する場合、TEOSの流量15sccm、 O_2 の流量750sccm、成膜圧力100Pa、成膜温度300、RF出力300W、電源周波数13.56MHzとすれば良い。

【0145】

なお、有機シランを用いて形成された酸化珪素膜、または低温で成膜した窒化酸化珪素膜などの、比較的低温で成膜された絶縁膜は、表面にOH基を多く有する。OH基は水分子と水素結合することでシラノール基を形成して、ベース基板と絶縁膜とを低温で接合する。そして、最終的には共有結合であるシロキサン結合が、ベース基板と絶縁膜との間に形成される。よって、上記の有機シランを用いて形成された酸化珪素膜、または比較的低温で成膜されたLTOなどの絶縁膜は、Smart Cutなどで用いられているOH基が存在しない或いは非常に少ない熱酸化膜よりも、低温での接合に向いていると言える。

40

【0146】

絶縁膜501は、平滑で親水性の接合面をボンド基板500の表面に形成するための膜である。そのため、絶縁膜501の平均粗さRaが0.7nm以下、より好ましくは、0.4nm以下が好ましい。また、絶縁膜501の厚さは5nm以上500nm以下であり、

50

より好ましくは10nm以上200nm以下とすれば良い。

【0147】

次に図7(B)に示すように、ボンド基板500に、電界で加速されたイオンでなるイオンビームを、矢印で示すように絶縁膜501を介してボンド基板500に照射し、ボンド基板500の表面から一定の深さの領域に、微小ポイドを有する脆化層502を形成する。例えば、脆化層は、結晶構造が乱されることで局所的に脆弱化された層を意味し、その状態は脆化層を形成する手段によって異なる。なお、ボンド基板の一表面から脆化層までの領域も多少脆弱化される場合があるが、脆化層は後に分断される領域及びその付近の層を指す。

【0148】

脆化層502が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。イオンの平均侵入深さとほぼ同じ深さの領域に脆化層502が形成される。イオンを注入する深さで、ボンド基板500から後に分離される半導体膜504の厚さが決定される。脆化層502が形成される深さは例えば50nm以上500nm以下とすることができ、好ましくは50nm以上200nm以下とすると良い。

【0149】

イオンをボンド基板500に注入するには、質量分離を伴わないイオンドーピング法で行うことがタクトタイムを短縮するという点で望ましいが、本発明は質量分離を伴うイオン注入法を用いていても良い。

【0150】

ソースガスに水素(H_2)を用いる場合、水素ガスを励起して H^+ 、 H_2^+ 、 H_3^+ を生成することができる。ソースガスから生成されるイオン種の割合は、プラズマの励起方法、プラズマを発生させる雰囲気圧力、ソースガスの供給量などを調節することで、変化させることができる。イオンドーピング法でイオン注入を行う場合、イオンビームに、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ が50%以上、より好ましくは80%以上含まれていることが好ましい。 H_3^+ の割合を80%以上とすることで、イオンビームに含まれる H_2^+ イオンの割合が相対的に小さくなるため、イオンビームに含まれる水素イオンの平均侵入深さのばらつきが小さくなるので、イオンの注入効率が向上し、タクトタイムを短縮することができる。

【0151】

また、 H_3^+ は H^+ 、 H_2^+ に比べて質量が大きい。そのため、イオンビームにおいて、 H_3^+ の割合が多い場合と、 H^+ 、 H_2^+ の割合が多い場合とでは、ドーピングの際の加速電圧が同じであっても、前者の場合の方が、ボンド基板500の浅い領域に水素を注入することができる。また前者の場合、ボンド基板500に注入される水素の、厚さ方向における濃度分布が急峻となるため、脆化層502の厚さ自体も薄くすることができる。

【0152】

水素ガスを用いて、イオンドーピング法でイオン注入を行う場合、加速電圧10kV以上200kV以下、ドーズ量 $1 \times 10^{16} \text{ ions/cm}^2$ 以上 $6 \times 10^{16} \text{ ions/cm}^2$ 以下とすることで、イオンビームに含まれるイオン種及びその割合、絶縁膜501の膜厚にもよるが、脆化層502をボンド基板500の深さ50nm以上500nm以下の領域に形成することができる。

【0153】

例えば、ボンド基板500が単結晶シリコン基板であり、絶縁膜501が厚さ100nmの熱酸化膜で形成されている場合、ソースガスである100%水素ガスの流量が50sccm、ビーム電流密度 $5 \mu\text{A/cm}^2$ 、加速電圧50kV、ドーズ量 $2.0 \times 10^{16} \text{ atoms/cm}^2$ の条件では、ボンド基板500から厚さ146nm程度の半導体膜を分離することができる。なお、水素をボンド基板500に添加する際の条件が同じであっても、絶縁膜501の膜厚をより大きくすることで、半導体膜の膜厚をより小さくすることができる。

10

20

30

40

50

【0154】

イオンビームのソースガスにヘリウム（He）を用いることもできる。ヘリウムを励起して生成されるイオン種は、 He^+ が殆どであるため、質量分離を伴わないイオンドーピング法でも、 He^+ を主たるイオンとしてボンド基板500に注入することができる。よって、イオンドーピング法で、効率良く、微小な空孔を脆化層502に形成することができる。ヘリウムを用いて、イオンドーピング法でイオン注入を行う場合、加速電圧10kV以上200kV以下、ドーズ量 $1 \times 10^{16} \text{ ions/cm}^2$ 以上 $6 \times 10^{16} \text{ ions/cm}^2$ 以下とすることができる。

【0155】

ソースガスに塩素ガス（ Cl_2 ガス）、フッ素ガス（ F_2 ガス）などのハロゲンガスを用いることもできる。 10

【0156】

なお、イオンドーピング法でボンド基板500にイオン注入を行う場合、イオンドーピング装置内に存在する不純物がイオンと共に被処理物に注入されるため、絶縁膜501の表面近傍にS、Ca、Fe、Mo等の不純物が存在する可能性がある。よって、絶縁膜501の表面近傍の最も不純物が多いと考えられる領域を、エッチングや、研磨などにより除去しておいても良い。具体的には、絶縁膜501の表面から10nm～100nm、より望ましくは30～70nm程度の深さまでの領域を除去すれば良い。ドライエッチングだと、反応性イオンエッチング（RIE：Reactive Ion Etching）法、例えば、ICP（Inductively Coupled Plasma）エッチング法、ECR（Electron Cyclotron Resonance）エッチング法、平行平板型（容量結合型）エッチング法、マグネトロンプラズマエッチング法、2周波プラズマエッチング法またはヘリコン波プラズマエッチング法などを用いることができる。例えば、窒化酸化珪素膜の表面近傍をICPエッチング法で除去する場合、エッチングガスである CHF_3 の流量を7.5sccm、Heの流量を100sccm、反応圧力5.5Pa、下部電極の温度70℃、コイル型の電極に投入するRF（13.56MHz）電力475W、下部電極（バイアス側）に投入する電力300W、エッチング時間10sec程度とすることで、表面から50nm程度の深さまでの領域を除去することができる。 20

【0157】

エッチングガスとして、フッ素系ガスである CHF_3 の他に、 Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス、 O_2 を適宜用いることができる。また用いるエッチングガスにHe以外の不活性気体を添加しても良い。例えば、添加する不活性元素として、Ne、Ar、Kr、Xeから選ばれた一種または複数種の元素を用いることができる。また窒化酸化珪素膜の表面近傍をウェットエッチングで除去する場合、フッ化水素アンモニウム、フッ化アンモニウム等を含む水溶液を、エッチャントとして用いれば良い。また研磨は、化学的機械的研磨（CMP：Chemical Mechanical Polishing）または液体ジェット研磨などにより、行うことができる。 30

【0158】

脆化層502の形成後に、絶縁膜501の表面近傍における汚染の著しい領域を、エッチングまたは研磨などにより除去することで、ベース基板503上に形成される半導体膜504に混入する不純物の量を抑えることができる。また、最終的に形成される半導体装置では、不純物の影響により、しきい値電圧の変動、リーク電流の増加などのトランジスタの電気的特性の低下及び信頼性の低下が生じるのを防ぐことができる。 40

【0159】

上記不純物の除去には、原子ビーム若しくはイオンビームの照射処理、プラズマ処理、若しくはラジカル処理で行うことができる。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガス中性原子ビーム若しくは不活性ガスイオンビームを用いることができる。 50

【0160】

次に、図7(C)に示すように、絶縁膜501を間に挟むように、ボンド基板500とベース基板503を貼り合わせる。

【0161】

なお、ベース基板503とボンド基板500との貼り合わせを行う前に、貼り合わせに係る表面、すなわち本実施の形態では、ボンド基板500上に形成された絶縁膜501とベース基板503の表面に、絶縁膜501とベース基板503の接合強度を向上させるための表面処理を施すことが好ましい。

【0162】

表面処理としては、ウェット処理、ドライ処理、またはウェット処理およびドライ処理の組み合わせが挙げられる。異なるウェット処理、または異なるドライ処理を組み合わせを行っても良い。ウェット処理としては、オゾン水を用いたオゾン処理（オゾン水洗浄）、メガソニック洗浄などの超音波洗浄、または2流体洗浄（純水や水素添加水等の機能水を窒素等のキャリアガスとともに吹き付ける方法）、塩酸と過酸化水素水を用いた洗浄などが挙げられる。ドライ処理としては、不活性ガス中性原子ビーム処理、不活性ガスイオンビーム処理、紫外線処理、オゾン処理、プラズマ処理、バイアス印加プラズマ処理、またはラジカル処理などが挙げられる。上記のような表面処理を行うことで、貼り合わせに係る表面の親水性および清浄度を高め、その結果、接合強度を向上させることができる。

【0163】

貼り合わせは、ベース基板503と、ボンド基板500上の絶縁膜501とを密着させた後、重ね合わせたベース基板503とボンド基板500の一部に、 1 N/cm^2 以上 500 N/cm^2 以下、好ましくは 11 N/cm^2 以上 20 N/cm^2 以下程度の圧力を加える。圧力を加えると、その部分からベース基板503と絶縁膜501とが接合を開始し、最終的には密着した面全体に接合がおよぶ。

【0164】

接合はファンデルワールス力や水素結合を用いて行われているため、室温でも強固な接合が形成される。なお、上記接合は低温で行うことが可能であるため、ベース基板503は様々なものを用いることが可能である。例えばベース基板503としては、アルミノシリケートガラス、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどの電子工業用に使われる各種ガラス基板の他、石英基板、セラミック基板、サファイア基板などの基板を用いることができる。さらにベース基板503として、シリコン、ガリウムヒ素、インジウムリンなどの半導体基板などを用いることができる。或いは、ステンレス基板を含む金属基板をベース基板503として用いても良い。なお、ベース基板503として用いるガラス基板は、熱膨張係数が $25 \times 10^{-7}/$ 以上 $50 \times 10^{-7}/$ 以下（好ましくは、 $30 \times 10^{-7}/$ 以上 $40 \times 10^{-7}/$ 以下）であり、歪み点が580以上680以下（好ましくは、600以上680以下）である基板を用いることが好ましい。また、ガラス基板として無アルカリガラス基板を用いると、不純物による半導体装置の汚染を抑えることができる。

【0165】

ガラス基板としては、液晶パネルの製造用に開発されたマザーガラス基板を用いることができる。マザーガラスとしては、例えば、第3世代（ $550\text{ mm} \times 650\text{ mm}$ ）、第3.5世代（ $600\text{ mm} \times 720\text{ mm}$ ）、第4世代（ $680\text{ mm} \times 880\text{ mm}$ または、 $730\text{ mm} \times 920\text{ mm}$ ）、第5世代（ $1100\text{ mm} \times 1300\text{ mm}$ ）、第6世代（ $1500\text{ mm} \times 1850\text{ mm}$ ）、第7世代（ $1870\text{ mm} \times 2200\text{ mm}$ ）、第8世代（ $2200\text{ mm} \times 2400\text{ mm}$ ）などのサイズの基板が知られている。大面積のマザーガラス基板をベース基板503として用いてSOI基板を製造することで、SOI基板の大面積化が実現できる。マザーガラス基板のような大型の基板をベース基板503として用いることで、SOI基板の大面積化が実現できる。SOI基板の大面積化が実現すれば、1枚の基板から製造されるIC、LSI等のチップ数が増加するので、生産性を飛躍的に向上させることができる。

10

20

30

40

50

【0166】

ベース基板503として使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、フュージョン法やフロート法で作製されるガラス基板を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、一般に、酸化ホウ素と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 よりBaOを多く含むガラス基板を用いることが好ましい。なお、シュリンクに起因する貼り合わせの不良を回避するために、接合を行う前に、ベース基板503に予め加熱処理を施しておいても良い。

10

【0167】

また、ベース基板503上に絶縁膜を形成しておいても良い。ベース基板503は、その表面に絶縁膜が必ずしも形成されていなくとも良いが、ベース基板503の表面に絶縁膜を形成しておくことで、ベース基板503からボンド基板500に、アルカリ金属やアルカリ土類金属などの不純物が入り込むのを防ぐことができる。またベース基板503の表面に絶縁膜を形成しておく場合、ベース基板503上の絶縁膜が絶縁膜501と接合するので、ベース基板503として用いることができる基板の種類がさらに広がる。プラスチック等の可撓性を有する合成樹脂からなる基板は耐熱温度が一般的に低い傾向にあるが、後の半導体素子の作製工程における処理温度に耐え得るのであれば、ベース基板503上に絶縁膜を形成する場合において、ベース基板503として用いることが可能である。プラスチック基板として、ポリエチレンテレフタレート(PET)に代表されるポリエステル、ポリエーテルスルホン(PES)、ポリエチレンナフタレート(PEN)、ポリカーボネート(PC)、ポリエーテルエーテルケトン(PEEK)、ポリスルホン(PSF)、ポリエーテルイミド(PEI)、ポリアリレート(PAR)、ポリブチレンテレフタレート(PBT)、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。ベース基板503上に絶縁膜を形成する場合、絶縁膜501と同様に、該絶縁膜の表面に表面処理を行ってから貼り合わせを行うと良い。

20

【0168】

ベース基板503にボンド基板500を貼り合わせた後、ベース基板503と絶縁膜501との接合界面での結合力を増加させるための加熱処理を行うことが好ましい。この処理温度は、脆化層502に亀裂を発生させない温度とし、200以上400以下の温度範囲で処理することができる。また、この温度範囲で加熱しながら、ベース基板503にボンド基板500を貼り合わせることで、ベース基板503と絶縁膜501と間における接合の結合力を強固にすることができる。

30

【0169】

なお、ボンド基板500とベース基板503とを貼り合わせるときに、接合面がゴミなどにより汚染されてしまうと、汚染部分は接合されなくなる。接合面の汚染を防ぐために、ボンド基板500とベース基板503との貼り合わせは、気密な処理室内で行うことが好ましい。また、ボンド基板500とベース基板503とを貼り合わせるとき、処理室内を 5.0×10^{-3} Pa程度の減圧状態とし、接合処理の雰囲気を清浄にするようにしても良い。

40

【0170】

次いで、加熱処理を行うことで、脆化層502において隣接する微小ボイドどうしが結合して、微小ボイドの体積が増大する。その結果、図7(D)に示すように、脆化層502においてボンド基板500の一部である半導体膜504が、ボンド基板500から分離する。絶縁膜501はベース基板503に接合しているので、ベース基板503上にはボンド基板500から分離された半導体膜504が固定される。半導体膜504をボンド基板500から分離するための加熱処理の温度は、ベース基板503の歪み点を越えない温度

50

とする。

【0171】

この加熱処理には、RTA (Rapid Thermal Anneal) 装置、抵抗加熱炉、マイクロ波加熱装置を用いることができる。RTA 装置には、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置を用いることができる。GRTA 装置を用いる場合は、加熱温度 550 以上 650 以下、処理時間 0.5 分以上 60 分以内とすることができる。抵抗加熱装置を用いる場合は、加熱温度 200 以上 650 以下、処理時間 2 時間以上 4 時間以内とすることができる。

【0172】

また、上記加熱処理は、マイクロ波などの高周波による誘電加熱を用いても良い。誘電加熱による加熱処理は、高周波発生装置において生成された周波数 300 MHz 乃至 3 THz の高周波をボンド基板 500 に照射することで行うことができる。具体的には、例えば、2.45 GHz のマイクロ波を 900 W、14 分間照射することで、脆化層内の隣接する微小ボイドどうしを結合させ、最終的にボンド基板 500 を脆化層において分断させることができる。

【0173】

抵抗加熱を有する縦型炉を用いた加熱処理の具体的な処理方法を説明する。ボンド基板 500 が貼り付けられたベース基板 503 を、縦型炉のポートに載置し、該ポートを縦型炉のチャンバーに搬入する。ボンド基板 500 の酸化を抑制するため、まずチャンバー内を排気して真空状態とする。真空度は、 5×10^{-3} Pa 程度とする。真空状態にした後、窒素をチャンバー内に供給して、チャンバー内を大気圧の窒素雰囲気にする。この間、加熱温度を 200 に上昇させる。

【0174】

チャンバー内を大気圧の窒素雰囲気にした後、温度 200 で 2 時間加熱する。その後、1 時間かけて 400 に温度上昇させる。加熱温度 400 の状態が安定したら、1 時間かけて 600 に温度上昇させる。加熱温度 600 の状態が安定したら、600 で 2 時間加熱処理する。その後、1 時間かけて、加熱温度 400 まで下げ、10 分～30 分後に、チャンバー内からポートを搬出する。大気雰囲気下で、ポート上に並べられたボンド基板 500、及び半導体膜 504 が貼り付けられたベース基板 503 を冷却する。

【0175】

上記の抵抗加熱炉を用いた加熱処理は、絶縁膜 501 とベース基板 503 との結合力を強化するための加熱処理と、脆化層 502 を分割させる加熱処理が連続して行われる。この 2 つの加熱処理を異なる装置で行う場合は、例えば、抵抗加熱炉において、処理温度 200、処理時間 2 時間の加熱処理を行った後、貼り合わされたベース基板 503 とボンド基板 500 を炉から搬出する。次いで、RTA 装置で、処理温度 600 以上 700 以下、処理時間 1 分から数時間以内程度の加熱処理を行い、ボンド基板 500 を脆化層 502 で分断させる。

【0176】

なお、ボンド基板 500 の周辺部は、ベース基板 503 と接合していないことがある。これは、ボンド基板 500 の周辺部が面取りされている、或いは周辺部が曲率を有しているため、ベース基板 503 と絶縁膜 501 とが密着しない、または、ボンド基板 500 の周辺部では脆化層 502 が分割しにくいなどの理由によるものと考えられる。また、その他の理由として、ボンド基板 500 を作製する際に行われる CMP などの研磨が、ボンド基板 500 の周辺部で不十分であり、中央部に比べて周辺部では表面が荒れていることが挙げられる。また、ボンド基板 500 を移送する際に、キャリア等でボンド基板 500 の周辺部に傷が入ってしまった場合、該傷も、周辺部がベース基板 503 に接合しにくい理由になると考えられる。そのため、ベース基板 503 には、ボンド基板 500 よりもサイズの小さい半導体膜 504 が貼り付けられる。

【0177】

50

なお、ボンド基板 500 を分離させる前に、ボンド基板 500 に水素化処理を行うようにしても良い。水素化処理は、例えば、水素雰囲気中において 350 、2 時間程度行う。

【0178】

なお、ベース基板 503 と複数のボンド基板 500 とを貼り合わせる場合、該複数のボンド基板 500 が異なる結晶面方位を有していても良い。半導体中における多数キャリアの移動度は、結晶面方位によって異なる。よって、形成する半導体素子に適した結晶面方位を有するボンド基板 500 を、適宜選択して半導体膜 504 を形成すればよい。例えば半導体膜 504 を用いて n 型の半導体素子を形成するならば、{ 100 } 面を有する半導体膜 504 を形成することで、該半導体素子における多数キャリアの移動度を高めることができる。また、例えば半導体膜 504 を用いて p 型の半導体素子を形成するならば、{ 110 } 面を有する半導体膜 504 を形成することで、該半導体素子における多数キャリアの移動度を高めることができる。そして、半導体素子としてトランジスタを形成するならば、チャネルの向きと結晶面方位とを考慮し、半導体膜 504 の貼り合わせの方向を定めるようにする。

10

【0179】

次に、半導体膜 504 の表面を研磨により平坦化しても良い。平坦化は必ずしも必須ではないが、平坦化を行うことで、後に形成される半導体膜 506 及び半導体膜 507 とゲート絶縁膜の界面の特性を向上させることができる。具体的に研磨は、CMP または液体ジェット研磨などにより、行うことができる。半導体膜 504 の厚さは、上記平坦化により薄膜化される。上記平坦化は、エッチングする前の半導体膜 504 に施しても良いが、後にエッチングにより形成される半導体膜 506 及び半導体膜 507 に施しても良い。

20

【0180】

また研磨ではなく、半導体膜 504 の表面をエッチングすることでも、半導体膜 504 の表面を平坦化することができる。エッチングには、反応性イオンエッチング (RIE: Reactive Ion Etching) 法、例えば ICP (Inductively Coupled Plasma) エッチング法、ECR (Electron Cyclotron Resonance) エッチング法、平行平板型 (容量結合型) エッチング法、マグネトロンプラズマエッチング法、2 周波プラズマエッチング法またはヘリコン波プラズマエッチング法等のドライエッチング法を用いれば良い。

【0181】

例えば ICP エッチング法を用いる場合、エッチングガスである塩素の流量 40 sccm ~ 100 sccm、コイル型の電極に投入する電力 100 W ~ 200 W、下部電極 (バイアス側) に投入する電力 40 W ~ 100 W、反応圧力 0.5 Pa ~ 1.0 Pa とすれば良い。例えば、エッチングガスである塩素の流量 100 sccm、反応圧力 1.0 Pa、下部電極の温度 70 、コイル型の電極に投入する RF (13.56 MHz) 電力 150 W、下部電極 (バイアス側) に投入する電力 40 W、エッチング時間 25 sec ~ 27 sec とすることで、半導体膜 504 を 50 nm 乃至 60 nm 程度にまで薄膜化することができる。エッチングガスには、塩素、塩化硼素、塩化珪素または四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄または弗化窒素などのフッ素系ガス、酸素などを適宜用いることができる。

30

40

【0182】

上記エッチングにより、後に形成される半導体素子にとって最適となる膜厚まで半導体膜 504 を薄膜化できるのみならず、半導体膜 504 の表面を平坦化することができる。

【0183】

なお、ベース基板 503 に密着された半導体膜 504 は、脆化層 502 の形成、脆化層 502 における分断によって、結晶欠陥が形成されている、または、その表面の平坦性が損なわれている。そこで、本発明の一態様では、結晶欠陥を低減、および平坦性を向上するために、半導体膜 504 の表面に形成されている自然酸化膜などの酸化膜を除去する処理を行った後、半導体膜 504 にレーザ光の照射を行う。

【0184】

50

本発明実施の形態では、フッ化水素の濃度が 0.5 wt % の D H F に半導体膜 504 を 110 秒間さらすことで酸化膜を除去する。

【0185】

レーザ光の照射は、半導体膜 504 を部分熔融させる程度のエネルギー密度で行うことが好ましい。完全熔融させると、液相となった半導体膜 504 で無秩序な核発生が起こるために、半導体膜 504 が再結晶化された際に微結晶が生成し、結晶性が低下するからである。部分熔融させることで、半導体膜 504 では、熔融されていない固相部分から結晶成長が進行する、いわゆる縦成長が起こる。縦成長による再結晶化によって、半導体膜 504 の結晶欠陥が減少され、結晶性が回復される。なお、半導体膜 504 が完全熔融状態であるとは、半導体膜 504 が絶縁膜 501 との界面まで熔融され、液体状態になっていることをいう。他方、半導体膜 504 が部分熔融状態であるとは、上層が熔融して液相であり、下層が固相である状態をいう。

10

【0186】

このレーザ光の照射には、半導体膜 504 を部分的に熔融させるためにパルス発振でレーザ光の照射を行うことが望ましい。例えば、パルス発振の場合は、繰り返し周波数 1 MHz 以下、パルス幅 10 ns 以上 500 ns 以下である。例えば、繰り返し周波数 10 Hz ~ 300 Hz、パルス幅 25 ns、波長 308 nm の XeCl エキシマレーザを用いることができる。

【0187】

レーザ光は、半導体に選択的に吸収される固体レーザの基本波または第 2 高調波であることが望ましい。具体的には、例えば、波長が 250 nm 以上 700 nm 以下の範囲のレーザ光を用いることができる。また、レーザ光のエネルギーは、レーザ光の波長、レーザ光の表皮深さ、半導体膜 504 の膜厚などを考慮して決定することができる。例えば、半導体膜 504 の厚さが 120 nm 程度で、レーザ光の波長が 308 nm のパルス発振レーザを用いる場合は、レーザ光のエネルギー密度を $600 \text{ mJ} / \text{cm}^2 \sim 700 \text{ mJ} / \text{cm}^2$ とすれば良い。

20

【0188】

パルス発振のレーザとして、例えば Ar レーザ、Kr レーザ、エキシマレーザ、CO₂ レーザ、YAG レーザ、Y₂O₃ レーザ、YVO₄ レーザ、YLF レーザ、YAlO₃ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti : サファイアレーザ、銅蒸気レーザまたは金蒸気レーザを用いることができる。

30

【0189】

本実施の形態では、レーザ光の照射は、半導体膜 504 の膜厚が 146 nm 程度の場合、次のように行うことができる。レーザ光のレーザ発振器として、XeCl エキシマレーザ（波長：308 nm、パルス幅：20 ns、繰り返し周波数 30 Hz）を用いる。光学系により、レーザ光の断面を 0.4 mm × 120 mm の線状に整形する。レーザ光の走査速度を 0.5 mm / 秒とし、レーザ光を半導体膜 504 に照射する。レーザ光の照射により、図 7 (E) に示すように、結晶欠陥が修復された半導体膜 505 が形成される。

【0190】

なお、レーザ光の照射は、希ガスまたは窒素雰囲気のような不活性雰囲気、または減圧雰囲気で行うことが好ましい。上記雰囲気中でレーザ光を照射するには、気密性のあるチャンバー内でレーザ光を照射し、このチャンバー内の雰囲気を制御すればよい。チャンバーを用いない場合は、レーザ光の被照射面に窒素ガスなど不活性ガスを吹き付けることで不活性雰囲気でのレーザ光の照射を実現することができる。不活性雰囲気または減圧雰囲気においてレーザ光の照射を行うことで、大気雰囲気で行う場合よりも、自然酸化膜の発生をより抑え、レーザ光照射後に形成される半導体膜 505 にひび割れが生じる、またはピッチ縞が発生するのを抑え、半導体膜 505 の平坦性を向上させることができ、レーザ光の使用可能なエネルギー範囲を広くすることができる。

40

【0191】

光学系により、レーザ光は、エネルギー分布を均一にし、かつ断面の形状を線状にするこ

50

とが好ましい。このことにより、スループット良く、かつレーザ光の照射を均一に行うことができる。レーザ光のビーム長は、ベース基板 503 の 1 辺より長くすることで、1 回の走査で、ベース基板 503 に貼り付けられた全ての半導体膜 504 にレーザ光を照射することができる。レーザ光のビーム長がベース基板 503 の 1 辺より短い場合は、複数回の走査で、ベース基板 503 に貼り付けられた全ての半導体膜 504 にレーザ光を照射することができるような、長さにすればよい。

【0192】

希ガスまたは窒素雰囲気のような不活性雰囲気、または減圧雰囲気にて、レーザ光を照射するには、気密性のあるチャンバー内でレーザ光を照射し、このチャンバー内の雰囲気を制御すればよい。チャンバーを用いない場合は、レーザ光の被照射面に窒素ガスなど不活性ガスを吹き付けることで不活性雰囲気でのレーザ光の照射を実現することができる。不活性雰囲気または減圧雰囲気においてレーザ光の照射を行うことで、大気雰囲気で行う場合よりも、自然酸化膜の発生をより抑え、レーザ光照射後に形成される半導体膜 505 にひび割れが生じる、またはピッチ縞が発生するのを抑え、半導体膜 505 の平坦性を向上させることができ、レーザ光の使用可能なエネルギー範囲を広くすることができる。

【0193】

レーザ光を照射する前に、ドライエッチングにより半導体膜 504 の表面を平坦化している場合、ドライエッチングにより半導体膜 504 の表面付近で結晶欠陥などの損傷が生じていることがある。しかし上記レーザ光の照射により、ドライエッチングにより生じる損傷をも補修することが可能である。

【0194】

次にレーザ光を照射した後に、半導体膜 505 の表面をエッチングしても良い。レーザ光の照射後に半導体膜 505 の表面をエッチングする場合は、必ずしもレーザ光の照射を行う前に半導体膜 504 の表面をエッチングする必要はない。また、レーザ光の照射を行う前に半導体膜 504 の表面をエッチングした場合は、必ずしもレーザ光の照射後に半導体膜 505 の表面をエッチングする必要はない。或いは、レーザ光の照射後、レーザ光の照射前に、半導体膜 505 の表面をエッチングするようにしても良い。

【0195】

上記エッチングにより、後に形成される半導体素子にとって最適となる膜厚まで半導体膜 505 を薄膜化できるのみならず、半導体膜 505 の表面を平坦化することができる。

【0196】

レーザ光を照射した後、半導体膜 505 に 500 以上 650 以下の加熱処理を行うことが好ましい。この加熱処理によって、レーザ光の照射で回復されなかった、半導体膜 505 の欠陥の消滅、半導体膜 505 の歪みの緩和をすることができる。この加熱処理には、RTA (Rapid Thermal Anneal) 装置、抵抗加熱炉、マイクロ波加熱装置を用いることができる。RTA 装置には、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置を用いることができる。例えば、抵抗加熱炉を用いた場合は、600 で 4 時間加熱するとよい。

【0197】

次に、図 8 (A) に示すように、半導体膜 505 を部分的にエッチングすることで、半導体膜 505 から島状の半導体膜 506 と半導体膜 507 を形成する。半導体膜 505 をさらにエッチングすることで、半導体膜 505 の端部において接合の強度が不十分である領域を、除去することができる。なお、本実施の形態では、一つの半導体膜 505 をエッチングすることで半導体膜 506 と半導体膜 507 を形成しているが、形成される半導体膜の数はこれに限定されない。

【0198】

なお、半導体膜 505 が分離された後のボンド基板 500 は、その表面を平坦化することで、再度、半導体膜 505 を分離させることができる。

【0199】

具体的には、ボンド基板 500 の主に端部に残存した絶縁膜 501 を、エッチングなどにより除去する。絶縁膜 501 が酸化珪素、酸化窒化珪素、または窒化酸化珪素で形成されている場合、フッ酸を用いたウェットエッチングを用いることができる。

【0200】

次に、半導体膜 505 の分離によりボンド基板 500 の端部に形成された凸部と、水素を過剰に含んでいる、残存した脆化層を除去する。ボンド基板 500 のエッチングには、ウェットエッチングを用いることが好ましく、エッチング液には、水酸化テトラメチルアンモニウム (tetramethyl ammonium hydroxide、略称：TMAH) 溶液を用いることができる。

【0201】

次に、ボンド基板 500 の表面を研磨する。研磨は、CMP を用いることができる。ボンド基板 500 の表面を平滑化するため、 $1\mu\text{m} \sim 10\mu\text{m}$ 程度研磨することが望ましい。研磨後は、ボンド基板 500 表面に研磨粒子などが残るため、フッ酸などを用いた RCA 洗浄を行う。

【0202】

ボンド基板 500 を再利用することで、半導体基板の材料コストを削減することができる。

【0203】

半導体膜 506 と半導体膜 507 には、閾値電圧を制御するために、硼素、アルミニウム、ガリウムなどの p 型不純物、若しくはリン、砒素などの n 型不純物を添加しても良い。閾値電圧を制御するための不純物の添加は、パターニングする前の半導体膜に対して行っても良いし、パターニング後に形成された半導体膜 506 と半導体膜 507 に対して行っても良い。また、閾値電圧を制御するための不純物の添加を、ボンド基板に対して行っても良い。若しくは、不純物の添加を、閾値電圧を大まかに調整するためにボンド基板に対して行った上で、閾値電圧を微調整するために、パターニング前の半導体膜に対して、またはパターニングにより形成された半導体膜 506 及び半導体膜 507 に対しても行っても良い。

【0204】

次に図 8 (B) に示すように、半導体膜 506 と半導体膜 507 を覆うように、ゲート絶縁膜 508 を形成する。ゲート絶縁膜 508 は、高密度プラズマ処理を行うことにより半導体膜 506 と半導体膜 507 の表面を酸化または窒化することで形成することができる。高密度プラズマ処理は、例えば He、Ar、Kr、Xe などの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル (OH ラジカルを含む場合もある) や窒素ラジカル (NH ラジカルを含む場合もある) によって、半導体膜の表面を酸化または窒化することにより、 $1 \sim 20\text{nm}$ 、望ましくは $5 \sim 10\text{nm}$ の絶縁膜が半導体膜に接するように形成される。この $5 \sim 10\text{nm}$ の絶縁膜をゲート絶縁膜 508 として用いる。例えば、亜酸化窒素 (N_2O) を Ar で $1 \sim 3$ 倍 (流量比) に希釈して、 $10 \sim 30\text{Pa}$ の圧力にて $3 \sim 5\text{kW}$ のマイクロ波 (2.45GHz) 電力を印加して半導体膜 506 と半導体膜 507 の表面を酸化若しくは窒化させる。この処理により $1\text{nm} \sim 10\text{nm}$ (好ましくは $2\text{nm} \sim 6\text{nm}$) の絶縁膜を形成する。さらに亜酸化窒素 (N_2O) とシラン (SiH_4) を導入し、 $10 \sim 30\text{Pa}$ の圧力にて $3 \sim 5\text{kW}$ のマイクロ波 (2.45GHz) 電力を印加して気相成長法により酸化窒化シリコン膜を形成してゲート絶縁膜を形成する。固相反応と気相成長法による反応を組み合わせることにより界面準位密度が低く絶縁耐圧の優れたゲート絶縁膜を形成することができる。

【0205】

上述した高密度プラズマ処理による半導体膜の酸化または窒化は固相反応で進むため、ゲート絶縁膜 508 と半導体膜 506 及び半導体膜 507 との界面準位密度をきわめて低くすることができる。また高密度プラズマ処理により半導体膜 506 及び半導体膜 507 を

10

20

30

40

50

直接酸化または窒化することで、形成される絶縁膜の厚さのばらつきを抑えることが出来る。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部または全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。

【0206】

或いは、半導体膜506と半導体膜507を熱酸化させることで、ゲート絶縁膜508を形成するようにしても良い。また、プラズマCVD法またはスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウムまたは酸化タンタルを含む膜を、単層で、または積層させることで、ゲート絶縁膜508を形成しても良い。

10

【0207】

次に、図8(C)に示すように、ゲート絶縁膜508上に導電膜を形成した後、該導電膜を所定の形状に加工(パターニング)することで、半導体膜506と半導体膜507の上方に電極509を形成する。導電膜の形成にはCVD法、スパッタリング法等を用いることが出来る。導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等を用いることが出来る。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。または、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

20

【0208】

2つの導電膜の組み合わせとして、1層目に窒化タンタルまたはタンタルを、2層目にタングステンをを用いることが出来る。上記例の他に、窒化タングステンとタングステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型を付与する不純物がドーピングされた珪素とニッケルシリサイド、n型を付与する不純物がドーピングされた珪素とタングステンシリサイド等も用いることが出来る。

30

【0209】

また、本実施の形態では電極509を単層の導電膜で形成しているが、本実施の形態はこの構成に限定されない。電極509は積層された複数の導電膜で形成されていても良い。3つ以上の導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【0210】

なお電極509を形成する際に、マスクを用いずに、液滴吐出法を用いて選択的に電極509を形成しても良い。

【0211】

なお液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出または噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

40

【0212】

また電極509は、導電膜を形成後、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング条件(コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等)を適宜調節することにより、所望のテーパ形状を有するようにエッチングすることができる。また、テーパ形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガス又は酸素を適宜用いることができる。

50

【 0 2 1 3 】

次に図 8 (D) に示すように、電極 5 0 9 をマスクとして一導電型を付与する不純物元素を半導体膜 5 0 6、半導体膜 5 0 7 に添加する。本実施の形態では、半導体膜 5 0 6 に n 型を付与する不純物元素 (例えばリンまたはヒ素) を、半導体膜 5 0 7 に p 型を付与する不純物元素 (例えばボロン) を添加する。なお、p 型を付与する不純物元素を半導体膜 5 0 7 に添加する際、n 型の不純物が添加される半導体膜 5 0 6 はマスク等で覆い、p 型を付与する不純物元素の添加が選択的に行われるようにする。逆に n 型を付与する不純物元素を半導体膜 5 0 6 に添加する際、p 型の不純物が添加される半導体膜 5 0 7 はマスク等で覆い、n 型を付与する不純物元素の添加が選択的に行われるようにする。或いは、先に半導体膜 5 0 6 及び半導体膜 5 0 7 に p 型もしくは n 型のいずれか一方を付与する不純物元素を添加した後、一方の半導体膜のみに選択的により高い濃度で p 型もしくは n 型のうちの他方を付与する不純物元素のいずれか一方を添加するようにしても良い。上記不純物の添加により、半導体膜 5 0 6 に不純物領域 5 1 0、半導体膜 5 0 7 に不純物領域 5 1 1 が形成される。

10

【 0 2 1 4 】

次に、図 9 (A) に示すように、電極 5 0 9 の側面にサイドウォール 5 1 2 を形成する。サイドウォール 5 1 2 は、例えば、ゲート絶縁膜 5 0 8 及び電極 5 0 9 を覆うように新たに絶縁膜を形成し、垂直方向を主体とした異方性エッチングにより、新たに形成された該絶縁膜を部分的にエッチングすることで、形成することが出来る。上記異方性エッチングにより、新たに形成された絶縁膜が部分的にエッチングされて、電極 5 0 9 の側面にサイドウォール 5 1 2 が形成される。なお上記異方性エッチングにより、ゲート絶縁膜 5 0 8 も部分的にエッチングしても良い。サイドウォール 5 1 2 を形成するための絶縁膜は、L P C V D 法、プラズマ C V D 法、スパッタリング法等により、珪素膜、酸化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜や、有機樹脂などの有機材料を含む膜を、単層または積層して形成することができる。本実施の形態では、膜厚 1 0 0 n m の酸化珪素膜をプラズマ C V D 法によって形成する。またエッチングガスとしては、C H F ₃ とヘリウムの混合ガスを用いることができる。なお、サイドウォール 5 1 2 を形成する工程は、これらに限定されるものではない。

20

【 0 2 1 5 】

次に、図 9 (B) に示すように、電極 5 0 9 及びサイドウォール 5 1 2 をマスクとして、半導体膜 5 0 6、半導体膜 5 0 7 に一導電型を付与する不純物元素を添加する。なお、半導体膜 5 0 6、半導体膜 5 0 7 には、それぞれ先の工程で添加した不純物元素と同じ導電型の不純物元素をより高い濃度で添加する。なお、p 型を付与する不純物元素を半導体膜 5 0 7 に添加する際、n 型の不純物が添加される半導体膜 5 0 6 はマスク等で覆い、p 型を付与する不純物元素の添加が選択的に行われるようにする。逆に n 型を付与する不純物元素を半導体膜 5 0 6 に添加する際、p 型の不純物が添加される半導体膜 5 0 7 はマスク等で覆い、n 型を付与する不純物元素の添加が選択的に行われるようにする。

30

【 0 2 1 6 】

上記不純物元素の添加により、半導体膜 5 0 6 に、一対の高濃度不純物領域 5 1 3 と、一対の低濃度不純物領域 5 1 4 と、チャンネル形成領域 5 1 5 とが形成される。また、上記不純物元素の添加により、半導体膜 5 0 7 に、一対の高濃度不純物領域 5 1 6 と、一対の低濃度不純物領域 5 1 7 と、チャンネル形成領域 5 1 8 とが形成される。高濃度不純物領域 5 1 3、高濃度不純物領域 5 1 6 はソース領域又はドレイン領域として機能し、低濃度不純物領域 5 1 4、低濃度不純物領域 5 1 7 は L D D (L i g h t l y D o p e d D r a i n) 領域として機能する。なお、L D D 領域は必ずしも設ける必要はなく、ソース領域又はドレイン領域として機能する不純物領域だけ形成しても良い。或いは、ソース領域とドレイン領域のいずれか一方の側にのみ、L D D 領域を形成しても良い。

40

【 0 2 1 7 】

なお、シリコンを用いたトランジスタの場合、ソース領域とドレイン領域が、それぞれソース電極、ドレイン電極として機能する。

50

【0218】

半導体膜507上に形成されたサイドウォール512と、半導体膜506上に形成されたサイドウォール512は、キャリアが移動する方向における幅が同じになるように形成しても良いが、該幅が異なるように形成しても良い。p型トランジスタとなる半導体膜507上のサイドウォール512の幅は、n型トランジスタとなる半導体膜506上のサイドウォール512の幅よりも長くすると良い。なぜならば、p型トランジスタにおいてソース領域及びド레인領域を形成するために注入されるボロンは拡散しやすく、短チャネル効果を誘起しやすいためである。p型トランジスタにおいて、サイドウォール512の幅より長くすることで、ソース領域及びド레인領域に高濃度のボロンを添加することが可能となり、ソース領域及びド레인領域を低抵抗化することができる。

10

【0219】

次に、ソース領域及びド레인領域をさらに低抵抗化するために、半導体膜506、半導体膜507をシリサイド化することで、シリサイド層を形成しても良い。シリサイド化は、半導体膜に金属を接触させ、加熱処理、GRTA法、LRTA法等により、半導体膜中の珪素と金属とを反応させて行う。シリサイド層としては、コバルトシリサイド若しくはニッケルシリサイドを用いれば良い。半導体膜506、半導体膜507の厚さが薄い場合には、この領域の半導体膜506、半導体膜507の底部までシリサイド反応を進めても良い。シリサイド化に用いる金属の材料として、チタン(Ti)、ニッケル(Ni)、タングステン(W)、モリブデン(Mo)、コバルト(Co)、ジルコニウム(Zr)、ハフニウム(Hf)、タンタル(Ta)、バナジウム(V)、ネオジム(Nd)、クロム(Cr)、白金(Pt)、パラジウム(Pd)等を用いることができる。また、レーザ照射やランプなどの光照射によってシリサイドを形成しても良い。

20

【0220】

上述した一連の工程により、nチャネル型トランジスタ520と、pチャネル型トランジスタ521が形成される。

【0221】

図9(B)に示す工程まで終了したら、次いで、nチャネル型トランジスタ520、pチャネル型トランジスタ521上に、酸化物半導体を用いたトランジスタを作製する。

【0222】

まず、図10(A)に示すように、nチャネル型トランジスタ520、pチャネル型トランジスタ521を覆うように絶縁膜530を形成する。絶縁膜530を設けることで、加熱処理の際に電極509の表面が酸化されるのを防ぐことができる。具体的に絶縁膜530として、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、酸化アルミニウム、酸化珪素などを用いるのが望ましい。本実施の形態では、膜厚50nm程度の酸化窒化珪素膜を、絶縁膜530として用いる。

30

【0223】

次に、図10(B)に示すように、nチャネル型トランジスタ520、pチャネル型トランジスタ521を覆うように、絶縁膜530上に絶縁膜531、絶縁膜532を形成する。絶縁膜531、絶縁膜532は、後の作製工程における加熱処理の温度に耐えうる材料を用いる。具体的に、絶縁膜531、絶縁膜532は、例えば、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、窒化酸化アルミニウムなどの無機の絶縁膜を用いることができる。

40

【0224】

なお、本実施の形態では、絶縁膜530上に絶縁膜531、絶縁膜532を積層しているが、絶縁膜530上に形成する絶縁膜は単層の絶縁膜であっても良いし、3層以上の絶縁膜が積層されていても良い。

【0225】

絶縁膜532は、その表面をCMP法などにより平坦化させても良い。

【0226】

次いで、図10(B)に示すように、絶縁膜532上に、ゲート電極601、電極602

50

を形成する。

【0227】

ゲート電極601、電極602の材料は、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等の金属材料、これら金属材料を主成分とする合金材料を用いた導電膜、或いはこれら金属の窒化物を、単層で又は積層で用いることができる。なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることも出来る。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。

10

【0228】

例えば、二層の積層構造を有するゲート電極601、電極602として、アルミニウム膜上にモリブデン膜が積層された二層の積層構造、銅膜上にモリブデン膜を積層した二層構造、銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した二層構造、または、窒化チタン膜とモリブデン膜とを積層した二層構造とすることが好ましい。3層の積層構造を有するゲート電極601、電極602としては、アルミニウム膜、アルミニウムとシリコンの合金膜、アルミニウムとチタンの合金膜またはアルミニウムとネオジムの合金膜を中間層とし、タングステン膜、窒化タングステン膜、窒化チタン膜またはチタン膜を上下層として積層した構造とすることが好ましい。

【0229】

また、ゲート電極601、電極602に酸化インジウム、インジウム錫酸化物、酸化インジウム酸化亜鉛合金、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

20

【0230】

ゲート電極601、電極602の膜厚は、10nm～400nm、好ましくは100nm～200nmとする。本実施の形態では、タングステントargetを用いたスパッタ法により150nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工（パターニング）することで、ゲート電極601、電極602を形成する。なお、形成されたゲート電極の端部がテーパ形状であると、上に積層するゲート絶縁膜の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0231】

次いで、図10(C)に示すように、ゲート電極601、電極602上に、ゲート絶縁膜603を形成する。ゲート絶縁膜603は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ハフニウム膜または酸化タンタル膜を単層で又は積層させて形成することができる。ゲート絶縁膜603は、水分や、水素などの不純物を極力含まないことが望ましい。スパッタリング法により酸化珪素膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

40

【0232】

不純物を除去することによりi型化又は実質的にi型化された酸化物半導体（高純度化された酸化物半導体）は界面準位、界面電荷に対して極めて敏感であるため、高純度化された酸化物半導体とゲート絶縁膜603との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁膜（GI）は、高品質化が要求される。

【0233】

例えば、μ波（2.45GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート

50

ト絶縁膜とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【0234】

もちろん、ゲート絶縁膜として良質な絶縁膜を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁膜の膜質、ゲート絶縁膜と酸化物半導体との界面特性が改善される絶縁膜であっても良い。いずれにしても、ゲート絶縁膜としての膜質が良好であることは勿論のこと、ゲート絶縁膜と酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

【0235】

バリア性の高い材料を用いた絶縁膜と、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜とを積層させた構造を有するゲート絶縁膜603を形成しても良い。この場合、酸化珪素膜、酸化窒化珪素膜などの絶縁膜は、バリア性の高い絶縁膜と酸化物半導体膜の間に形成する。バリア性の高い絶縁膜として、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。バリア性の高い絶縁膜を用いることで、水分または水素などの雰囲気中の不純物、或いは基板内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜内、ゲート絶縁膜603内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。また、酸化物半導体膜に接するように窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い絶縁膜が直接酸化物半導体膜に接するのを防ぐことができる。

【0236】

例えば、第1のゲート絶縁膜としてスパッタリング法により膜厚50nm以上200nm以下の窒化珪素膜(SiN_y ($y > 0$))を形成し、第1のゲート絶縁膜上に第2のゲート絶縁膜として膜厚5nm以上300nm以下の酸化珪素膜(SiO_x ($x > 0$))を積層して、膜厚100nmのゲート絶縁膜603としても良い。ゲート絶縁膜603の膜厚は、トランジスタに要求される特性によって適宜設定すればよく350nm乃至400nm程度でもよい。

【0237】

本実施の形態では、スパッタ法で形成された膜厚50nmの窒化珪素膜上に、スパッタ法で形成された膜厚100nmの酸化珪素膜を積層させた構造を有する、ゲート絶縁膜603を形成する。

【0238】

なお、ゲート絶縁膜603に水素、水酸基及び水分がなるべく含まれないようにするためには、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極601、電極602が形成されたベース基板503を予備加熱し、ベース基板503に吸着した水分または水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100以上400以下、好ましくは150以上300以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

【0239】

次いで、ゲート絶縁膜603上に膜厚2nm以上200nm以下、好ましくは膜厚3nm以上50nm以下、さらに好ましくは膜厚3nm以上20nm以下の酸化物半導体膜を形成する。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス(例えばアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(例えばアルゴン)及び酸素混合雰囲気下においてスパッタ法により形成することができる。

【0240】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜603の表面に付着している塵埃を除去

10

20

30

40

50

することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【0241】

酸化物半導体膜は、上述したような酸化物半導体を用いることができる。

【0242】

本実施の形態では、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含む金属酸化物ターゲットを用いたスパッタ法により得られる膜厚30nmのIn-Ga-Zn-O系非単結晶膜を、酸化物半導体膜として用いる。上記ターゲットとして、例えば、各金属の組成比がIn:Ga:Zn=1:1:0.5、In:Ga:Zn=1:1:1、またはIn:Ga:Zn=1:1:2である金属酸化物ターゲットを用いることができる。また、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。また、In、Ga、及びZnを含む金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0243】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いてベース基板503上に酸化物半導体膜を成膜する。成膜時に、基板温度を100℃以上600℃以下、好ましくは200℃以上400℃以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水（H₂O）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0244】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流（DC）電源0.5kW、酸素（酸素流量比率100%）雰囲気下の条件が適用される。なお、パルス直流（DC）電源を用いると、成膜時に発生するパーティクルと呼ばれる塵埃が軽減でき、膜厚分布も均一となるために好ましい。

【0245】

なお、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート絶縁膜603までが形成されたベース基板503を予備加熱し、ベース基板503に吸着した水分または水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100℃以上400℃以下、好ましくは150℃以上300℃以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁膜612の成膜前に、ソース電極607及びドレイン電極608、配線609～配線611まで形成したベース基板503にも同様に行ってもよい。

【0246】

スパッタリング法にはスパッタ用電源に高周波電源を用いるRFスパッタリング法と、DCスパッタリング法があり、さらにパルスのバイアスを与えるパルスDCスパッタリング法もある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属膜を成膜する場合に用いられる。

【0247】

10

20

30

40

50

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0248】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタ装置がある。

【0249】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

10

【0250】

ゲート絶縁膜603及び酸化物半導体膜を大気に触れさせることなく連続的に形成してもよい。大気に触れさせることなく連続成膜することで、界面が、水やハイドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることなく各積層界面を形成することができるので、トランジスタ特性のばらつきを低減することができる。

【0251】

次いで、図10(C)に示すように、酸化物半導体膜をエッチングなどにより所望の形状に加工(パターニング)し、ゲート絶縁膜603上のゲート電極601と重なる位置に、島状の酸化物半導体膜605を形成する。

20

【0252】

島状の酸化物半導体膜605を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0253】

なお、島状の酸化物半導体膜605を形成するためのエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、塩化硼素(BCl_3)、塩化珪素(SiCl_4)、四塩化炭素(CCl_4)など)が好ましい。また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、六弗化硫黄(SF_6)、三弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

30

【0254】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

【0255】

ウェットエッチングに用いるエッチング液としては、リン酸と酢酸と硝酸を混ぜた溶液、アンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2)などを用いることができる。また、ITO-07N(関東化学社製)を用いてもよい。また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体膜に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化を図ることができる。

40

【0256】

なお、次工程の導電膜を形成する前に逆スパッタを行い、島状の酸化物半導体膜605及びゲート絶縁膜603の表面に付着しているレジスト残渣などを除去することが好ましい

50

。

【0257】

次いで、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア（CRDS（キャピティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）雰囲気下において、酸化物半導体膜605に加熱処理を施す。酸化物半導体膜605に加熱処理を施すことで、酸化物半導体膜605中の水分または水素を脱離させることができる。具体的には、300以上850以下（若しくはガラス基板の歪点以下の温度）、好ましくは550以上750以下で加熱処理を行えば良い。例えば、600、3分間以上6分間以下程度で行えばよい。加熱処理にはRTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。或いは、基板温度が450に達した状態で、1時間程度、加熱処理を行うようにしても良い。

【0258】

本実施の形態では、加熱処理装置の一つである電気炉を用い、酸化物半導体膜605に対して、窒素雰囲気下において、基板温度が600に達した状態で6分間、加熱処理を行った後、大気に触れることなく、水分または水素の再混入を防ぐ。

【0259】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0260】

例えば、加熱処理として、650～700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0261】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水分または水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0262】

水分または水素などの不純物が酸化物半導体に添加されていると、ゲートバイアス・熱ストレス試験（BT試験、試験条件は例えば、85、 2×10^6 V/cm、12時間）において、不純物と酸化物半導体の主成分との結合手が、強電界（B：バイアス）と高温（T：温度）により切断され、生成された未結合手がしきい値電圧（V_{th}）のドリフトを誘発することとなる。しかし、上述したように、ゲート絶縁膜と酸化物半導体膜との界面特性を良好にし、なおかつ、酸化物半導体膜中の不純物、特に水分または水素等を極力除去することにより、BT試験に対しても安定なトランジスタが得られる。

【0263】

以上の工程により酸化物半導体膜605中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体膜を

形成することができる。このため、大面積基板を用いてトランジスタを作製することができるため、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、耐圧性が高く、ショートチャネル効果が低く、オンオフ比の高いトランジスタを作製することができる。

【0264】

なお、酸化物半導体膜を加熱する場合、酸化物半導体膜の材料や加熱条件にもよるが、その上表面に板状結晶が形成されることがある。板状結晶は、酸化物半導体膜の表面に対して略垂直にc軸配向した単結晶体であることが好ましい。また、単結晶体でなくとも、各結晶が、酸化物半導体膜の表面に対して略垂直にc軸配向した多結晶体であることが好ましい。そして、上記多結晶体は、c軸配向していることに加えて、各結晶のab面が一致するか、a軸、或いは、b軸が一致していることが好ましい。なお、酸化物半導体膜の下地表面に凹凸がある場合、板状結晶は多結晶体となる。したがって、下地表面は可能な限り平坦であることが望まれる。

10

【0265】

次に、絶縁膜530、絶縁膜531、絶縁膜532、ゲート絶縁膜603を部分的にエッチングすることで、nチャネル型トランジスタ520が有する高濃度不純物領域513と、pチャネル型トランジスタ521が有する高濃度不純物領域516と、電極602に達するコンタクトホールを形成する。そして、酸化物半導体膜605上に、ソース電極またはドレイン電極（これと同じ層で形成される配線を含む）として用いる導電膜を、スパッタ法や真空蒸着法で形成したあと、エッチング等により該導電膜をパターンニングすることで、図11(A)に示すように、酸化物半導体膜605上のソース電極607及びドレイン電極608と、電極602及び高濃度不純物領域513に接する配線609と、高濃度不純物領域516に接する配線610と、高濃度不純物領域513及び高濃度不純物領域516に接する配線611とを、それぞれ形成する。

20

【0266】

ソース電極及びドレイン電極（これと同じ層で形成される配線を含む）となる導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、Al、Cuなどの金属膜の下側もしくは上側にCr、Ta、Ti、Mo、Wなどの高融点金属膜を積層させた構成としても良い。また、Si、Ti、Ta、W、Mo、Cr、Nd、Sc、YなどAl膜に生ずるヒロックやウィスカの発生を防止する元素が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。

30

【0267】

また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。

【0268】

また、ソース電極及びドレイン電極（これと同じ層で形成される配線を含む）となる導電膜としては導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、インジウム錫酸化物(In_2O_3 SnO_2 、ITOと略記する)、酸化インジウム酸化亜鉛合金(In_2O_3 ZnO)または前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

40

【0269】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0270】

なお、導電膜のエッチングの際に、酸化物半導体膜605がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、島状の

50

酸化物半導体膜 605 の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【0271】

本実施の形態では、導電膜にチタン膜を用いたので、アンモニア過水（31重量%過酸化水素水：28重量%アンモニア水：水＝5：2：2）を用いて、選択的に導電膜をウェットエッチングすることができるが、酸化物半導体膜 605 も一部エッチングされることがある。或いは、塩素（ Cl_2 ）、塩化硼素（ BCl_3 ）などを含むガスを用いて、導電膜をドライエッチングしても良い。

【0272】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0273】

次いで、 N_2O 、 N_2 、または Ar などのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体膜の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0274】

なお、プラズマ処理を行った後、図 11（B）に示すように、ソース電極 607 及びドレイン電極 608 と、配線 609～配線 611 と、酸化物半導体膜 605 とを覆うように、絶縁膜 612 を形成する。絶縁膜 612 は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。絶縁膜 612 に水素が含まれると、その水素が酸化物半導体膜へ侵入し、又は水素が酸化物半導体膜中の酸素を引き抜き、酸化物半導体膜のバックチャネル部が低抵抗化（n型化）してしまい、寄生チャネルが形成されるおそれがある。よって、絶縁膜 612 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記絶縁膜 612 には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、酸化物半導体膜 605 に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、ソース電極 607 及びドレイン電極 608 及び酸化物半導体膜 605 と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、酸化物半導体膜 605 内、ゲート絶縁膜 603 内、或いは、酸化物半導体膜 605 と他の絶縁膜の界面とその近傍に、水分または水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体膜 605 に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体膜 605 に接するのを防ぐことができる。

【0275】

本実施の形態では、スパッタ法で形成された膜厚 200 nm の酸化珪素膜上に、スパッタ法で形成された膜厚 100 nm の窒化珪素膜を積層させた構造を有する、絶縁膜 612 を形成する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。

【0276】

なお、絶縁膜 612 を形成した後に、加熱処理を施しても良い。加熱処理は、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア（CR

10

20

30

40

50

D S (キャピティリングダウンレーザ分光法)方式の露点計を用いて測定した場合の水分量が20 ppm (露点換算で-55)以下、好ましくは1 ppm以下、好ましくは10 ppb以下の空気)雰囲気下において、好ましくは200 以上400 以下、例えば250 以上350 以下で行う。本実施の形態では、例えば、窒素雰囲気下で250、1時間の加熱処理を行う。或いは、ソース電極607及びドレイン電極608と、配線609～配線611とを形成する前に、酸化物半導体膜に対して行った先の加熱処理と同様に、高温短時間のRTA処理を行っても良い。酸化物半導体膜に対して行った先の加熱処理により、酸化物半導体膜605に酸素欠損が発生していたとしても、ソース電極607とドレイン電極608の間に設けられた酸化物半導体膜605の露出領域に接して、酸素を含む絶縁膜612が設けられた後に、加熱処理が施されることによって、酸化物半導体膜605に酸素が供与される。そのため、酸化物半導体膜605の絶縁膜612と接する領域に酸素が供与されることで、ドナーとなる酸素欠損を低減し、化学量論組成比を満たすことが可能である。その結果、酸化物半導体膜605をi型化または実質的にi型化にすることができ、トランジスタの電気特性の向上および、電気特性のばらつきを軽減することができる。この加熱処理を行うタイミングは、絶縁膜612の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、酸化物半導体膜605をi型化または実質的にi型化にすることができる。

10

【0277】

次いで、絶縁膜612上に導電膜を形成した後、該導電膜をパターニングすることで、酸化物半導体膜605と重なる位置にバックゲート電極を形成しても良い。バックゲート電極を形成する場合、バックゲート電極を覆うように絶縁膜を形成する。バックゲート電極は、ゲート電極601、電極602、或いはソース電極607及びドレイン電極608、配線609～配線611と同様の材料、構造を用いて形成することが可能である。

20

【0278】

バックゲート電極の膜厚は、10 nm～400 nm、好ましくは100 nm～200 nmとする。本実施の形態では、チタン膜、アルミニウム膜、チタン膜が積層された構造を有する導電膜を形成した後、フォトリソグラフィ法などによりレジストマスクを形成し、エッチングにより不要な部分を除去して、該導電膜を所望の形状に加工(パターニング)することで、バックゲート電極を形成する。

30

【0279】

絶縁膜は、雰囲気中の水分、水素、酸素などがトランジスタの特性に影響を与えるのを防ぐことができる、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを、プラズマCVD法又はスパッタリング法等により単層で又は積層させて形成することができる。バリア性の効果を得るには、絶縁膜は、例えば厚さ15 nm～400 nmの膜厚で形成することが好ましい。

【0280】

本実施の形態では、プラズマCVD法により300 nmの絶縁膜を形成する。成膜条件は、シランガスの流量を4 sccmとし、一酸化二窒素(N_2O)の流量を800 sccmとし、基板温度を400 とする。

40

【0281】

以上の工程により、スイッチング素子として機能するトランジスタ620と、位相反転素子を構成するnチャネル型トランジスタ520、pチャネル型トランジスタ521と、容量素子623が形成される。なお、容量素子623は、電極602とソース電極607とが、ゲート絶縁膜603を間に挟んで重なり合っている領域に形成される。なお、容量素子623は、必ずしもトランジスタ620と同じ層上に形成する必要はなく、例えば、nチャネル型トランジスタ520、pチャネル型トランジスタ521と同じ層上に形成しても良い。

【0282】

50

トランジスタ 620 は、ゲート電極 601 と、ゲート電極 601 上のゲート絶縁膜 603 と、ゲート絶縁膜 603 上においてゲート電極 601 と重なっている酸化物半導体膜 605 と、酸化物半導体膜 605 上に形成された一対のソース電極 607 またはドレイン電極 608 とを有する。さらに、トランジスタ 620 は、酸化物半導体膜 605 上に形成された絶縁膜 612 を、その構成要素に含めても良い。図 11 (B) に示すトランジスタ 620 は、ソース電極 607 とドレイン電極 608 の間において、酸化物半導体膜 605 の一部が露出したチャンネルエッチ構造である。

【0283】

なお、トランジスタ 620 はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電氣的に接続された複数のゲート電極 601 を有することで、チャンネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

10

【0284】

なお、酸化物半導体のバンドギャップは $3.0 \sim 3.5 \text{ eV}$ である。一方、炭化シリコンのバンドギャップは 3.26 eV 、窒化ガリウムのバンドギャップは 3.39 eV と、ともにシリコンの約 3 倍程度の大きなバンドギャップを有している。よって、これら炭化シリコンや窒化ガリウムなどの化合物半導体は、ワイドギャップ半導体という点において、酸化物半導体と共通であり、バンドギャップが大きいという特性が、半導体装置の耐圧向上、電力損失の低減などに有利である。

【0285】

ところが、炭化シリコンや窒化ガリウムなどの化合物半導体は、酸化物半導体よりもプロセス温度や処理温度が著しく高い。炭化シリコンのプロセス温度は約 1500°C 、窒化ガリウムのプロセス温度は約 1100°C と、いずれも入手が容易なシリコンウェハや低いガラス基板上への成膜は不可能である。よって、安価な基板を利用できない上に、基板の大型化には対応できないため、炭化シリコンや窒化ガリウムなどの化合物半導体を用いた半導体装置は量産性が低い。一方、酸化物半導体は、 $300 \sim 850^\circ\text{C}$ の熱処理で成膜することが可能であり、ガラス基板上への成膜が可能であり、また、本実施の形態で示したように、通常の半導体材料を用いた集積回路上に、酸化物半導体による半導体素子を積層させることも可能である。

20

【0286】

次いで、本実施の形態のように酸化物半導体膜中に含まれる水分または水素などの不純物を極力除去し、酸化物半導体膜を高純度化することが、トランジスタの特性にどのように影響を与えるかを以下に説明する。

30

【0287】

図 19 は、酸化物半導体を用いたトランジスタの断面図である。ゲート電極 (GE) 上にゲート絶縁膜 (GI) を介して酸化物半導体膜 (OS) が設けられ、その上にソース電極 (S) 及びドレイン電極 (D) が設けられ、ソース電極 (S) 及びドレイン電極 (D) 上に絶縁膜が設けられている。

【0288】

図 20 に、図 19 に示す A - A' 断面におけるエネルギーバンド図 (模式図) を示す。また、図 20 において黒丸 (●) は電子を示し、白丸 (○) は正孔を示し、それぞれは電荷 $-q$ 、電荷 $+q$ を有している。ドレイン電極 (D) に正の電圧 ($V_D > 0$) を印加した上で、破線はゲート電極 (GE) に電圧を印加しない場合 ($V_G = 0$)、実線はゲート電極 (GE) に正の電圧 ($V_G > 0$) を印加する場合を示す。ゲート電極 (GE) に電圧を印加しない場合は高いポテンシャル障壁のためにソース電極 (S) から酸化物半導体膜 (OS) 側へキャリア (電子) が注入されず、電流を流さないオフ状態を示す。一方、ゲート電極 (GE) に正の電圧を印加するとポテンシャル障壁が低下し、酸化物半導体膜 (OS) に電流を流すオン状態を示す。

40

【0289】

図 21 は、図 19 における B - B' の断面におけるエネルギーバンド図 (模式図) である。図 21 (A) はゲート電極 (GE) に正の電圧 ($V_G > 0$) が印加された状態であり、

50

ソース電極とドレイン電極間にキャリア（電子）が流れるオン状態を示している。また、図 2 1（B）は、ゲート電極（GE）に負の電圧（ $V_G < 0$ ）が印加された状態であり、オフ状態である場合を示す。

【0290】

図 2 2 は、真空準位と金属の仕事関数（ ϕ_M ）、酸化物半導体の電子親和力（ χ ）の関係を示す。

【0291】

常温において金属中の電子は縮退しており、フェルミ準位は伝導帯内に位置する。一方、従来の酸化物半導体は一般に n 型であり、その場合のフェルミ準位（ E_f ）は、バンドギャップ中央に位置する真性フェルミ準位（ E_i ）から離れて、伝導帯（ E_c ）寄りに位置している。なお、酸化物半導体において水素の一部はドナーとなり、酸化物半導体が n 型化する一つの要因であることが知られている。また、酸素欠損も n 型化する一つの要因であることが知られている。

10

【0292】

これに対して、本発明の一態様は、n 型不純物である水素を酸化物半導体から除去して酸化物半導体の主成分以外の不純物が極力含まれないように高純度化し、かつ、酸素欠損を除去することにより、酸化物半導体を真性（i 型）または限りなく真性に近づけたものである。すなわち、不純物を添加して酸化物半導体を i 型化するのでなく、水分または水素等の不純物や酸素欠損を極力除去して高純度化することにより、i 型（真性半導体）又は i 型（真性半導体）に限りなく近い酸化物半導体を得ることを特徴としている。上記構成により、矢印で示すように、フェルミ準位（ E_f ）は真性フェルミ準位（ E_i ）と同じレベルに限りなく近づけることができる。

20

【0293】

酸化物半導体のバンドギャップ（ E_g ）は 3 . 1 5 e V、電子親和力（ χ ）は 4 . 3 V と言われている。ソース電極及びドレイン電極を構成する材料がチタン（Ti）である場合の仕事関数は、酸化物半導体の電子親和力（ χ ）とほぼ等しい。この場合、金属 - 酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。チタンに以外もこの条件を満たす材料は存在する。

【0294】

このとき電子は、図 2 1（A）で示すようにゲート絶縁膜と高純度化された酸化物半導体との界面における、酸化物半導体側のエネルギー的に安定な最低部を移動する。

30

【0295】

また、図 2 1（B）において、ゲート電極（GE）に負の電圧が印加されると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

【0296】

例えば、チャネル幅（ W ）が $1 \times 10^6 \mu m$ でチャネル長（ L ）が $10 \mu m$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} A$ 以下という特性を得ることができる。また、保持容量の電荷を保持するためのスイッチング素子として、高純度化された酸化物半導体膜を有するゲート絶縁膜の厚さが 100 nm のトランジスタを用いて、保持容量の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定すると、トランジスタのソース電極とドレイン電極間の電圧が 3 V の場合に、 $10 z A / \mu m$ 乃至 $100 z A / \mu m$ という、さらに低いオフ電流密度が得られる。つまり、高純度化された酸化物半導体膜を活性層として用いたトランジスタは、そのオフ電流密度を、 $100 z A / \mu m$ 以下、好ましくは $10 z A / \mu m$ 以下、更に好ましくは $1 z A / \mu m$ 以下にすることができる。

40

【0297】

このように、酸化物半導体の主成分以外の水分または水素などの不純物が極力含まれないように、酸化物半導体膜を高純度化することにより、トランジスタの動作を良好なものとするすることができる。

50

【0298】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0299】

(実施の形態5)

本実施の形態では、酸化物半導体膜を用いたトランジスタの構造が、実施の形態4とは異なるトランジスタの構成について説明する。

【0300】

図12(A)に示す記憶装置は、実施の形態4と同様に、結晶性シリコンを用いたnチャネル型トランジスタ520と、pチャネル型トランジスタ521とを有している。そして、図12(A)では、nチャネル型トランジスタ520と、pチャネル型トランジスタ521上に、酸化物半導体膜を用いたチャネル保護構造の、ボトムゲート型のトランジスタ630が形成されている。

10

【0301】

トランジスタ630は、絶縁膜532上に形成されたゲート電極631と、ゲート電極631上のゲート絶縁膜632と、ゲート絶縁膜632上においてゲート電極631と重なっている酸化物半導体膜633と、ゲート電極631と重なる位置において島状の酸化物半導体膜633上に形成されたチャネル保護膜634と、酸化物半導体膜633上に形成されたソース電極635、ドレイン電極636と、を有する。さらに、トランジスタ630は、酸化物半導体膜633上に形成された絶縁膜637を、その構成要素に含めても良い。

20

【0302】

チャネル保護膜634を設けることによって、酸化物半導体膜633のチャネル形成領域となる部分に対する、後の工程時におけるダメージ(エッチング時のプラズマやエッチング剤による膜減りなど)を防ぐことができる。従ってトランジスタの信頼性を向上させることができる。

【0303】

チャネル保護膜634には、酸素を含む無機材料(酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化アルミニウム、または酸化窒化アルミニウムなど)を用いることができる。チャネル保護膜634は、プラズマCVD法や熱CVD法などの気相成長法やスパッタリング法を用いて形成することができる。チャネル保護膜634は成膜後にエッチングにより形状を加工する。ここでは、スパッタ法により酸化珪素膜を形成し、フォトリソグラフィによるマスクを用いてエッチング加工することでチャネル保護膜634を形成する。

30

【0304】

酸素を含む無機材料をチャネル保護膜634に用いることで、水分または水素を低減させるための加熱処理により酸化物半導体膜633中に酸素欠損が発生していたとしても、酸化物半導体膜633の少なくともチャネル保護膜634とそれぞれ接する領域に酸素を供給し、ドナーとなる酸素欠損を低減して化学量論組成比を満たす構成とすることが可能である。よって、チャネル形成領域を、i型化または実質的にi型化させることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。

40

【0305】

なお、トランジスタ630は、絶縁膜637上に、バックゲート電極をさらに有していても良い。バックゲート電極は、酸化物半導体膜633のチャネル形成領域と重なるように形成する。バックゲート電極は、電気的に絶縁しているフローティングの状態であっても良いし、電位が与えられる状態であっても良い。後者の場合、バックゲート電極には、ゲート電極631と同じ高さの電位が与えられていても良いし、グラウンドなどの固定電位が与えられていても良い。バックゲート電極に与える電位の高さを制御することで、トランジスタ630の閾値電圧を制御することができる。

【0306】

図12(B)に示す記憶装置は、実施の形態4と同様に、結晶性シリコンを用いたnチャ

50

ネル型トランジスタ 520 と、pチャネル型トランジスタ 521 を有している。そして、図 12 (B) では、nチャネル型トランジスタ 520 と、pチャネル型トランジスタ 521 上に、酸化物半導体膜を用いたボトムコンタクト型のトランジスタ 640 が形成されている。

【0307】

トランジスタ 640 は、絶縁膜 532 上に形成されたゲート電極 641 と、ゲート電極 641 上のゲート絶縁膜 642 と、ゲート絶縁膜 642 上のソース電極 643、ドレイン電極 644 と、ゲート電極 641 と重なっている酸化物半導体膜 645 とを有する。さらに、トランジスタ 640 は、酸化物半導体膜 645 上に形成された絶縁膜 646 を、その構成要素に含めても良い。

10

【0308】

また、図 12 (B) のタイプのボトムコンタクト型のトランジスタ 640 の場合、ソース電極 643、ドレイン電極 644 の膜厚は、後に形成される酸化物半導体膜 645 が段切れを起こすのを防ぐために、実施の形態 4 で示したボトムゲート型に比べて薄くするのが望ましい。具体的には、10 nm ~ 200 nm、好ましくは 50 nm ~ 75 nm とする。

【0309】

なお、トランジスタ 640 は、絶縁膜 646 上に、バックゲート電極をさらに有していても良い。バックゲート電極は、酸化物半導体膜 645 のチャネル形成領域と重なるように形成する。バックゲート電極は、電氣的に絶縁しているフローティングの状態であっても良いし、電位が与えられる状態であっても良い。後者の場合、バックゲート電極には、ゲート電極 641 と同じ高さの電位が与えられていても良いし、グラウンドなどの固定電位が与えられていても良い。バックゲート電極に与える電位の高さを制御することで、トランジスタ 640 の閾値電圧を制御することができる。

20

【0310】

図 12 (C) に示す記憶装置は、実施の形態 4 と同様に、結晶性シリコンを用いた nチャネル型トランジスタ 520 と、pチャネル型トランジスタ 521 を有している。そして、図 12 (C) では、nチャネル型トランジスタ 520 と、pチャネル型トランジスタ 521 上に、酸化物半導体膜を用いたトップゲート型のトランジスタ 650 が形成されている。

【0311】

トランジスタ 650 は、絶縁膜 532 上に形成されたソース電極 651、ドレイン電極 652 と、ソース電極 651、ドレイン電極 652 上に形成された酸化物半導体膜 653 と、酸化物半導体膜 653 上のゲート絶縁膜 654 と、ゲート絶縁膜 654 上において酸化物半導体膜 653 と重なっているゲート電極 655 とを有する。さらに、トランジスタ 650 は、ゲート電極 655 上に形成された絶縁膜 656 を、その構成要素に含めても良い。

30

【0312】

また、図 12 (C) のタイプのトップゲート型のトランジスタ 650 の場合、ソース電極 651、ドレイン電極 652 の膜厚は、後に形成される酸化物半導体膜 653 が段切れを起こすのを防ぐために、実施の形態 4 で示したボトムゲート型に比べて薄くするのが望ましい。具体的には、10 nm ~ 200 nm、好ましくは 50 nm ~ 75 nm とする。

40

【0313】

また、本発明の一態様に係る記憶装置は、バルク状の単結晶半導体基板を用いて作製されたトランジスタで、位相反転素子、スイッチング素子などを作製しても良い。図 23 に、バルク状の単結晶半導体基板を用いて形成されたトランジスタ上に、酸化物半導体を用いたトランジスタが形成された、記憶装置の断面図を、一例として示す。

【0314】

図 23 に示す記憶装置は、半導体基板 660 に形成された nチャネル型トランジスタ 661 及び pチャネル型トランジスタ 662 と、nチャネル型トランジスタ 661 及び pチャネル型トランジスタ 662 を覆っている絶縁膜 663 上に形成された、容量用スイッチン

50

グ素子として用いるトランジスタ 664 と、容量素子 665 とを有する。

【0315】

トランジスタ 664 は、そのチャネル形成領域に酸化物半導体を用いたトランジスタであり、実施の形態 4 で示した構造を有している場合を例示しているが、図 12 に示した構造を有していても良い。

【0316】

半導体基板 660 は、例えば、n 型または p 型の導電性を有する単結晶シリコン基板、化合物半導体基板 (GaAs 基板、InP 基板、GaN 基板、SiC 基板、サファイア基板、ZnSe 基板等) 等を用いることができる。図 23 では、n 型の導電性を有する単結晶シリコン基板を用いた場合を例示している。

10

【0317】

また、n チャネル型トランジスタ 661 と p チャネル型トランジスタ 662 とは、素子分離用絶縁膜 666 により、電氣的に分離されている。素子分離用絶縁膜 666 の形成には、選択酸化法 (LOCOS (Local Oxidation of Silicon) 法) またはトレンチ分離法等を用いることができる。

【0318】

p チャネル型トランジスタ 662 が形成される領域には、p 型の導電性を付与する不純物元素を選択的に導入することにより、p ウェル 667 と呼ばれる領域が形成されている。p 型の導電性を有する半導体基板を用いる場合、n チャネル型トランジスタ 661 が形成される領域に、n 型の導電性を付与する不純物元素を選択的に導入することにより、n ウェルを形成すれば良い。

20

【0319】

本実施の形態は、上記実施の形態と組み合わせて実施することが可能である。

【0320】

(実施の形態 6)

本実施の形態では、記憶素子への電源電位の供給を制御するスイッチング素子に、高純度化された酸化物半導体をチャネル形成領域に有するトランジスタを用いた、本発明の一態様に係る記憶装置の構成について説明する。

【0321】

図 13 (A) に、本実施の形態における記憶装置の構成を一例として示す。図 13 (A) に示す記憶装置は、スイッチング素子 401 と、記憶素子 402 を複数有する記憶素子群 403 とを有している。具体的に、各記憶素子 402 には、実施の形態 1 乃至実施の形態 5 に記載されている構成を有する記憶素子を用いることができる。記憶素子群 403 が有する各記憶素子 402 には、スイッチング素子 401 を介して、ハイレベルの電源電位 VDD が供給されている。さらに、記憶素子群 403 が有する各記憶素子 402 には、信号 IN の電位と、ローレベルの電源電位 VSS の電位が与えられている。

30

【0322】

図 13 (A) では、スイッチング素子 401 として、酸化物半導体をチャネル形成領域に有するトランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号 SigA によりスイッチングが制御される。スイッチング素子 401 に用いるトランジスタは、高純度化された酸化物半導体をチャネル形成領域に有するため、そのオフ電流は、上述したとおり著しく低い。

40

【0323】

なお、図 13 (A) では、スイッチング素子 401 がトランジスタを一つだけ有する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、スイッチング素子 401 が、トランジスタを複数有していても良い。スイッチング素子 401 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わせられて接続されていても良い。

【0324】

50

また、図 13 (A) では、スイッチング素子 401 により、記憶素子群 403 が有する各記憶素子 402 への、ハイレベルの電源電位 VDD の供給が制御されているが、スイッチング素子 401 により、ローレベルの電源電位 VSS の供給が制御されていても良い。図 13 (B) に、記憶素子群 403 が有する各記憶素子 402 に、スイッチング素子 401 を介して、ローレベルの電源電位 VSS が供給されている、記憶装置の一例を示す。スイッチング素子 401 により、記憶素子群 403 が有する各記憶素子 402 への、ローレベルの電源電位 VSS の供給を制御することができる。

【0325】

次いで、実施の形態 4 または実施の形態 5 に示した、チャネル形成領域に酸化物半導体を用いたトランジスタよりも、さらに高電圧または大電流の制御が可能な、パワーデバイス向きであるトランジスタの構造について、説明する。上記構造を有するトランジスタを、スイッチング素子 401 に用いることで、記憶装置の信頼性を更に高めることができる。なお、実施の形態 4 または実施の形態 5 と同一部分又は同様な機能を有する部分、及び工程は、実施の形態 4 または実施の形態 5 と同様に行うことができるため、繰り返しの説明は省略する。

【0326】

図 14 (A) に、本実施の形態で示すトランジスタ 420 の断面図を示す。また、図 14 (B) は、トランジスタ 420 の上面図であり、図 14 (B) の破線 B1 - B2 における断面図が、図 14 (A) に相当する。

【0327】

トランジスタ 420 は、絶縁表面上に第 1 の電極 421 を有する。

【0328】

第 1 の電極 421 は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステン、イットリウムから選ばれた金属元素、または上述した金属元素を成分とする合金、上述した金属元素を組み合わせた合金などで形成する。また、マンガン、マグネシウム、ジルコニウム、ベリリウムのいずれか一または複数から選択された金属元素を用いることができる。また、第 1 の電極 421 は、単層構造、または二層以上の積層構造とすることができる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などが挙げられる。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、または複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

【0329】

また、第 1 の電極 421 として、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0330】

第 1 の電極 421 は、絶縁表面上に導電膜をスパッタリング法、CVD 法、または真空蒸着法で形成し、当該導電膜上にフォトリソグラフィ工程によりレジストマスクを形成し、当該レジストマスクを用いて導電膜をエッチングして、形成することができる。または、フォトリソグラフィ工程を用いず、印刷法、インクジェット法で第 1 の電極 421 を形成することで、工程数を削減することができる。なお、第 1 の電極 421 の端部をテーパ形状とすると、後に形成されるゲート絶縁膜の被覆性が向上するため好ましい。第 1 の電極 421 の端部と第 1 の電極 421 が形成されている絶縁表面のなす角度を 30° 以上 60° 以下、好ましくは 40° 以上 50° 以下とすることで、後に形成されるゲート絶縁膜の被覆性を向上させることができる。

【0331】

本実施の形態では、第 1 の電極 4 2 1 となる導電膜として、スパッタリング法により膜厚 5 0 n m のチタン膜を形成し、厚さ 1 0 0 n m のアルミニウム膜を形成し、厚さ 5 0 n m のチタン膜を形成する。次に、フォトリソグラフィ工程により形成したレジストマスクを用いてエッチングして、第 1 の電極 4 2 1 を形成する。なお、フォトリソグラフィ工程により形成したレジストマスクの代わりに、インクジェット法を用いてレジストマスクを作製することで、工程数を削減することができる。

【 0 3 3 2 】

また、トランジスタ 4 2 0 は、第 1 の電極 4 2 1 上に島状の酸化物半導体膜 4 2 2 を有することができる。酸化物半導体膜 4 2 2 は、スパッタリング法、塗布法、印刷法等により形成することができる。本実施の形態では、スパッタリング法により第 1 の電極 4 2 1 上に酸化物半導体膜を形成した後、エッチング等により当該酸化物半導体膜を所望の形状に加工することで、島状の酸化物半導体膜 4 2 2 を形成する。また、酸化物半導体膜は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素雰囲気下においてスパッタ法により形成することができる。

10

【 0 3 3 3 】

なお、島状の酸化物半導体膜 4 2 2 を形成するためのエッチングは、実施の形態 4 に示した、酸化物半導体膜のエッチングについての記載を参照して実施すれば良い。ただし、エッチングにより形成される島状の酸化物半導体膜 4 2 2 の端部と、第 1 の電極 4 2 1 のなす角度を 3 0 ° 以上 6 0 ° 以下、好ましくは 4 0 ° 以上 5 0 ° 以下とすることで、後に形成されるゲート絶縁膜の被覆性を向上させることができるため好ましい。

20

【 0 3 3 4 】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、第 1 の電極 4 2 1 の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に R F 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【 0 3 3 5 】

酸化物半導体膜 4 2 2 は、上述したような酸化物半導体を用いることができる。

30

【 0 3 3 6 】

本実施の形態では、I n（インジウム）、G a（ガリウム）、及び Z n（亜鉛）を含む酸化物半導体ターゲットを用いたスパッタ法により得られる膜厚 3 0 n m の I n - G a - Z n - O 系非単結晶膜を、酸化物半導体膜 4 2 2 として用いる。上記ターゲットとして、例えば、各金属の原子の組成比が I n : G a : Z n = 1 : 1 : 0 . 5、I n : G a : Z n = 1 : 1 : 1、または I n : G a : Z n = 1 : 1 : 2 である金属酸化物ターゲットを用いることができる。また、酸化物半導体膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、S i O₂ を 2 重量 % 以上 1 0 重量 % 以下含むターゲットを用いて成膜を行ってもよい。また、I n、G a、及び Z n を含む金属酸化物ターゲットの充填率は 9 0 % 以上 1 0 0 % 以下、好ましくは 9 5 % 以上 9 9 . 9 % である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

40

【 0 3 3 7 】

減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板上に酸化物半導体膜 4 2 2 を成膜する。成膜時に、基板温度を 1 0 0 ° 以上 6 0 0 ° 以下好ましくは 2 0 0 ° 以上 4 0 0 ° 以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポ

50

ンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0338】

本実施の形態では、酸化物半導体膜の成膜条件の一例として、基板温度室温、基板とターゲットの間との距離を 110 mm 、圧力 0.4 Pa 、直流 (DC) 電源 0.5 kW 、酸素及びアルゴン (酸素流量 15 sccm : アルゴン流量 30 sccm) 雰囲気下の条件が適用される。なお、パルス直流 (DC) 電源を用いると、成膜時に発生するパーティクルと呼ばれる塵埃が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜の厚さは、 $1\text{ }\mu\text{m}$ 以上、好ましくは $3\text{ }\mu\text{m}$ 以上、さらに好ましくは $10\text{ }\mu\text{m}$ 以上とする。なお、適用する酸化物半導体膜材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

10

【0339】

なお、酸化物半導体膜 422 に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で第 1 の電極 421 までが形成された基板を予備加熱し、基板に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、 100 以上 400 以下好ましくは 150 以上 300 以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁膜の成膜前に、ゲート電極まで形成した基板にも同様に行ってもよい。

20

【0340】

スパッタリング法にはスパッタ用電源に高周波電源を用いる RF スパッタリング法と、DC スパッタリング法があり、さらにパルスのバイアスを与えるパルス DC スパッタリング法もある。RF スパッタリング法は主に絶縁膜を成膜する場合に用いられ、DC スパッタリング法は主に金属膜を成膜する場合に用いられる。

【0341】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

30

【0342】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いる ECR スパッタリング法を用いるスパッタ装置がある。

【0343】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアススパッタリング法もある。

40

【0344】

なお、酸化物半導体膜 422 には、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア (CRDS (キャピティリングダウンレーザ分光法) 方式の露点計を用いて測定した場合の水分量が 20 ppm (露点換算で -55) 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気) 雰囲気下において、加熱処理を施しておく。酸化物半導体膜 422 に加熱処理を施すことで、水分、水素が脱離した酸化物半導体膜 422 が形成される。具体的には、 300 以上 850 以下 (若しくはガラス基板の歪点以下の温度) で加熱処理を行えば良い。RTA 法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。本実施の形態では、加熱処理装置の一つである電気炉を用い、酸化物半導

50

体膜 4 2 2 に対して、窒素雰囲気下において、基板温度が 4 5 0 に達した状態で 1 時間、加熱処理を行った後、大気に触れることなく、水や水素の再混入を防ぐ。酸化物半導体膜 4 2 2 は、水分、水素などの不純物が脱離することで、i 型（真性半導体）又は i 型に限りなく近くなるため、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。

【 0 3 4 5 】

なお、加熱処理に用いられる加熱処理装置についての詳しい説明については、実施の形態 4 に既に述べたので、ここでは省略する。

【 0 3 4 6 】

また、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水分、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N (9 9 . 9 9 9 9 %) 以上、好ましくは 7 N (9 9 . 9 9 9 9 9 %) 以上、（即ち不純物濃度を 1 p p m 以下、好ましくは 0 . 1 p p m 以下）とすることが好ましい。

【 0 3 4 7 】

また、ゲートバイアス・熱ストレス試験（B T 試験、試験条件は例えば、8 5 、 2×10^6 V / c m、1 2 時間）においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合手が、強電界（B : バイアス）と高温（T : 温度）により切断され、生成された未結合手がしきい値電圧（V t h）のドリフトを誘発することとなる。しかし、上述したように、ゲート絶縁膜と酸化物半導体膜との界面特性を良好にし、なおかつ、酸化物半導体膜中の不純物、特に水素や水等を極力除去することにより、B T 試験に対しても安定なトランジスタが得られる。

【 0 3 4 8 】

以上の工程により酸化物半導体膜中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができるため、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、耐圧性が高く、ショートチャネル効果が低く、オンオフ比の高いトランジスタを作製することができる。

【 0 3 4 9 】

また、トランジスタ 4 2 0 は、酸化物半導体膜 4 2 2 上に、第 2 の電極 4 2 3 を有する。第 2 の電極 4 2 3 に用いられる導電膜の材料、構造については、第 1 の電極 4 2 1 と同様の形態を採用することができる。また、第 2 の電極 4 2 3 の作製方法については、第 1 の電極 4 2 1 と同様に実施することができる。

【 0 3 5 0 】

本実施の形態では、フォトリソグラフィ工程により第 2 の電極 4 2 3 となる導電膜上にレジストマスクを形成し、当該レジストマスクを用いて導電膜をエッチングして、第 2 の電極 4 2 3 を形成する。ここでは、第 2 の電極 4 2 3 となる導電膜として、厚さ 5 0 n m のチタン膜、厚さ 1 0 0 n m のアルミニウム膜、及び厚さ 5 0 n m のチタン膜を順に積層する。第 2 の電極 4 2 3 の端部と、酸化物半導体膜 4 2 2 のなす角の角度を 3 0 ° 以上 6 0 ° 以下、好ましくは 4 0 ° 以上 5 0 ° 以下とすることで、後に形成されるゲート絶縁膜の被覆性を向上させることができるため好ましい。そして、第 2 の電極 4 2 3 は、第 1 の電極 4 2 1 から離隔した位置において、第 1 の電極 4 2 1 と接することなく形成される。

【 0 3 5 1 】

第 1 の電極 4 2 1 と第 2 の電極 4 2 3 は、いずれか一方がトランジスタのソース電極、他方がドレイン電極として機能する。

【 0 3 5 2 】

第 2 の電極 4 2 3 を形成した後、加熱処理を施しても良い。加熱処理の温度は、4 0 0 以上 8 5 0 以下、好ましくは 4 0 0 以上基板の歪み点未満とする。本実施の形態では

10

20

30

40

50

、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜 4 2 2 に対して窒素、希ガスなどの不活性ガス雰囲気下において 4 5 0 において 1 時間の加熱処理を行った後、大気に触れさせないことで、酸化物半導体膜への水素、水、水酸基または水素化物などの再侵入を防ぐことで、水素濃度がさらに低減され高純度化され、i 型化または実質的に i 型化された酸化物半導体膜を得ることができる。

【 0 3 5 3 】

なお、上記加熱処理においては、窒素、またはヘリウム、ネオン、アルゴンなどの希ガスに、水素、水、水酸基または水素化物などなどが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴンなどの希ガスの純度を、6 N (9 9 . 9 9 9 9 %) 以上、好ましくは 7 N (9 9 . 9 9 9 9 9 %) 以上、(即ち不純物濃度を 1 p p m 以下、好ましくは 0 . 1 p p m 以下) とすることが好ましい。

10

【 0 3 5 4 】

また、トランジスタ 4 2 0 は、第 1 の電極 4 2 1、酸化物半導体膜 4 2 2、第 2 の電極 4 2 3 を覆うように形成された、ゲート絶縁膜 4 2 4 と、ゲート絶縁膜 4 2 4 上に形成されたゲート電極 4 2 5 とを有する。ゲート絶縁膜 4 2 4 は、プラズマ C V D 法又はスパッタリング法を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ハフニウム膜または酸化タンタム膜を単層で又は積層させて形成することができる。

【 0 3 5 5 】

また、ゲート絶縁膜 4 2 4 として、ハフニウムシリケート ($HfSiO_x$)、N が添加された $HfSi_xO_y$ 、窒素が添加されたハフニウムアルミネート ($HfAlO_x$)、酸化ハフニウム、酸化イットリウムなどの h i g h - k 材料を用いることでリーク電流を低減できる。さらには、h i g h - k 材料と、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、または酸化アルミニウム膜のいずれか一以上との積層構造とすることができる。ゲート絶縁膜 4 2 4 の厚さは、5 0 n m 以上 5 0 0 n m 以下とするとよい。ゲート絶縁膜 4 2 4 の厚さを厚くすることで、リーク電流を低減することができる。

20

【 0 3 5 6 】

ゲート絶縁膜 4 2 4 は、水分や、水素などの不純物を極力含まないことが望ましい。スパッタリング法により酸化珪素膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

30

【 0 3 5 7 】

不純物を除去することにより i 型化又は実質的に i 型化された酸化物半導体 (高純度化された酸化物半導体) は界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁膜 4 2 4 との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁膜 (G I) は、高品質化が要求される。

【 0 3 5 8 】

例えば、 μ 波 (2 . 4 5 G H z) を用いた高密度プラズマ C V D は、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁膜とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

40

【 0 3 5 9 】

もちろん、ゲート絶縁膜 4 2 4 として良質な絶縁膜を形成できるものであれば、スパッタリング法やプラズマ C V D 法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁膜 4 2 4 の膜質、酸化物半導体との界面特性が改質される絶縁膜であっても良い。いずれにしても、ゲート絶縁膜としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

50

【0360】

バリア性の高い材料を用いた絶縁膜と、含まれる窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜とを積層させた構造を有するゲート絶縁膜424を形成しても良い。この場合、酸化珪素膜、酸化窒化珪素膜などの絶縁膜は、バリア性を有する絶縁膜と酸化物半導体膜の間に形成する。バリア性の高い絶縁膜として、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。バリア性を有する絶縁膜を用いることで、水分または水素などの雰囲気中不純物、或いは基板内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜内、ゲート絶縁膜424内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。また、酸化物半導体膜に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体膜に接するのを防ぐことができる。

10

【0361】

例えば、第1のゲート絶縁膜として膜厚5nm以上300nm以下の酸化シリコン膜(SiO_x ($x > 0$))を形成し、第1のゲート絶縁膜上に第2のゲート絶縁膜としてスパッタリング法により膜厚50nm以上200nm以下の窒化シリコン膜(SiN_y ($y > 0$))を積層して、膜厚100nmのゲート絶縁膜としてもよい。本実施の形態では、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン(酸素流量25sccm:アルゴン流量25sccm=1:1)雰囲気下でRFスパッタリング法により膜厚100nmの酸化シリコン膜を形成する。

20

【0362】

なお、ゲート絶縁膜424に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で第1の電極421、酸化物半導体膜422及び第2の電極423が形成された基板を予備加熱し、基板に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100以上400以下好ましくは150以上300以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

【0363】

なお、ゲート絶縁膜424を形成した後に、加熱処理を施しても良い。加熱処理は大気雰囲気下、又は不活性ガス雰囲気(窒素、またはヘリウム、ネオン、アルゴン等)下において、好ましくは200以上400以下、例えば250以上350以下で行う。本実施の形態では、例えば、窒素雰囲気下で250、1時間の加熱処理を行う。上記加熱処理を行うと、酸化物半導体膜422がゲート絶縁膜424を構成する酸化珪素と接した状態で加熱されることになり、上述した、水分、水素を脱離させるための加熱処理で酸素欠損が発生していたとしても、酸化珪素から酸素が供給されることで、ドナーとなる酸素欠損を低減し、化学量論組成比を満たす構成とすることが可能であり、酸化物半導体膜422をi型化または実質的にi型化にすることができる。この加熱処理を行うタイミングは、ゲート絶縁膜424の形成後であれば特に限定されず、他の工程、例えば後に形成されるゲート電極425、絶縁膜426、または配線434、配線435、配線436のいずれかを形成した後に行ってもよい。また、透明導電膜を低抵抗化させるための加熱処理などの、他の加熱処理と兼ねることで、工程数を増やすことなく行うことができる。

30

40

【0364】

ゲート電極425の材料は、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等の金属材料、これら金属材料を主成分とする合金材料を用いた導電膜、或いはこれら金属の窒化物を、単層で又は積層で用いることができる。なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることも出来る。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用

50

いることができる。

【0365】

例えば、二層の積層構造を有するゲート電極425として、アルミニウム膜上にモリブデン膜が積層された二層の積層構造、または銅膜上にモリブデン膜を積層した二層構造、または銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した二層構造、窒化チタン膜とモリブデン膜とを積層した二層構造とすることが好ましい。3層の積層構造を有するゲート電極425としては、アルミニウム膜、アルミニウムとシリコンの合金膜、アルミニウムとチタンの合金膜またはアルミニウムとネオジムの合金膜を中間層とし、タングステン膜、窒化タングステン膜、窒化チタン膜またはチタン膜を上下層として積層した構造とすることが好ましい。

10

【0366】

また、ゲート電極425に酸化インジウム、インジウム錫酸化物、酸化インジウム酸化亜鉛合金、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する酸化物導電膜をゲート電極425に用いることで、画素部の開口率を向上させることができる。

【0367】

ゲート電極425の膜厚は、10nm～400nm、好ましくは100nm～200nmとする。本実施の形態では、タングステターゲットを用いたスパッタ法により150nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工（パターニング）することで、ゲート電極425を形成する。ゲート電極425は、少なくとも、ゲート絶縁膜424を間に挟んで、酸化物半導体膜422の端部と重なる位置に形成されていれば良い。酸化物半導体膜422の端部では、このゲート絶縁膜424を間に挟んでゲート電極425と重なる部分において、チャネル形成領域が形成される。なお、形成されたゲート電極425の端部がテーパ形状であると、上に積層する絶縁膜426の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソグラフィーを使用しないため、製造コストを低減できる。

20

【0368】

また、トランジスタ420は、第1の電極421、酸化物半導体膜422、第2の電極423、ゲート絶縁膜424及びゲート電極425を覆うように、絶縁膜426を有している。絶縁膜426は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。絶縁膜426は、例えば、酸化珪素膜、酸化窒化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの酸化物絶縁膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などの窒化物絶縁膜を用いる。または、酸化物絶縁膜及び窒化物絶縁膜の積層とすることもできる。上記絶縁膜426に、バリア性の高い絶縁膜、例えば、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることで、酸化物半導体膜422内、ゲート絶縁膜424内、或いは、酸化物半導体膜422と他の絶縁膜の界面とその近傍に、水分または水素などの不純物が入り込むのを防ぐことができる。

30

40

【0369】

本実施の形態では、スパッタ法で形成された膜厚200nmの酸化珪素膜上に、スパッタ法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、絶縁膜426を形成する。なお、スパッタリング法で絶縁膜426を形成する場合、基板を100～400の温度に加熱し、水素、水、水酸基または水素化物などが除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて絶縁膜426を形成してもよい。この場合においても、処理室内に残留する水素、水、水酸基または水素化物などを除去しつつ絶縁膜を形成することが好ましい。

【0370】

なお、絶縁膜426を形成した後に、加熱処理を施しても良い。加熱処理は、不活性ガス

50

雰囲気（窒素、またはヘリウム、ネオン、アルゴン等）下において、好ましくは 200 以上 400 以下、例えば 250 以上 350 以下で行う。

【0371】

コンタクトホール 431、コンタクトホール 432、コンタクトホール 433 は、フォトリソグラフィ工程によりレジストマスクを形成し、ゲート絶縁膜 424 及び絶縁膜 426 の一部をエッチングにより選択的に除去することで形成できる。コンタクトホール 431 により、ゲート電極 425 の一部が露出される。コンタクトホール 432 により、第 2 の電極 423 の一部が露出される。コンタクトホール 433 により、ゲート電極 425 の一部が露出される。また、これらコンタクトホールの形成時に、第 1 の電極 421 のゲート電極 425 に覆われていない領域において、第 1 の電極 421 が露出するようなコンタクトホールを形成しても良い。

【0372】

そして、絶縁膜 426 に形成されたコンタクトホール 431、コンタクトホール 432、コンタクトホール 433 を介して、ゲート電極 425、第 2 の電極 423、ゲート電極 425 に、配線 434、配線 435、配線 436 がそれぞれ接続されている。なお、これら配線の形成時に、コンタクトホールを介して第 1 の電極 421 に接続される配線を形成しても良い。

【0373】

配線 434、配線 435、配線 436 は、第 1 の電極 421 と同様の構造、材料を有する導電膜を用いて、同様の作製方法にて形成することができる。

【0374】

図 14 (B) において、配線 440 は、配線 434、配線 435、配線 436 と同時に形成される配線であり、コンタクトホール 441 を介して第 1 の電極 421 に接続されている。

【0375】

上記のように酸化物半導体膜中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が非常に小さく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができるため、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、耐圧性が高く、ショートチャネル効果が低く、オンオフ比の高いトランジスタを作製することができる。

【0376】

なお、本実施の形態では、酸化物半導体膜 422 のうち、第 2 の電極 423 とは異なる領域に形成されている部分全てが、ゲート電極 425 に覆われているが、本発明はこの構成に限定されない。酸化物半導体膜 422 のうち、第 2 の電極 423 とは異なる領域に形成されている部分の少なくとも一部が、ゲート電極 425 により覆われていれば良い。

【0377】

ここで、本実施の形態で示したトランジスタのドレイン耐性について説明する。

【0378】

半導体中の電界があるしきい値に達すると、衝突イオン化が生じ、空乏層内で高電界により加速されたキャリアが結晶格子に衝突し、電子と正孔の対を生成する。さらに電界が高くなると、衝突イオン化により発生した電子と正孔の対もさらに電界によって加速され、衝突イオン化を繰り返し、電流が指数関数的に増加するアバランシェ降伏が生じる。衝突イオン化は、キャリア（電子、正孔）が半導体のバンドギャップ以上の運動エネルギーを有することにより発生する。このため、バンドギャップが大きいほど、衝突イオン化を発生させるのに必要な電界が高くなる。

【0379】

酸化物半導体のバンドギャップは、3.15 eV であり、非晶質シリコンのバンドギャップの 1.74 eV とくらべて大きいため、アバランシェ降伏が起こりにくい。このため、

酸化物半導体を用いたトランジスタはドレイン耐圧が高くなり、高電界が印加されてもオン電流の指数関数的急上昇が生じにくい。

【0380】

次に、酸化物半導体を用いたトランジスタのホットキャリア劣化について説明する。

【0381】

ホットキャリア劣化とは、高速に加速された電子がチャネル中のドレイン近傍でゲート絶縁膜中に注入されて固定電荷となる、或いは、ゲート絶縁膜界面にトラップ準位を形成することにより、閾値電圧の変動やリーク電流等のトランジスタ特性の劣化が生じることであり、ホットキャリア劣化の要因としては、チャネルホットエレクトロン注入（CHE注入）とドレインアバランシェホットキャリア注入（DAHC注入）がある。

10

【0382】

シリコンはバンドギャップが狭いため、アバランシェ降伏によって雪崩的に電子が発生しやすく、ゲート絶縁膜への障壁を越えられるほど高速に加速される電子数が増加する。しかしながら、本実施の形態で示す酸化物半導体は、バンドギャップが広いこと、アバランシェ降伏が生じにくく、シリコンと比べてホットキャリア劣化の耐性が高い。なお、高耐圧材料の一つであるシリコンカーバイドのバンドギャップと酸化物半導体のバンドギャップは同等であるが、酸化物半導体の方が、移動度が2桁程小さいため、電子が加速されにくく、シリコンカーバイドよりホットキャリア劣化が生じにくく、ドレイン耐圧が高いといえる。

【0383】

20

以上のことから、酸化物半導体を用いたトランジスタはドレイン耐圧が高く、具体的には100V以上、好ましくは500V、好ましくは1kV以上のドレイン耐圧を有することが可能である。

【0384】

ここで、トランジスタの代表例であるシリコンカーバイドと酸化物半導体の比較について以下に示す。ここでは、シリコンカーバイドとして、4H-SiCを用いる。

【0385】

酸化物半導体と4H-SiCはいくつかの共通点を有している。真性キャリア密度はその一例である。フェルミ・ディラック分布に従えば、酸化物半導体の真性キャリア密度は 10^{-7} cm^{-3} 程度と見積もられるが、これは、4H-SiCにおける $6.7 \times 10^{-11} \text{ cm}^{-3}$ と同様、極めて低い値である。

30

【0386】

また、酸化物半導体のエネルギーバンドギャップは3.0～3.5eVであり、4H-SiCのエネルギーバンドギャップは3.26eVであるから、ワイドギャップ半導体という点においても、酸化物半導体とシリコンカーバイドとは共通している。

【0387】

しかしながら、酸化物半導体とシリコンカーバイドの、プロセス温度は大きく異なる。シリコンカーバイドは一般に1500～2000の熱処理を必要とする。一方、酸化物半導体は、300～850の熱処理で作製することが可能であり、大面積基板上にトランジスタを作製することができる。また、スループットを高めることができる。

40

【0388】

また、シリコンカーバイドを用いたトランジスタはPN接合を用いるため、ドナーまたはアクセプターとなりうる不純物（リン、ボロン等）のドーピング工程が必要であるため、製造工程数が増大する。一方、酸化物半導体を用いたトランジスタは、PN接合を設けずともよいこと、製造工程の削減、スループットの向上が可能であり、更には大面積基板を用いることが可能である。

【0389】

なお、酸化物半導体において、バンドギャップ内のDOS（density of state）等の物性研究は多くなされているが、これらの研究は、DOSそのものを十分に減らすという思想を含まない。本実施の形態では、DOSの原因たり得る水や水素を酸化

50

物半導体中より除去することで、高純度化した酸化物半導体を作製する。これは、DOSそのものを十分に減らすという思想に基づくものである。そして、これによって極めて優れた工業製品の製造を可能とするものである。

【0390】

さらに、酸素欠乏により発生する金属の未結合手に対して酸素を供給し、酸素欠陥によるDOSを減少させることにより、いっそう高純度化された(i型の)酸化物半導体とすることも可能である。たとえば、チャンネル形成領域に密接して酸素過剰の酸化膜を形成し、当該酸化膜から酸素を供給して、酸素欠陥によるDOSを減少させることが可能である。

【0391】

酸化物半導体の欠陥は、過剰な水素による伝導帯下0.1~0.2 eVの浅い準位や、酸素の不足による深い準位、などに起因するものとされている。これらの欠陥を無くすために、水素を徹底的に除去し、酸素を十分に供給する、という技術思想は正しいものである。

10

【0392】

また、酸化物半導体は一般にn型とされているが、本実施の形態では、不純物、特に水や水素を除去することによりi型化を実現する。この点において、シリコンなどの半導体に不純物を添加してi型化していた従来の技術思想と比べ、本発明の技術思想は新しいものである。

【0393】

また、酸化物半導体をi型化することにより、トランジスタの温度特性が良好であり、代表的には、-25 から150 までの温度範囲において、トランジスタの電流電圧特性において、オン電流、オフ電流、電界効果移動度、S値、及びしきい値電圧の変動がほとんどなく、温度による電流電圧特性の劣化がほとんどない。

20

【0394】

なお、本実施の形態で示す酸化物半導体を用いたトランジスタは、シリコンカーバイドを用いたトランジスタと比較して、移動度が2桁ほど低いが、ドレイン電圧を高くする、チャンネル幅(W)を大きくすることで、トランジスタの電流値を高め、デバイス特性を向上させることができる。

【0395】

本実施の形態の技術思想は、酸化物半導体に、何らかの物質をさらに加えることをせずに、逆に不本意に存在する水、水素という不純物を意図的に除去することにより、酸化物半導体を高純度化することである。すなわち、ドナー準位を構成する水または水素を除去し、さらに酸素欠損を低減し、酸化物半導体を構成する酸素を十分に供給することにより、酸化物半導体を高純度化することである。

30

【0396】

酸化物半導体の成膜時点で 10^{20} cm^{-3} のレベルの水素がSIMS(二次イオン質量分析)で測定される。このドナー準位の原因となる水または水素を意図的に除去し、さらに水または水素の除去に伴い同時に減少してしまう酸素(酸化物半導体の成分の一つ)を酸化物半導体に加えることにより、酸化物半導体を高純度化し、電氣的にi型(真性)半導体とする。

40

【0397】

また、本実施の形態においては、酸化物半導体中の水、水素の量は少なければ少ないほど好ましく、キャリアも少なければ少ないほど良い。具体的には、キャリア密度は $1 \times 10^{14} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{12} \text{ cm}^{-3}$ 未満、さらに好ましくは測定限界以下の $1 \times 10^{11} \text{ cm}^{-3}$ 未満が求められる。酸化物半導体のキャリアを低減し、好ましくは無くしてしまう、すなわちi型(真性)半導体とすることで、トランジスタにおける酸化物半導体の機能を、キャリアが通過する通路(パス)とする。その結果、トランジスタがオフ状態の時はIoffを極めて低くできる。以上が本実施の形態の技術思想である。

【0398】

50

また、酸化物半導体はキャリアの通路（パス）として機能し、酸化物半導体自体がキャリアを有さない、または極めて少ないように高純度化した i 型（真性）であるため、キャリアはソース電極、ドレイン電極により供給される。

【0399】

なお、本実施の形態で示した構造を有するトランジスタは、実施の形態 4 に示したような、チャネルが基板と概略平行に形成される横型のトランジスタに比べて基板表面における占有面積を低減することができる。この結果、トランジスタの微細化が可能である。

【0400】

このように、主成分以外の不純物、代表的には水素、水、水酸基または水素化物などが極力含まれないように酸化物半導体膜を高純度化することにより、トランジスタの動作を良好なものとすることができる。特に、耐圧性を高め、ショートチャネル効果を低減し、オンオフ比を高めることができる。

【0401】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0402】

（実施の形態 7）

本実施の形態では、実施の形態 4 とは異なる、酸化物半導体膜の形成方法について図 15 を用いて説明する。

【0403】

まず、絶縁表面上にゲート電極 701、ゲート電極 702 を形成した後、ゲート電極 701、ゲート電極 702 上にゲート絶縁膜 703 を形成する（図 15（A）参照）。ゲート電極 701、ゲート電極 702、ゲート絶縁膜 703 の材料、構造及び膜厚については、実施の形態 4 において既に説明したので、本実施の形態ではその詳細についての記載を省略する。

【0404】

次いで、図 15（A）に示すように、ゲート絶縁膜 703 上に、厚さ 2 nm 以上 15 nm 以下の第 1 の酸化物半導体膜 730 を形成する。第 1 の酸化物半導体膜 730 は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

【0405】

なお、第 1 の酸化物半導体膜 730 をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜 703 の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【0406】

第 1 の酸化物半導体膜 730 は、上述したような酸化物半導体を用いることができる。

【0407】

本実施の形態では、In（インジウム）、Ga（ガリウム）、及び Zn（亜鉛）を含む金属酸化物ターゲットを用いたスパッタ法により得られる膜厚 5 nm の In - Ga - Zn - O 系非単結晶膜を、第 1 の酸化物半導体膜 730 として用いる。上記ターゲットとして、例えば、各金属の原子の組成比が In : Ga : Zn = 1 : 1 : 0.5、In : Ga : Zn = 1 : 1 : 1、または In : Ga : Zn = 1 : 1 : 2 である金属酸化物ターゲットを用いることができる。本実施の形態では、後に加熱処理を行い意図的に結晶化させるため、結晶化が生じやすい金属酸化物ターゲットを用いることが好ましい。また、In、Ga、及び Zn を含む金属酸化物ターゲットの充填率は 90 % 以上 100 % 以下、好ましくは 95 % 以上 99.9 % 以下である。充填率の高い金属酸化物ターゲットを用いることにより、形成される酸化物半導体膜中の不純物濃度を低減することができ、電気特性または信頼性

10

20

30

40

50

の高いトランジスタを得ることができる。

【 0 4 0 8 】

減圧状態の処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして絶縁表面上に第1の酸化物半導体膜730を成膜する。成膜時に、基板温度を100以上600以下好ましくは200以上400以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコー

10

ルドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水(H_2O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【 0 4 0 9 】

成膜条件の一例としては、基板とターゲットの間との距離を170mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生するパーティクルと呼ばれる塵埃が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

20

【 0 4 1 0 】

なお、第1の酸化物半導体膜730に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート絶縁膜703までが形成された基板を予備加熱し、基板に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100以上600以下好ましくは150以上300以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

【 0 4 1 1 】

スパッタリング法にはスパッタ用電源に高周波電源を用いるRFスパッタリング法と、DCスパッタリング法があり、さらにパルスのバイアスを与えるパルスDCスパッタリング法もある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属膜を成膜する場合に用いられる。

30

【 0 4 1 2 】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【 0 4 1 3 】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタ装置がある。

40

【 0 4 1 4 】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

【 0 4 1 5 】

ゲート絶縁膜703、及び第1の酸化物半導体膜730を大気に触れさせることなく連続的に形成してもよい。大気に触れさせることなく連続成膜することで、界面が、水やヒドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることなく各積層界面を形成することができるので、トランジスタ特性のばらつきを低減することができ

50

る。

【0416】

次いで、第1の加熱処理を行い、図15(B)に示すように、第1の酸化物半導体膜730の表面から結晶を成長させることで、少なくとも一部が結晶化された、或いは単結晶となった、第1の酸化物半導体膜731を得る。第1の加熱処理の温度は、450以上850以下、好ましくは600以上700以下とする。また、加熱時間は1分以上24時間以下とする。単結晶層は、表面から内部に向かって結晶成長し、2nm以上10nm以下の平均厚さを有する板状結晶である。また、表面に形成される結晶層は、その表面にa-b面を有し、表面に対して垂直方向にc軸配向をしている。本実施の形態では、第1の加熱処理によって第1の酸化物半導体膜731全体を結晶化(CG(Co-growing)結晶とも呼ぶ)する例を示す。 10

【0417】

なお、第1の加熱処理においては、窒素、酸素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、酸素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。また、H₂Oが20ppm以下の乾燥空気雰囲気下で第1の加熱処理を行っても良い。

【0418】

本実施の形態では、第1の加熱処理として、乾燥空気雰囲気下で700、1時間の加熱処理を行う。 20

【0419】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。 30

【0420】

例えば、加熱処理として、650~700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0421】

次いで、図15(C)に示すように、平板状の単結晶である第1の酸化物半導体膜731上に、膜厚が、少なくとも第1の酸化物半導体膜731より大きく、10μm以下の範囲にある、第2の酸化物半導体膜732を形成する。なお、第2の酸化物半導体膜732の膜厚は、作製するデバイスによって最適な膜厚を実施者が決定すればよい。例えば、ボトムゲート型トランジスタを作製する場合は、第1の酸化物半導体膜731と第2の酸化物半導体膜732の合計膜厚が、10nm以上200nm以下とする。また、例えば、トランジスタを作製する場合、第1の酸化物半導体膜731と第2の酸化物半導体膜732の合計膜厚は10nm以上50nm以下とする。また、第2の酸化物半導体膜732は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素雰囲気下においてスパッタ法により形成することができる。 40

【0422】

第2の酸化物半導体膜732としては、上述したような酸化物半導体を用いることができる。 50

【0423】

また、第1の酸化物半導体膜731と第2の酸化物半導体膜732は、同一成分を含む材料を用いること、あるいは同一の結晶構造かつ近接した格子定数（ミスマッチが1%以下）を有することが好ましい。同一成分を含む材料を用いる場合、後に行われる結晶化において第1の酸化物半導体膜731の単結晶層から結晶成長が促進されやすくなる。また、同一成分を含む材料である場合には、密着性などの界面物性や電気的特性も良好である。なお、第2の酸化物半導体膜732は第1の酸化物半導体膜731よりも、結晶性を向上させた場合に、何らかの電気特性（例えば、移動度、しきい値電圧、バンドギャップ等）が好ましいものを選ぶとよい。

【0424】

次いで、第2の加熱処理を行い、第1の酸化物半導体膜731から第2の酸化物半導体膜732に向かって結晶を成長させる。第2の加熱処理の温度は、450 以上850 以下、好ましくは550 以上650 以下とする。また、加熱時間は1分以上24時間以下とする。第2の加熱処理によって、図15（D）に示すように、結晶化された第1の酸化物半導体膜731と、結晶化された第2の酸化物半導体膜735とを有する、酸化物半導体膜733を得ることができる。

【0425】

第1の酸化物半導体膜731と第2の酸化物半導体膜735に用いられている酸化物半導体材料が、同一成分を含む場合、第1の酸化物半導体膜731と第2の酸化物半導体膜735とが、同一の結晶構造を有する。第2の酸化物半導体膜735は、第1の酸化物半導体膜731からアキシアル成長、またはエピタキシアル成長をさせることで形成されるので、c軸が一致する。そのため、実際には、酸化物半導体膜733において、第1の酸化物半導体膜731と第2の酸化物半導体膜735の境界は不明瞭となる。

【0426】

なお、酸化物半導体膜733は、ゲート絶縁膜の凹凸を有する部分と重なる領域において、多結晶を含んでいるために、結晶粒界を有する場合がある。また、酸化物半導体膜733のうち、チャネル形成領域となる領域は、少なくともゲート絶縁膜の平坦な部分と重なっているため、第1の酸化物半導体膜731と第2の酸化物半導体膜735がc軸配向をしている単結晶である場合も含む。なお、第1の酸化物半導体膜731と第2の酸化物半導体膜735がc軸配向をしている場合、第1の酸化物半導体膜731と第2の酸化物半導体膜735は、互いにa-b面が一致し、a軸、或いはb軸が一致することがさらに望ましいが、a-b軸の方向がずれていることもありうる。

【0427】

なお、第2の加熱処理においても、窒素、酸素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、酸素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N以上、好ましくは7N以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。また、H₂Oが20ppm以下の超乾燥空气中で第2の加熱処理を行っても良い。また、第2の加熱処理の昇温時には炉の内部を窒素雰囲気とし、冷却時には炉の内部を酸素雰囲気として雰囲気を切り替えても良い。

【0428】

なお、第2の加熱処理に用いる加熱処理装置も特に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、電気炉や、GRTA装置、LRTA装置等のRTA装置を用いることができる。

【0429】

次いで、フォトリソグラフィ法を用いて酸化物半導体膜733の形状を加工することで、ゲート電極701、ゲート電極702と重なる位置において、島状の酸化物半導体膜734、酸化物半導体膜736をそれぞれ形成する。なお、島状の酸化物半導体膜を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【 0 4 3 0 】

以下、実施の形態 4 の図 1 1 (A) に示すソース電極、ドレイン電極を作製する工程以降を参考にして、メモリセルのスイッチング素子として機能するトランジスタを作製することができる。

【 0 4 3 1 】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【 0 4 3 2 】

(実施の形態 8)

本実施の形態では、本発明の一態様に係る半導体装置の一つである、CPU の構成について説明する。

【 0 4 3 3 】

図 1 7 に、本実施の形態の CPU の構成を示す。図 1 7 に示す CPU は、基板 9 0 0 上に、演算回路 (ALU : Arithmetic logic unit) 9 0 1 、 ALU Controller 9 0 2 、 Instruction Decoder 9 0 3 、 Interrupt Controller 9 0 4 、 Timing Controller 9 0 5 、 Register 9 0 6 、 Register Controller 9 0 7 、バスインターフェース (Bus I / F) 9 0 8 、書き換え可能な ROM 9 0 9 、 ROM インターフェース (ROM I / F) 9 2 0 を主に有している。 ROM 9 0 9 及び ROM I / F 9 2 0 は、別チップに設けても良い。勿論、図 1 7 に示す CPU は、その構成を簡略化して示した一例にすぎず、実際の CPU はその用途によって多種多様な構成を有している。

【 0 4 3 4 】

Bus I / F 9 0 8 を介して CPU に入力された命令は、 Instruction Decoder 9 0 3 に入力され、デコードされた後、 ALU Controller 9 0 2 、 Interrupt Controller 9 0 4 、 Register Controller 9 0 7 、 Timing Controller 9 0 5 に入力される。

【 0 4 3 5 】

ALU Controller 9 0 2 、 Interrupt Controller 9 0 4 、 Register Controller 9 0 7 、 Timing Controller 9 0 5 は、デコードされた命令に基づき、各種制御を行なう。具体的に ALU Controller 9 0 2 は、 ALU 9 0 1 の動作を制御するための信号を生成する。また、 Interrupt Controller 9 0 4 は、 CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。 Register Controller 9 0 7 は、 Register 9 0 6 のアドレスを生成し、 CPU の状態に応じて Register 9 0 6 の読み出しや書き込みを行なう。

【 0 4 3 6 】

また Timing Controller 9 0 5 は、 ALU 9 0 1 、 ALU Controller 9 0 2 、 Instruction Decoder 9 0 3 、 Interrupt Controller 9 0 4 、 Register Controller 9 0 7 の動作のタイミングを制御する信号を生成する。例えば Timing Controller 9 0 5 は、基準クロック信号 CLK 1 を元に、内部クロック信号 CLK 2 を生成する内部クロック生成部を備えており、クロック信号 CLK 2 を上記各種回路に供給する。

【 0 4 3 7 】

本実施の形態の CPU では、 Register 9 0 6 に、上記実施の形態で示した構成を有する記憶素子が設けられている。 Register Controller 9 0 7 は、 ALU 9 0 1 からの指示に従い、 Register 9 0 6 における保持動作の選択を行う。すなわち、 Register 9 0 6 が有する記憶素子において、位相反転素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。位相反転素子によるデータの保持が選択されている場合、 Register 9 0 6 内の記憶素子への、

電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、Register 906内の記憶素子への電源電圧の供給を停止することができる。電源停止に関しては、図13に示すように、記憶素子群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設けることにより行うことができる。

【0438】

この様にして、一時的にCPUの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPUの動作を停止することができ、それにより消費電力を低減することができる。

10

【0439】

本実施の形態では、CPUを例に挙げて説明したが、本発明の半導体装置はCPUに限定されず、DSP、カスタムLSI、FPGA(Field Programmable Gate Array)等のLSIにも応用可能である。

【0440】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【実施例1】

【0441】

本発明の一態様に係る半導体装置を用いることで、信頼性が高い電子機器、消費電力の低い電子機器を提供することが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い半導体装置をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。また、オフ電流が低いトランジスタを用いることで、オフ電流の高さをカバーするための冗長な回路設計が不要となるため、半導体装置に用いられている集積回路の集積度を高めることができ、半導体装置を高機能化させることが出来る。

20

【0442】

本発明の一態様に係る半導体装置は、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD:Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図18に示す。

30

【0443】

図18(A)は電子書籍であり、筐体7001、表示部7002等を有する。本発明の一態様に係る半導体装置は、電子書籍の駆動を制御するための集積回路に用いることができる。電子書籍の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い電子書籍、消費電力の低い電子書籍を提供することができる。また、可撓性を有する基板を用いることで、半導体装置、半導体表示装置に可撓性を持たせることができるので、フレキシブルかつ軽くて使い勝手の良い電子書籍を提供することができる。

40

【0444】

図18(B)は表示装置であり、筐体7011、表示部7012、支持台7013等を有する。本発明の一態様に係る半導体装置は、表示装置の駆動を制御するための集積回路に用いることができる。表示装置の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い表示装置、消費電力の低い表示装置を提供することができる。なお、表示装置には、パーソナルコンピュータ用、TV放送受信用、広告

50

表示用などの全ての情報表示用表示装置が含まれる。

【0445】

図18(C)は表示装置であり、筐体7021、表示部7022等を有する。本発明の一態様に係る半導体装置は、表示装置の駆動を制御するための集積回路に用いることができる。表示装置の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い表示装置、消費電力の低い表示装置を提供することができる。また、可撓性を有する基板を用いることで、半導体装置、半導体表示装置に可撓性を持たせることができるので、フレキシブルかつ軽くて使い勝手の良い表示装置を提供することができる。よって、図18(C)に示すように、布地などに固定させて表示装置を使用することができ、表示装置の応用の幅が格段に広がる。

10

【0446】

図18(D)は携帯型ゲーム機であり、筐体7031、筐体7032、表示部7033、表示部7034、マイクロホン7035、スピーカー7036、操作キー7037、スティラス7038等を有する。本発明の一態様に係る半導体装置は、携帯型ゲーム機の駆動を制御するための集積回路に用いることができる。携帯型ゲーム機の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い携帯型ゲーム機、消費電力の低い携帯型ゲーム機を提供することができる。なお、図18(D)に示した携帯型ゲーム機は、2つの表示部7033と表示部7034とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

20

【0447】

図18(E)は携帯電話であり、筐体7041、表示部7042、音声入力部7043、音声出力部7044、操作キー7045、受光部7046等を有する。受光部7046において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。本発明の一態様に係る半導体装置は、携帯電話の駆動を制御するための集積回路に用いることができる。携帯電話の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い携帯電話、消費電力の低い携帯電話を提供することができる。

【0448】

図18(F)は携帯情報端末であり、筐体7051、表示部7052、操作キー7053等を有する。図18(F)に示す携帯情報端末は、モデムが筐体7051に内蔵されていても良い。本発明の一態様に係る半導体装置は、携帯情報端末の駆動を制御するための集積回路に用いることができる。携帯情報端末の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い携帯情報端末、消費電力の低い携帯情報端末を提供することができる。

30

【0449】

本実施例は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【符号の説明】

【0450】

100	記憶素子
101	位相反転素子
102	位相反転素子
103	スイッチング素子
104	スイッチング素子
105	容量素子
106	容量用スイッチング素子
107	pチャネル型トランジスタ
108	nチャネル型トランジスタ
109	pチャネル型トランジスタ
110	nチャネル型トランジスタ
200	記憶素子

40

50

2 0 1	位相反転素子	
2 0 2	位相反転素子	
2 0 3	スイッチング素子	
2 0 4	スイッチング素子	
2 0 5	容量素子	
2 0 6	容量用スイッチング素子	
2 0 7	位相反転素子	
2 0 8	スイッチング素子	
2 0 9	スイッチング素子	
2 1 0	pチャネル型トランジスタ	10
2 1 1	nチャネル型トランジスタ	
2 1 2	pチャネル型トランジスタ	
2 1 3	nチャネル型トランジスタ	
2 1 4	pチャネル型トランジスタ	
2 1 5	nチャネル型トランジスタ	
3 0 0	記憶素子	
3 0 1	位相反転素子	
3 0 2	位相反転素子	
3 0 3	スイッチング素子	
3 0 4	スイッチング素子	20
3 0 5	容量素子	
3 0 6	容量用スイッチング素子	
3 0 7	容量素子	
3 0 8	容量用スイッチング素子	
3 0 9	pチャネル型トランジスタ	
3 1 0	nチャネル型トランジスタ	
3 1 1	pチャネル型トランジスタ	
3 1 2	nチャネル型トランジスタ	
4 0 1	スイッチング素子	
4 0 2	記憶素子	30
4 0 3	記憶素子群	
4 2 0	トランジスタ	
4 2 1	第1の電極	
4 2 2	酸化物半導体膜	
4 2 3	第2の電極	
4 2 4	ゲート絶縁膜	
4 2 5	ゲート電極	
4 2 6	絶縁膜	
4 3 1	コンタクトホール	
4 3 2	コンタクトホール	40
4 3 3	コンタクトホール	
4 3 4	配線	
4 3 5	配線	
4 3 6	配線	
4 4 0	配線	
4 4 1	コンタクトホール	
5 0 0	ボンド基板	
5 0 1	絶縁膜	
5 0 2	脆化層	
5 0 3	ベース基板	50

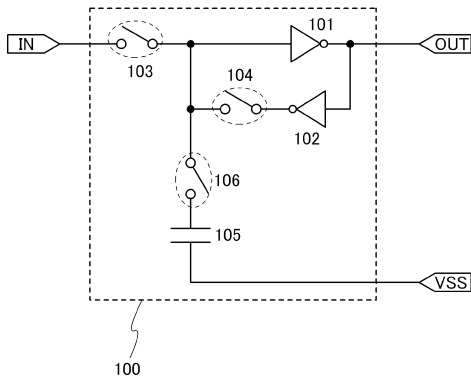
5 0 4	半導体膜	
5 0 5	半導体膜	
5 0 6	半導体膜	
5 0 7	半導体膜	
5 0 8	ゲート絶縁膜	
5 0 9	電極	
5 1 0	不純物領域	
5 1 1	不純物領域	
5 1 2	サイドウォール	
5 1 3	高濃度不純物領域	10
5 1 4	低濃度不純物領域	
5 1 5	チャネル形成領域	
5 1 6	高濃度不純物領域	
5 1 7	低濃度不純物領域	
5 1 8	チャネル形成領域	
5 2 0	nチャネル型トランジスタ	
5 2 1	pチャネル型トランジスタ	
5 3 0	絶縁膜	
5 3 1	絶縁膜	
5 3 2	絶縁膜	20
6 0 1	ゲート電極	
6 0 2	電極	
6 0 3	ゲート絶縁膜	
6 0 5	酸化物半導体膜	
6 0 7	ソース電極	
6 0 8	ドレイン電極	
6 0 9	配線	
6 1 0	配線	
6 1 1	配線	
6 1 2	絶縁膜	30
6 2 0	トランジスタ	
6 2 3	容量素子	
6 3 0	トランジスタ	
6 3 1	ゲート電極	
6 3 2	ゲート絶縁膜	
6 3 3	酸化物半導体膜	
6 3 4	チャネル保護膜	
6 3 5	ソース電極	
6 3 6	ドレイン電極	
6 3 7	絶縁膜	40
6 4 0	トランジスタ	
6 4 1	ゲート電極	
6 4 2	ゲート絶縁膜	
6 4 3	ソース電極	
6 4 4	ドレイン電極	
6 4 5	酸化物半導体膜	
6 4 6	絶縁膜	
6 5 0	トランジスタ	
6 5 1	ソース電極	
6 5 2	ドレイン電極	50

6 5 3	酸化物半導体膜	
6 5 4	ゲート絶縁膜	
6 5 5	ゲート電極	
6 5 6	絶縁膜	
6 6 0	半導体基板	
6 6 1	nチャネル型トランジスタ	
6 6 2	pチャネル型トランジスタ	
6 6 3	絶縁膜	
6 6 4	トランジスタ	
6 6 5	容量素子	10
6 6 6	素子分離用絶縁膜	
7 0 1	ゲート電極	
7 0 2	ゲート電極	
7 0 3	ゲート絶縁膜	
7 3 0	酸化物半導体膜	
7 3 1	酸化物半導体膜	
7 3 2	酸化物半導体膜	
7 3 3	酸化物半導体膜	
7 3 4	酸化物半導体膜	
7 3 5	酸化物半導体膜	20
7 3 6	酸化物半導体膜	
9 0 0	基板	
9 0 1	A L U	
9 0 2	A L U C o n t r o l l e r	
9 0 3	I n s t r u c t i o n D e c o d e r	
9 0 4	I n t e r r u p t C o n t r o l l e r	
9 0 5	T i m i n g C o n t r o l l e r	
9 0 6	R e g i s t e r	
9 0 7	R e g i s t e r C o n t r o l l e r	
9 0 8	B u s I / F	30
9 0 9	R O M	
9 2 0	R O M I / F	
1 3 0 0	レジスタ	
1 3 0 1	インバータ	
1 3 0 2	インバータ	
1 3 0 3	スイッチング素子	
1 3 0 4	スイッチング素子	
1 3 1 0	pチャネル型トランジスタ	
1 3 1 1	nチャネル型トランジスタ	
1 3 1 2	pチャネル型トランジスタ	40
1 3 1 3	nチャネル型トランジスタ	
7 0 0 1	筐体	
7 0 0 2	表示部	
7 0 1 1	筐体	
7 0 1 2	表示部	
7 0 1 3	支持台	
7 0 2 1	筐体	
7 0 2 2	表示部	
7 0 3 1	筐体	
7 0 3 2	筐体	50

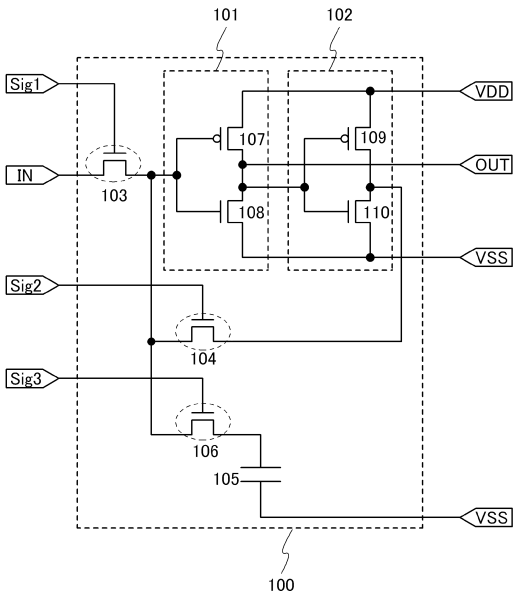
- 7 0 3 3 表示部
- 7 0 3 4 表示部
- 7 0 3 5 マイクロホン
- 7 0 3 6 スピーカー
- 7 0 3 7 操作キー
- 7 0 3 8 スタイラス
- 7 0 4 1 筐体
- 7 0 4 2 表示部
- 7 0 4 3 音声入力部
- 7 0 4 4 音声出力部
- 7 0 4 5 操作キー
- 7 0 4 6 受光部
- 7 0 5 1 筐体
- 7 0 5 2 表示部
- 7 0 5 3 操作キー

【 図 面 】

【 図 1 】



【 図 2 】



10

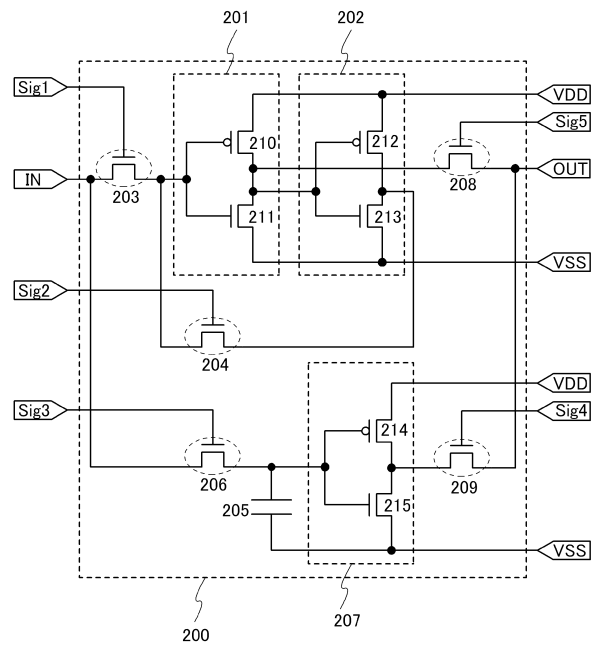
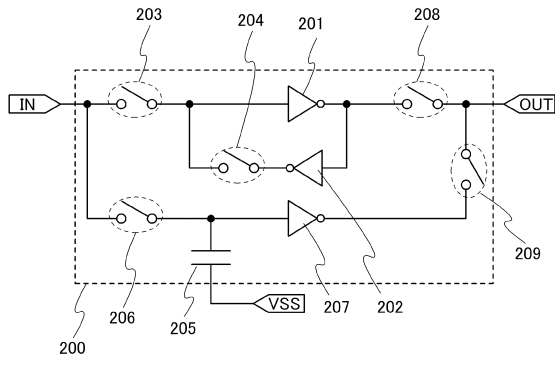
20

30

40

50

【 図 4 】

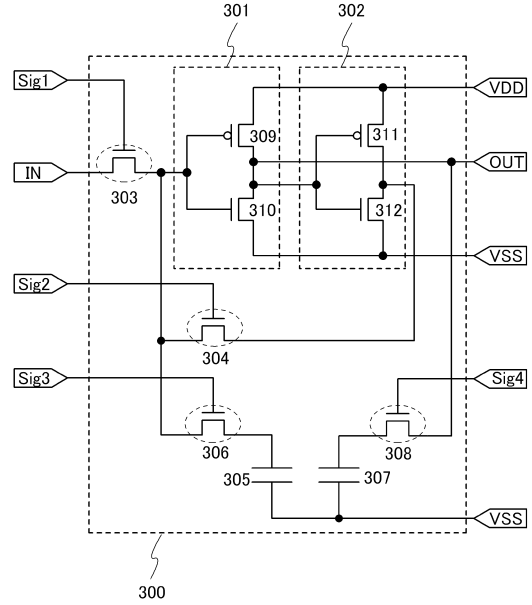
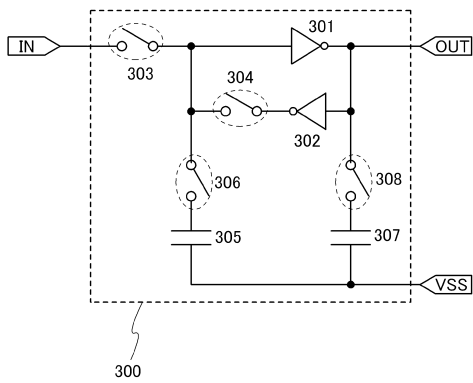


10

20

【 図 5 】

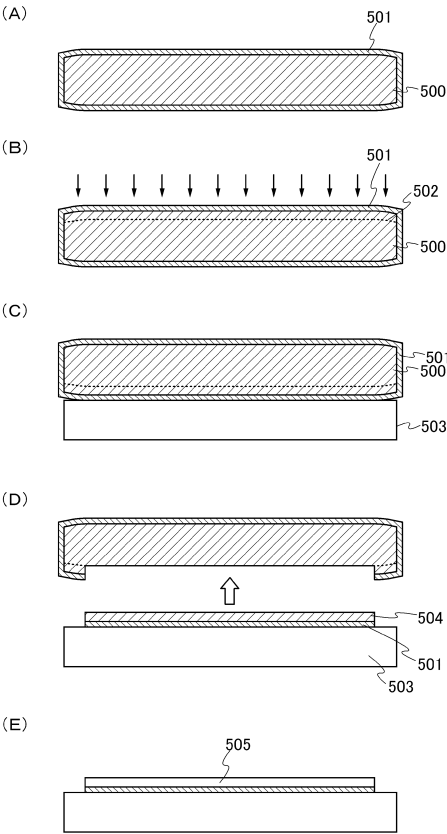
【 図 6 】



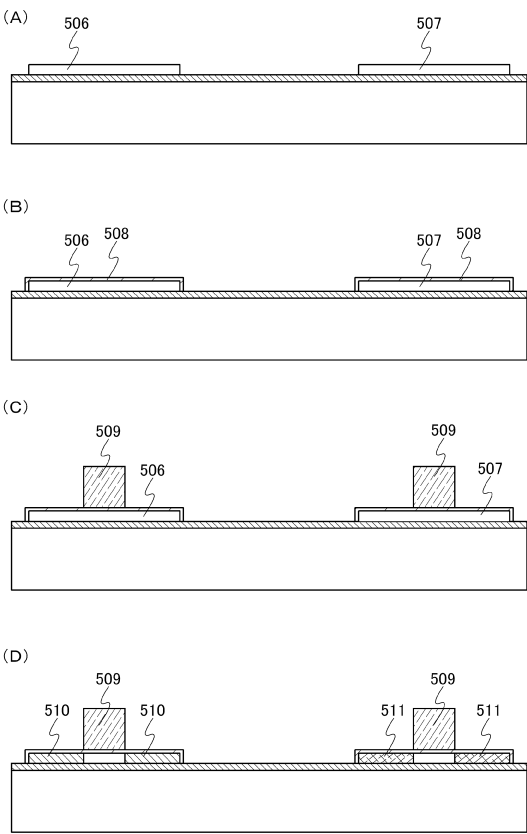
30

40

【図 7】



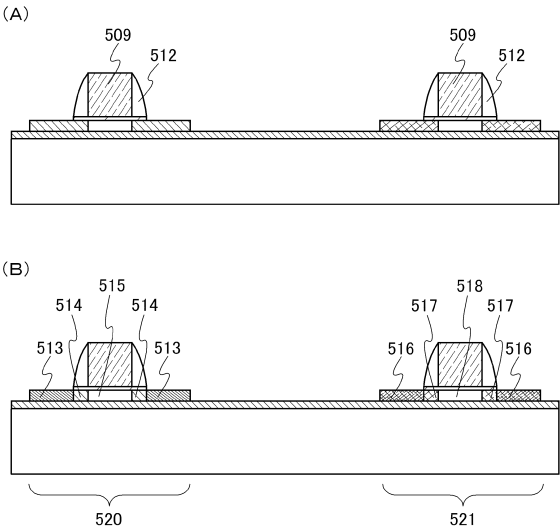
【図 8】



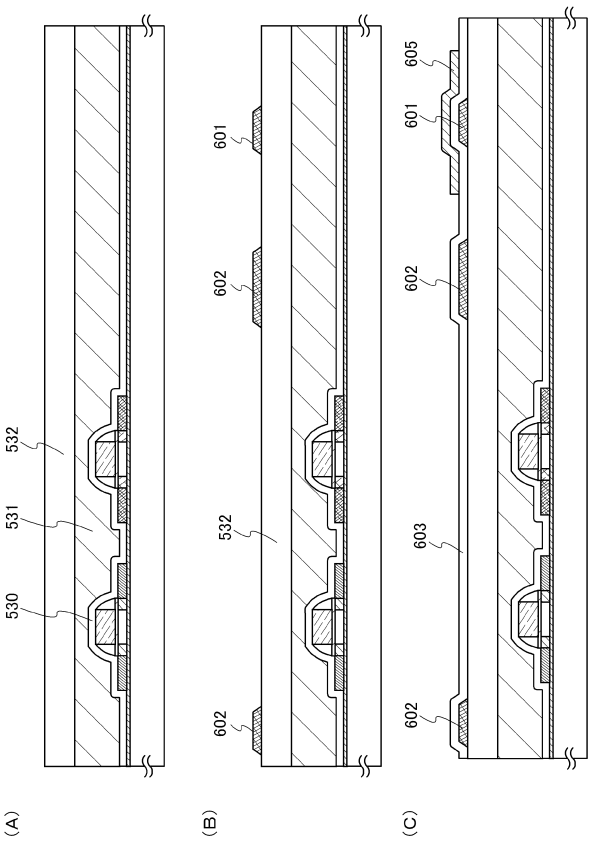
10

20

【図 9】



【図 10】

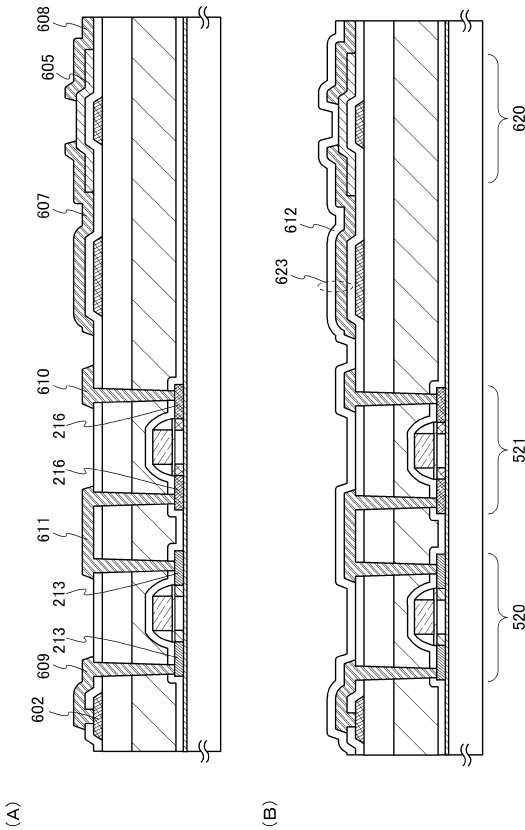


30

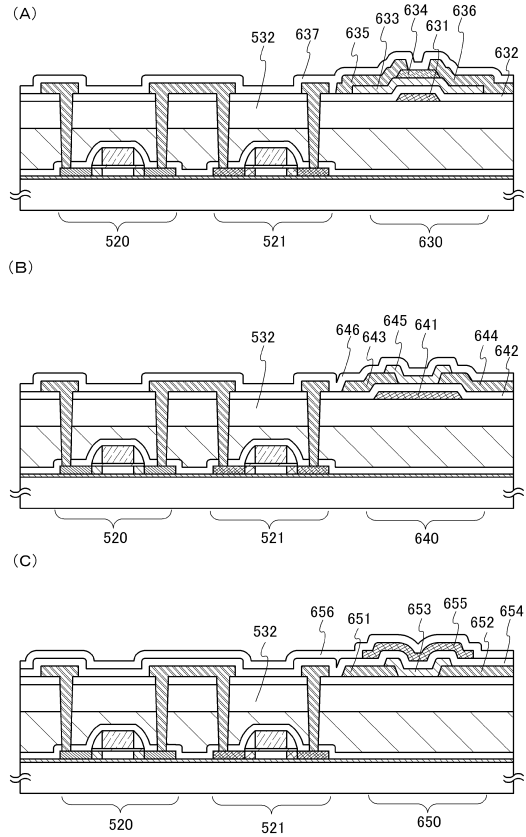
40

50

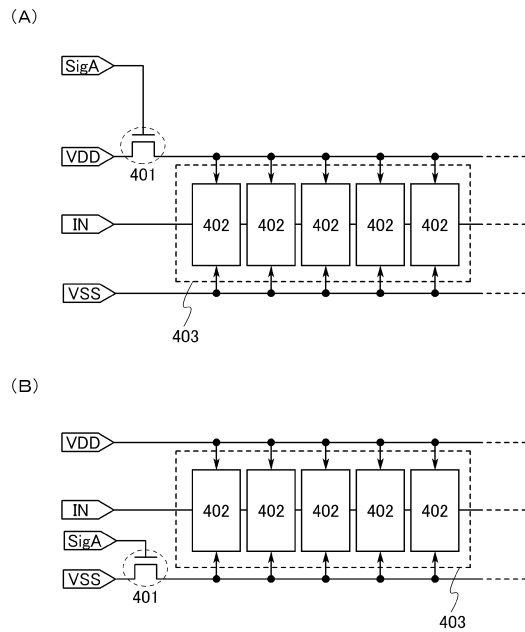
【図 1 1】



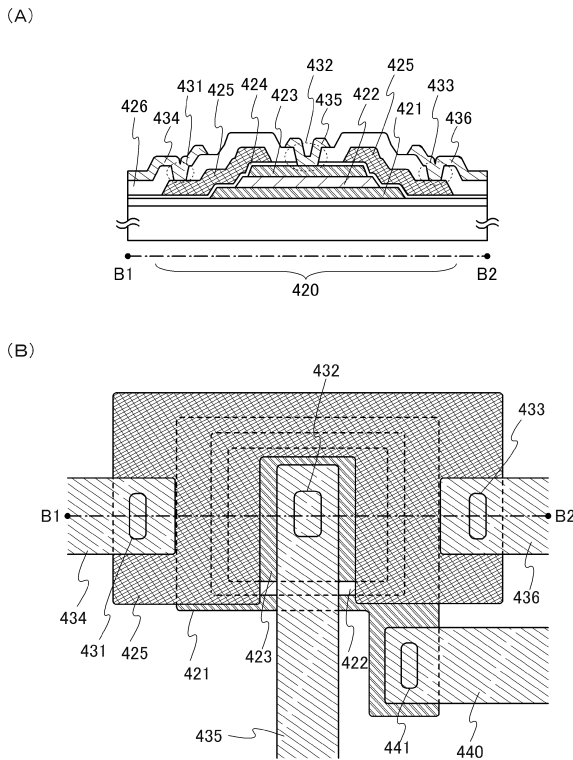
【図 1 2】



【図 1 3】



【図 1 4】



10

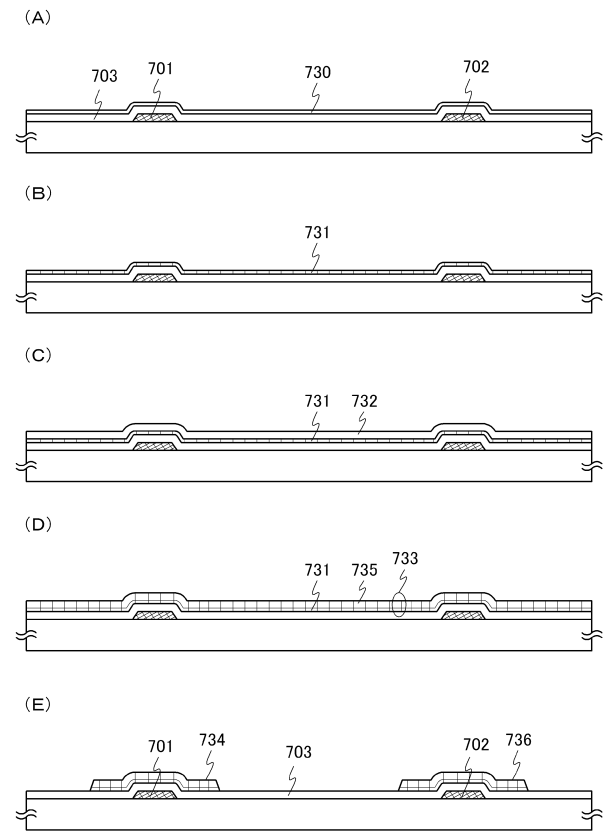
20

30

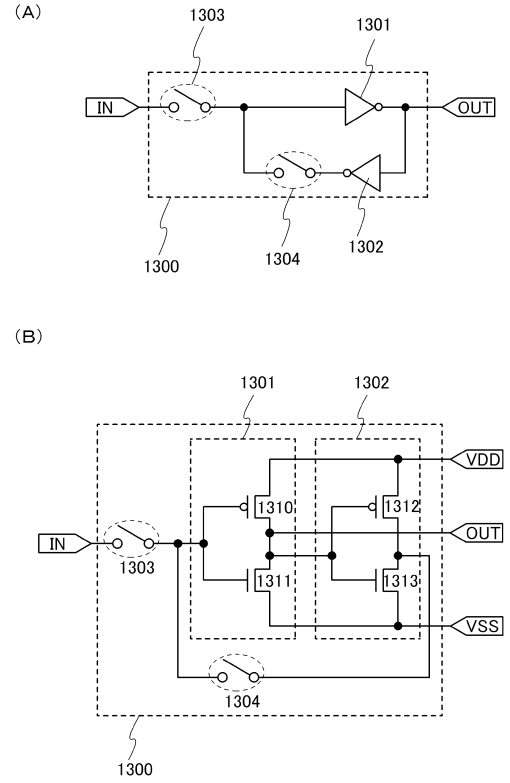
40

50

【図 1 5】



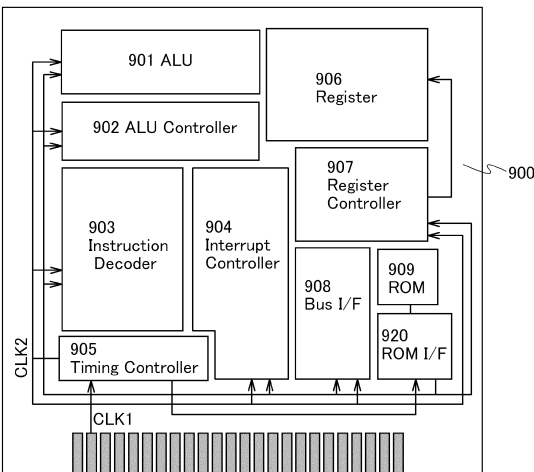
【図 1 6】



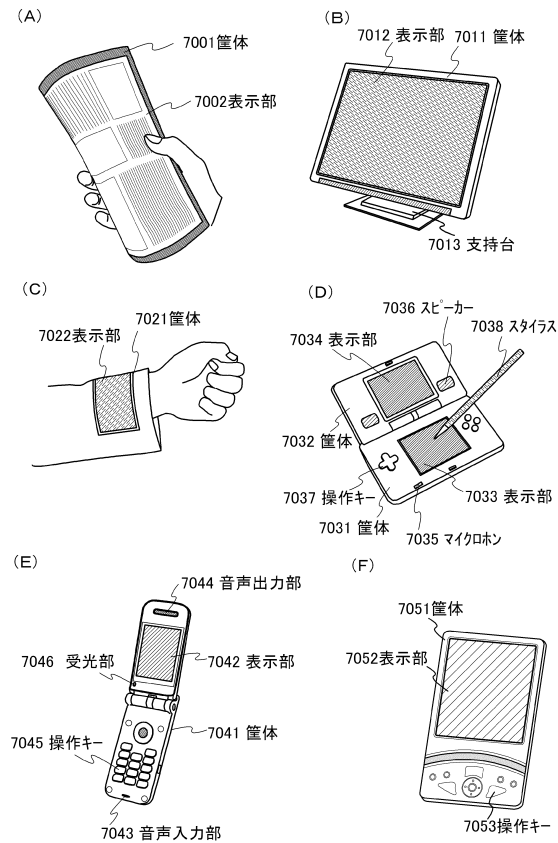
10

20

【図 1 7】



【図 1 8】

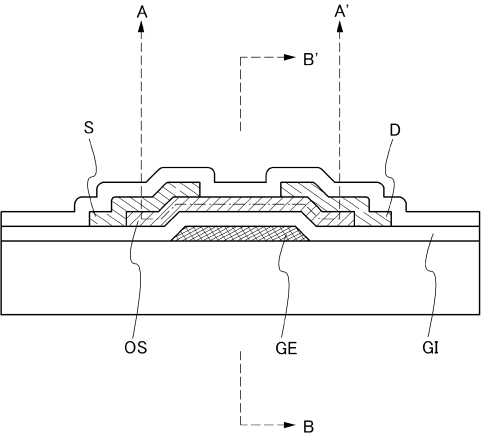


30

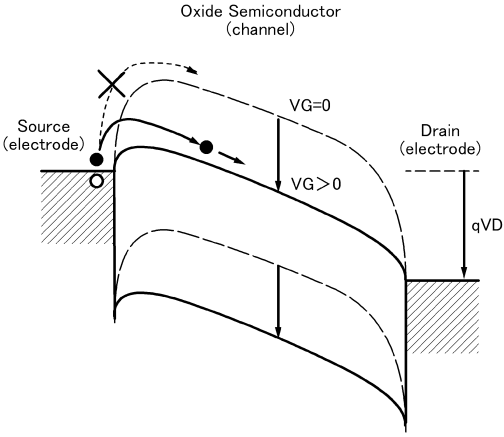
40

50

【図 19】

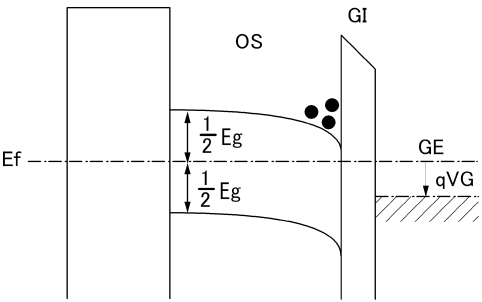


【図 20】

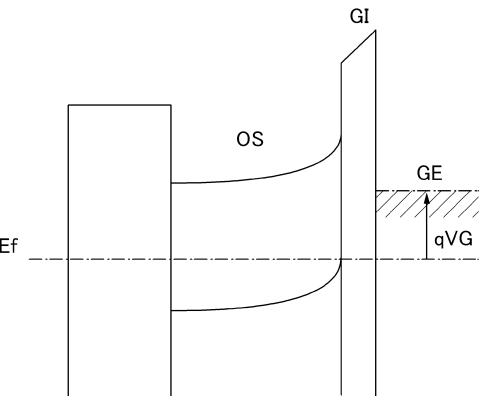


10

【図 21】

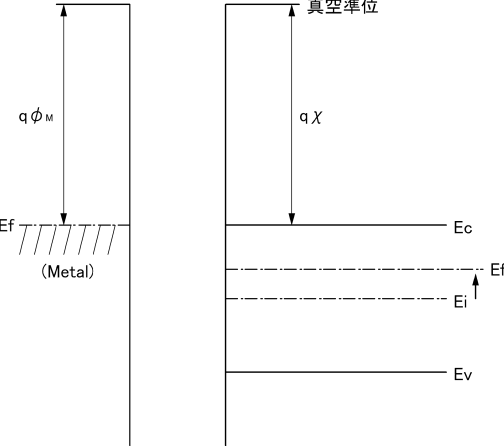


(A) B-B'断面エネルギーバンド図 (VG>0)



(B) B-B'断面エネルギーバンド図 (VG<0)

【図 22】



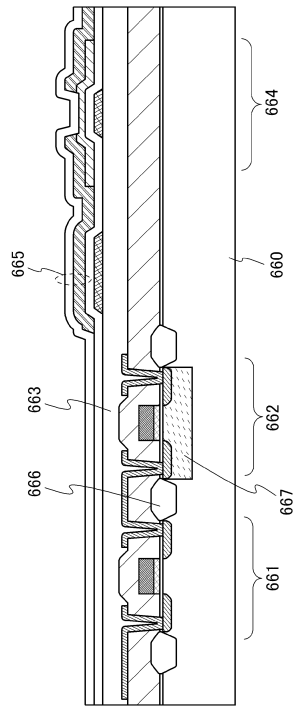
20

30

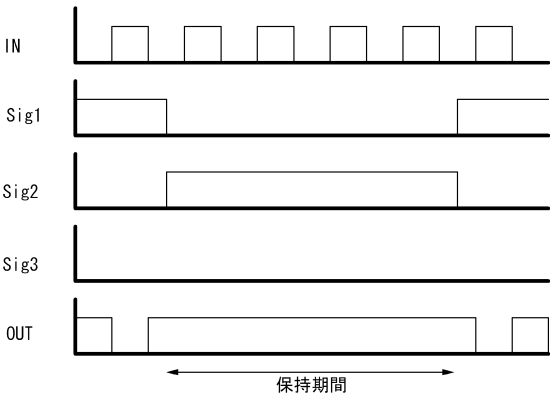
40

50

【図 2 3】



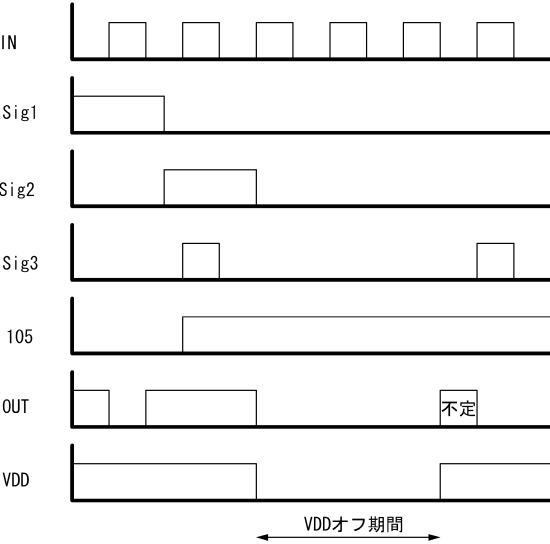
【図 2 4】



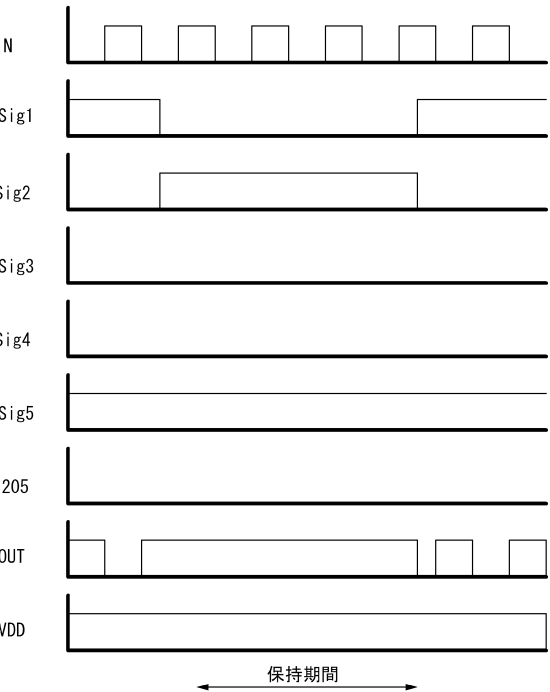
10

20

【図 2 5】



【図 2 6】

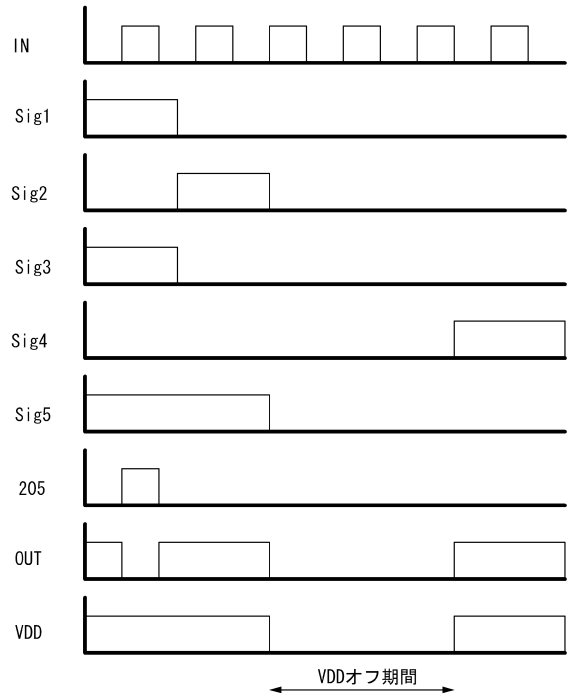


30

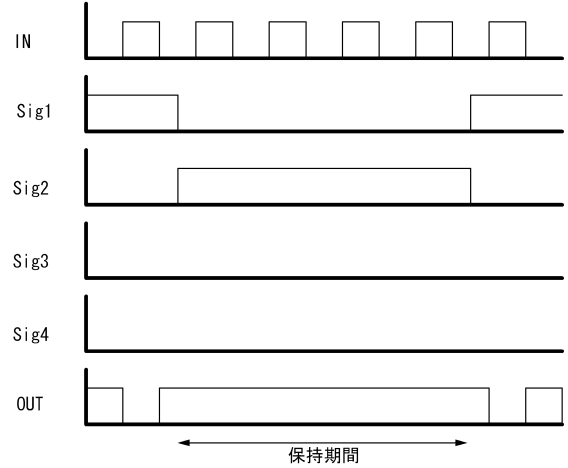
40

50

【図 2 7】



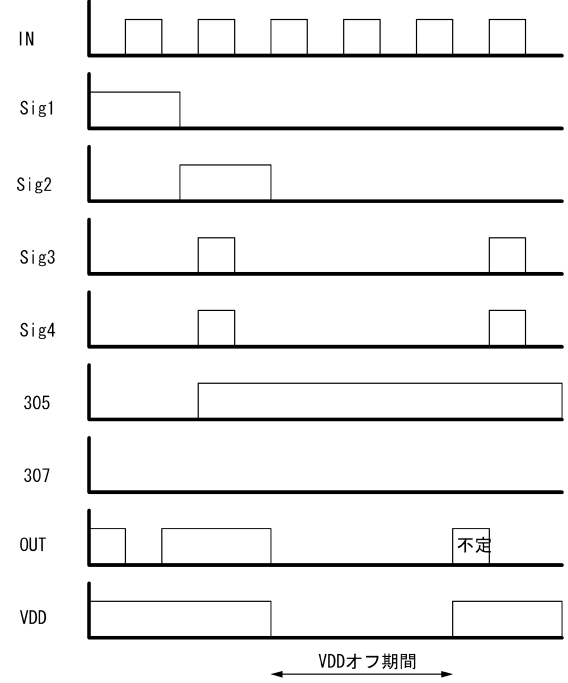
【図 2 8】



10

20

【図 2 9】



30

40

50

フロントページの続き

(51)国際特許分類

F I		
H 1 0 B	12/00	6 7 1 Z
H 1 0 B	12/00	8 0 1
H 1 0 B	99/00	4 4 1