

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-247405
(P2004-247405A)

(43) 公開日 平成16年9月2日(2004.9.2)

(51) Int. Cl.⁷

H01L 27/00
H01L 27/12
H01L 27/146
H01L 27/15
H01L 29/786

F I

H01L 27/00 301C
H01L 27/12 B
H01L 27/15 T
H01L 31/12 D
H01L 29/78 613Z

テーマコード(参考)

4M118
5F089
5F110

審査請求 未請求 請求項の数 10 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2003-33833 (P2003-33833)
(22) 出願日 平成15年2月12日(2003.2.12)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 加藤 清
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 高山 徹
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 丸山 純矢
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 後藤 裕吾
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
最終頁に続く

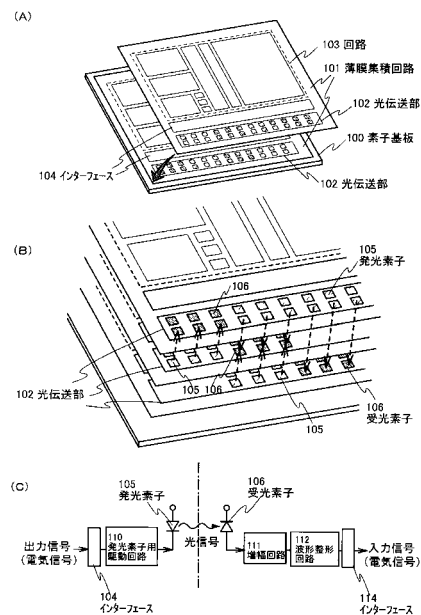
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】安価なガラス基板を用い、情報量の増加に対応でき、なおかつ高性能で高速動作が可能な集積回路を有する半導体装置の提供を課題とする。

【解決手段】異なる基板上に形成された半導体素子を転写することで積層された半導体素子を有する半導体装置であって、積層された半導体素子の間には、樹脂で形成された膜と、部分的に設けられた金属酸化物が存在し、積層された半導体素子の1つに電気的に接続された発光素子において、第1の電気信号を光信号に変換し、積層された半導体素子の異なる1つに電気的に接続された受光素子において、光信号を第2の電気信号に変換することを特徴とする半導体装置。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

積層された半導体素子を有する半導体装置であって、
前記積層された半導体素子の間に樹脂で形成された膜が存在し、
前記積層された半導体素子どうしの信号の送受は、各半導体素子に電氣的に接続された発
光素子または受光素子を用いて行なわれることを特徴とする半導体装置。

【請求項 2】

積層された半導体素子を有する半導体装置であって、
前記積層された半導体素子の間には、樹脂で形成された膜と、部分的に設けられた金属酸
化物が存在し、
前記積層された半導体素子どうしの信号の送受は、各半導体素子に電氣的に接続された発
光素子または受光素子を用いて行なわれることを特徴とする半導体装置。

10

【請求項 3】

積層された半導体素子を有する半導体装置であって、
前記積層された半導体素子の間に樹脂で形成された膜が存在し、
前記積層された半導体素子の 1 つに電氣的に接続された発光素子において、第 1 の電気信
号を光信号に変換し、前記積層された半導体素子の異なる 1 つに電氣的に接続された受光
素子において、前記光信号を第 2 の電気信号に変換することを特徴とする半導体装置。

【請求項 4】

積層された半導体素子を有する半導体装置であって、
前記積層された半導体素子の間には、樹脂で形成された膜と、部分的に設けられた金属酸
化物が存在し、
前記積層された半導体素子の 1 つに電氣的に接続された発光素子において、第 1 の電気信
号を光信号に変換し、前記積層された半導体素子の異なる 1 つに電氣的に接続された受光
素子において、前記光信号を第 2 の電気信号に変換することを特徴とする半導体装置。

20

【請求項 5】

異なる基板上に形成された半導体素子を転写することで積層された半導体素子を有する半
導体装置であって、
前記積層された半導体素子の間に樹脂で形成された膜が存在し、
前記積層された半導体素子の 1 つに電氣的に接続された発光素子において、第 1 の電気信
号を光信号に変換し、前記積層された半導体素子の異なる 1 つに電氣的に接続された受光
素子において、前記光信号を第 2 の電気信号に変換することを特徴とする半導体装置。

30

【請求項 6】

異なる基板上に形成された半導体素子を転写することで積層された半導体素子を有する半
導体装置であって、
前記積層された半導体素子の間には、樹脂で形成された膜と、部分的に設けられた金属酸
化物が存在し、
前記積層された半導体素子の 1 つに電氣的に接続された発光素子において、第 1 の電気信
号を光信号に変換し、前記積層された半導体素子の異なる 1 つに電氣的に接続された受光
素子において、前記光信号を第 2 の電気信号に変換することを特徴とする半導体装置。

40

【請求項 7】

複数の基板上にそれぞれ形成された複数の半導体素子を剥離し、素子基板上に積層するこ
とで形成される半導体装置であって、
前記積層された複数の半導体素子の間に樹脂で形成された膜が存在し、
前記複数の半導体素子の 1 つに電氣的に接続された発光素子において、第 1 の電気信号を
光信号に変換し、前記複数の半導体素子の異なる 1 つに電氣的に接続された受光素子にお
いて、前記光信号を第 2 の電気信号に変換することを特徴とする半導体装置。

【請求項 8】

複数の基板上にそれぞれ形成された複数の半導体素子を剥離し、素子基板上に積層するこ
とで形成される半導体装置であって、

50

前記積層された複数の半導体素子の間には、樹脂で形成された膜と、部分的に設けられた金属酸化物が存在し、

前記複数の半導体素子の1つに電氣的に接続された発光素子において、第1の電気信号を光信号に変換し、前記複数の半導体素子の異なる1つに電氣的に接続された受光素子において、前記光信号を第2の電気信号に変換することを特徴とする半導体装置。

【請求項9】

複数の薄膜集積回路が積層された半導体装置であって、

前記積層された薄膜集積回路どうしは樹脂で接着されており、

前記積層された薄膜集積回路の1つに電氣的に接続された発光素子において、第1の電気信号を光信号に変換し、前記積層された薄膜集積回路の異なる1つに電氣的に接続された受光素子において、前記光信号を第2の電気信号に変換することを特徴とする半導体装置

10

【請求項10】

複数の薄膜集積回路が積層された半導体装置であって、

前記積層された薄膜集積回路どうしは樹脂で接着されており、

前記積層された各薄膜集積回路の一方の面には部分的に設けられた金属酸化物が存在し、前記積層された薄膜集積回路の1つに電氣的に接続された発光素子において、第1の電気信号を光信号に変換し、前記積層された薄膜集積回路の異なる1つに電氣的に接続された受光素子において、前記光信号を第2の電気信号に変換することを特徴とする半導体装置

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ガラス基板上に形成された結晶構造を有する半導体膜を用いた集積回路（薄膜集積回路）に係り、該薄膜集積回路内における信号の伝達を、光インターコネクションにより行なう薄膜集積回路及び該薄膜集積回路を用いた半導体装置に関する。

【0002】

【従来技術】

微細化の最小寸法がサブミクロン領域に近づくにつれて、LSIの高集積化に歯止めがかかりつつある。高集積化が不十分だと、配線抵抗が抑えられないため、信号の遅延や波形の乱れ、信号の伝送量の低下を引き起こし、集積回路の情報処理能力が制限される。また、配線の長距離化に伴い配線間の寄生容量が増大すると、配線への充放電エネルギーが増加するため、消費電力が抑えられないという問題もある。

30

【0003】

そこで更なる高集積化を進めるために、三次元集積回路に関する技術が注目されている。三次元集積回路は、層間絶縁膜を間に挟んで半導体素子を階層的に積み上げていく技術であり、集積回路の飛躍的な高集積化、配線長の短縮による高速化、多機能化を実現しようとするものである。

【0004】

三次元集積回路を形成するには、各層に形成された半導体素子どうしを電氣的に接続する必要がある。各層間の半導体素子の電氣的な接続は、ワイヤボンディング法や、フリップチップ法などを用いて行なうことができる。また、各層を隔てている層間絶縁膜にピアホールを形成し、電氣的な接続を行なうこともできる。また、発光素子を用いて電気信号を光信号に変換して、光伝送により接続を行なう、所謂光インターコネクションを用いることも可能である。

40

【0005】

下記、特許文献1に、光信号を用いてCPU、メモリーコントローラと、メモリー間のデータの伝送を行なう技術について開示されている。

【0006】

【特許文献1】

50

特開 2000 - 58882 号公報

【0007】

特許文献 1 に記載されているように、光信号を用いてデータの伝送を行なうことで、配線抵抗に起因するスキューや、不要な電波輻射の低減を図ることができる。

【0008】

【発明が解決しようとする課題】

上述したように、集積回路の三次元化は、さらなる高集積化を実現するにあたって重要な技術であるが、半導体装置の処理する情報量のさらなる増加に対応するために積層数を増やすと、各層間の接続が困難になるという問題点があった。

【0009】

例えばワイヤボンディング法の場合、近隣の層を金属細線で接続するのは容易だが、接続する 2 つの層が離れると、接続に用いる金属細線の形成を阻害しないように、間に存在する層の形状を制限する必要がある。そのため、多層化が進み、接続する 2 つの層の間に存在する層の数が増えると、金属細線を用いての接続は難しくなる。また金属細線は、通常各層のエッジ近傍においてボンディングするため、金属細線を接続するエリアが限られ、各層の端子数に制限が生じる。

【0010】

フリップチップ法の場合、電氣的な接続に用いるエリアに限定がないため、ワイヤボンディング法に比べて各層の端子数を比較的多く設けることができる。しかしワイヤボンディング法と同様に、近隣の層を接続するのに適しているが、接続する 2 つの層が離れていると、ソルダーボールによる接続を阻害しないように、間に存在する層の形状を制限する必要があり、多層化に適さない。

【0011】

また層間絶縁膜にビアホールを形成して接続する場合も、接続する 2 つの層が離れていると、間に存在する全ての層を貫通するビアホールを形成する必要がある。ビアホールは、貫通する層が厚くなればなるほど、その口径を大きくする必要があり、却って配線の高集積化の妨げとなるため好ましくない。

【0012】

光伝送を用いる場合は、上述した他の場合と異なり、多層化によって接続するべき 2 つの層が離れていたとしても、光ファイバー等の光学系を用いることで、他の層の形状を制限せずとも層間の接続を行なうことができる。しかし、一般的に光ファイバーは高価であり、集積回路を用いた半導体装置のコストという観点からすると、用いるのにはあまり好ましい部材とは言えない。

【0013】

また 1 つの基板上に、複数の層からなる薄膜集積回路を連続して形成すれば、光ファイバー等の光学系を用いずに光伝送を容易に行なうことができる。しかし、上層の半導体素子に用いる半導体膜を結晶化する際、下層の半導体素子の耐熱温度以下で行なうという制限があり、プロセス上の制約が多く、より高い特性の薄膜集積回路を形成するのが難しい。

【0014】

本発明は上述した問題に鑑み、安価なガラス基板を用い、情報量の増加に対応でき、なおかつ高性能で高速動作が可能な集積回路を有する半導体装置の提供を課題とする。

【0015】

【課題を解決するための手段】

本発明では上記課題を解決するために、耐熱性を有する基板に成膜した薄膜の半導体膜を用いて薄膜集積回路を作製し、該薄膜集積回路を別途用意した基板上に転写する。この転写を繰り返すことで、複数の薄膜集積回路を積層し、三次元化を図る。転写前の薄膜集積回路を形成するための基板は、半導体素子の作製工程における熱処理に耐え得る程度の耐熱性を有していれば良い。

【0016】

そして各層の薄膜集積回路（以下、薄膜チップと呼ぶ）どうしの接続は、光信号を用いた

10

20

30

40

50

所謂光インターコネクションで行なう。つまり、積層された薄膜チップの、上段の回路の出力側に発光素子を設け、該発光素子と対向するように、後段の回路の入力側に受光素子を形成する。そして上段の回路から出力された電気信号を発光素子において光信号に変換し、該光信号を受けた受光素子が電気信号に変換し、後段の回路に入力する。

【0017】

薄膜チップの転写は、基板と薄膜集積回路の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して薄膜集積回路を剥離し、転写する方法、基板と薄膜集積回路の間に水素を含む非晶質珪素膜を設け、レーザ光の照射またはエッチングにより該非晶質珪素膜を除去することで基板と薄膜集積回路とを剥離し、転写する方法、薄膜集積回路が形成された基板を機械的に削除または溶液やガスによるエッチングで除去することで薄膜集積回路を基板から切り離し、転写する方法等、様々な方法を用いることができる。

10

【0018】

例えば、金属酸化膜を用いた転写は、以下の手法に従って行なうことができる。

【0019】

まず半導体素子の作製工程における熱処理に、耐え得るような耐熱性を有する第1の基板を用意する。そして該第1の基板上に金属膜を成膜し、該金属膜の表面を酸化することで数nmの極薄い金属酸化膜を成膜する。次に該金属酸化膜上に絶縁膜、半導体膜を順に積層するように成膜する。絶縁膜は単層であっても、複数の膜を積層したものであっても良い。例えば窒化珪素、窒化酸化珪素、酸化珪素などを用いることができる。そして該半導体膜を用いて、薄膜集積回路に用いられる半導体素子を作製する。

20

【0020】

半導体素子を形成したら、該半導体素子を覆うように第2の基板を貼り合わせ、第1の基板と第2の基板の間に半導体素子が挟まれた状態を作る。なお、薄膜集積回路と並行して表示装置を形成する場合は、表示素子を完成させる前に、第2の基板を貼り合わせる。例えば表示素子として液晶セルを用いる場合は、半導体素子の一つである薄膜トランジスタ(TFT)に電気的に接続された液晶セルの画素電極や、該画素電極を覆っている配向膜を作製した後、対向電極が形成された対向基板を貼り合わせる前に行なう。

【0021】

そして第1の基板の半導体素子が形成されている側とは反対の側に、第1の基板の剛性を補強するために第3の基板を貼り合わせる。第2の基板よりも第1の基板の剛性が高いほうが、第1の基板を引き剥がす際に、半導体素子に損傷が与えられにくくスムーズに剥がすことができる。ただし第3の基板は、後に第1の基板を半導体素子から引き剥がす際に、第1の基板の剛性が十分であれば、必ずしも貼り合わせる必要はない。

30

【0022】

次に、加熱処理等を施すことで金属酸化膜を結晶化し、金属酸化膜の脆性を高め、第1の基板を半導体素子から剥離しやすくする。そして第1の基板を第3の基板と共に、半導体素子から引き剥がす。なお、金属酸化膜を結晶化するための加熱処理は、第3の基板を貼り合わせる前であってもよいし、第2の基板を貼り合わせる前であってもよい。或いは、半導体素子を形成する工程において行なわれる熱処理が、この金属酸化膜の結晶化の工程を兼ねていても良い。

40

【0023】

そして第1の基板を第3の基板と共に、半導体素子から引き剥がす。この引き剥がしによって、金属膜と金属酸化膜の間で分離する部分と、絶縁膜と金属酸化膜の間で分離する部分と、金属酸化膜自体が双方に分離する部分とが生じる。いずれにしても、半導体素子は第2の基板側に貼り付くように、第1の基板から引き剥がされる。

【0024】

次に、第1の基板が剥離されることで、第2の基板側に貼り付いた状態の半導体素子を、半導体装置を形成するための基板(以下、素子基板と呼ぶ)に接着剤等で貼り合わせる。そして、第2の基板を剥離し、半導体素子が素子基板に転写された状態にする。該素子基板に固定された半導体素子によって、1つの薄膜チップが形成される。該薄膜チップと他

50

のチップとの接続を行なうための受光素子及び発光素子は、予め素子基板上に形成しておいてもよいし、薄膜チップを貼り合わせた後に形成しても良い。また既製の発光素子または受光素子を貼り付けて、薄膜チップに電氣的に接続するようにしても良い。

【0025】

そして同様に、別途用意した基板上に、次層の薄膜チップを構成する薄膜集積回路を形成し、既に転写されている薄膜チップに重ねるように、再び転写する。このように転写を繰り返すことで、薄膜チップを素子基板上に積層することができる。このとき、各薄膜チップ間に樹脂等で層間絶縁膜を形成しても良い。また転写の際に用いる接着剤を層間絶縁膜の代わりに用いても良い。

【0026】

薄膜チップと共に表示装置を転写する場合は、転写した後に表示素子を作製する。転写後に発光素子を作製する場合も同様である。例えば液晶表示装置の場合、具体的には、対向電極、第2の偏光板等が形成されたプラスチック基板（以下、対向基板と呼ぶ）を別途作製しておき、該対向基板を貼り合わせて液晶を注入し、液晶セルを完成させる。なお対向基板には、対向電極、第2の偏光板のみならず、カラーフィルタ、配向膜、ブラックマトリクス等を作製しておいても良い。

【0027】

本発明では、1層の薄膜チップの厚さをトータルの膜厚5 μ m、より望ましくは2 μ m以下とすることができる。

【0028】

このように本発明では各層の薄膜チップを別個に作製することができるので、下層の半導体素子の耐熱性を考慮して上層の半導体素子のプロセスに制約がかかることがなく、より特性の優れた半導体素子を形成することができる。

【0029】

また、ガラス基板上の薄膜の半導体膜で形成された集積回路（以下、薄膜集積回路と呼ぶ）を重ね合わせて三次元化する場合とは異なり、各層の薄膜チップが、ガラス基板などを間に挟まずに、密接するように積層することができるので、ガラス基板による光の拡散を考慮する必要がない。また発光素子と受光素子の間の距離を短くすることができるので、発光素子の光の指向性が劣っていたとしても、ある程度それをカバーすることができる。

【0030】

なお、素子基板に可撓性を有するプラスチック基板を用いることができる。プラスチック基板としては、極性基のついたノルボルネン樹脂からなるARTON：JSR製を用いることができる。また、ポリエチレンテレフタレート（PET）、ポリエーテルスルホン（PES）、ポリエチレンナフタレート（PEN）、ポリカーボネート（PC）、ナイロン、ポリエーテルエーテルケトン（PEEK）、ポリスルホン（PSF）、ポリエーテルイミド（PEI）、ポリアリレート（PAR）、ポリブチレンテレフタレート（PBT）、ポリイミドなどのプラスチック基板を用いることができる。

【0031】

可撓性を有するプラスチック基板を用いることで、ガラス基板と比較して振動、衝撃に対する機械的強度に優れ、なおかつ軽量化された薄膜集積回路を作製することができ、また薄膜集積回路の厚さを抑えやすい。また素子基板が可撓性を有しているため、薄膜集積回路の形状の自由度が高まる。よって例えば、円柱状のピンなどに貼り付けられるような、曲面を有する形状に薄膜集積回路を形成することも可能である。

【0032】

そして本発明の薄膜集積回路を半導体装置に用いることで、集積回路に用いるスペースをより広く確保することができ、半導体装置の軽量化または小型化を妨げることなく高機能化を実現することができる。特に携帯用の半導体装置の場合、軽量化、小型化することで使い勝手が飛躍的に向上するため、本発明の薄膜集積回路を用いることは非常に有用である。

【0033】

10

20

30

40

50

そして、光インターコネクションを用いることで、配線抵抗に起因するスキューや不要な電波輻射の影響を低減しながら、薄膜チップ間でデータの伝送を行うことができる。また、電気信号から光信号へ変換し、光信号から再び電気信号へ変換する過程において、最終的に得られる電気信号の振幅を自由に制御することができる。

【0034】

また、一つの発光素子の信号を複数の受光素子で受光することができるので、一つの薄膜チップから同時に複数の他の薄膜チップへ信号を伝送することができ、非常に高速な光バスを形成することができる。

【0035】

そして単結晶のシリコンウェハとは異なり、各薄膜チップは光を透過するので、光ファイバーなどの特殊な光学系を用いずとも、3層以上の薄膜チップ間の信号の伝送を比較的容易に行なうことが可能である。なお、ガラス基板上に形成されたTFTは単結晶トランジスタに比べて動作速度が劣っている。しかし、薄膜チップ間の信号の伝送に光信号を用いることで、薄膜チップ間を伝送する信号のバス幅を大きく取ることができ、複数の薄膜チップ上の回路で効率の良い並列動作をさせることが可能になるので、ガラス基板上に形成されたTFTの動作速度の低さをカバーすることが可能である。

【0036】

また、単結晶のシリコンウェハの場合に比べてガラス基板上に形成された回路の集積度が低くても、基板間の信号の伝送に光信号を用いることで複数の薄膜チップを積層することができ、薄膜集積回路が水平方向に嵩張るのを防ぐことができる。さらに配線の長距離化を防ぐことができ、配線容量に起因する消費電力の増加を抑えられる。

【0037】

また、各薄膜チップごとにプロセスを容易に変更することができる。よって、1枚の基板上に全ての回路を同時に形成する場合とは異なり、各層の薄膜チップに求められる特性に合わせたプロセスを選択することができる。また、安価なガラス基板を用いることでコストを抑えることができる。

【0038】

そして、別途作製された薄膜チップを組み合わせて1つの集積回路を構成するので、1つの基板上に同時に集積回路を形成する場合に比べて、歩留りを高めることができる。また、薄膜チップ間の信号の伝送に光信号を用いることで、回路間を電氣的に接続するためのFPC等の端子の数を抑えることができ、機械的強度における信頼性を高めることができる。さらに、処理する信号の情報量が増加しても、端子の部分における接点不良の発生による歩留りの低下を抑えることができる。

【0039】

そして、光信号の送受を行なう発光素子及び受光素子は、FPCの端子と異なり必ずしも基板の端部に配置する必要がないので、レイアウト上の制約が小さくなり、処理する情報量のさらなる増加に対応しやすい。

【0040】

このように本発明は、高性能で高速動作が可能な集積回路を有する半導体装置の提供を可能とする。

【0041】

【発明の実施の形態】

次に、本発明の薄膜集積回路に用いられる半導体素子の具体的な作製方法、及び該半導体素子の素子基板への貼り合わせ(転写)方法について説明する。なお本実施の形態では、半導体素子として2つのTFTを例に挙げて説明するが、薄膜集積回路に含まれる半導体素子はこれに限定されず、あらゆる回路素子を用いることができる。例えば、TFTの他に、記憶素子(メモリ)、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタなどが代表的に挙げられる。

【0042】

まず図1(A)に示すように、スパッタ法を用いて第1の基板500上に金属膜501を

10

20

30

40

50

成膜する。ここでは金属膜501にタングステンを用い、膜厚を10nm~200nm、好ましくは50nm~75nmとする。なお本実施の形態では第1の基板500上に直接金属膜501を成膜するが、例えば酸化珪素、窒化珪素、窒化酸化珪素等の絶縁膜で第1の基板500を覆ってから、金属膜501を成膜するようにしても良い。

【0043】

そして金属膜501の成膜後、大気に曝すことなく酸化物膜502を積層するように成膜する。ここでは酸化物膜502として酸化珪素膜を膜厚150nm~300nmとなるように成膜する。なお、スパッタ法を用いる場合、第1の基板500の端面にも成膜が施される。そのため、後の工程における剥離の際に、酸化物膜502が第1の基板500側に残ってしまうのを防ぐために、端面に成膜された金属膜501と酸化物膜502とをO₂アッシングなどで選択的に除去したり、第1の基板500の端部をダイシング等でカットすることが好ましい。

【0044】

また酸化物膜502の成膜の際に、スパッタの前段階としてターゲットと基板との間をシャッターで遮断してプラズマを発生させる、プレスパッタを行う。プレスパッタはArを10sccm、O₂をそれぞれ30sccmの流量とし、第1の基板500の温度を270、成膜パワーを3kWの平行状態に保って行なう。プレスパッタにより、金属膜501と酸化物膜502の間に極薄い数nm(ここでは3nm)程度の金属酸化膜503が形成される。金属酸化膜503は、金属膜501の表面が酸化することで形成される。よって本実施の形態では、金属酸化膜503は酸化タングステンで形成される。

【0045】

なお本実施の形態では、プレスパッタにより金属酸化膜503を形成しているが、本発明はこれに限定されない。例えば酸素、または酸素にAr等の不活性ガスを添加し、プラズマにより意図的に金属膜501の表面を酸化し、金属酸化膜503を形成するようにしても良い。

【0046】

次に酸化物膜502を成膜した後、PCVD法を用いて下地膜504を成膜する。ここでは下地膜504として、酸化窒化珪素膜を膜厚100nm程度となるように成膜する。そして下地膜504を成膜した後、大気に曝さずに半導体膜505を形成する。半導体膜505の膜厚は25~100nm(好ましくは30~60nm)とする。なお半導体膜505は、非晶質半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01~4.5atomic%程度であることが好ましい。

【0047】

次に、半導体膜505を公知の技術により結晶化する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザ結晶化法、赤外光を用いたランプアニール結晶化法がある。或いは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法を用いることもできる。

【0048】

また、なお予め多結晶半導体膜である半導体膜505を、スパッタ法、プラズマCVD法、熱CVD法などで形成するようにしても良い。

【0049】

本実施の形態ではレーザ結晶化により、半導体膜505を結晶化する。連続発振が可能な固体レーザを用い、基本波の第2高調波~第4高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。例えば、代表的には、Nd:YVO₄レーザ(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いるのが望ましい。具体的には、連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換し、出力10Wのレーザ光を得る。また非線形光学素子を用いて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円

形状のレーザ光に成形して、半導体膜505に照射する。このときのエネルギー密度は0.01~100 MW/cm²程度(好ましくは0.1~10 MW/cm²)が必要である。そして、走査速度を10~2000 cm/s程度とし、照射する。

【0050】

なおレーザ結晶化は、連続発振の基本波のレーザ光と連続発振の高調波のレーザ光とを照射するようにしても良いし、連続発振の基本波のレーザ光とパルス発振の高調波のレーザ光とを照射するようにしても良い。

【0051】

なお、希ガスや窒素などの不活性ガス雰囲気中でレーザ光を照射するようにしても良い。これにより、レーザ光照射による半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じる閾値のばらつきを抑えることができる。

【0052】

上述した半レーザ光の照射により、半導体膜505の結晶性がより高められる。次に、図1(B)に示すように、結晶性がより高められた半導体膜505をパターンニングし、島状の半導体膜507、508を形成し、該島状の半導体膜507、508を用いてTFTに代表される各種の半導体素子を形成する。なお本実施の形態では、下地膜504と島状の半導体膜507、508とが接しているが、半導体素子によっては、下地膜504と島状の半導体膜507、508との間に、電極や他の絶縁膜等が形成されていても良い。例えば半導体素子の1つであるボトムゲート型のTFTの場合、下地膜504と島状の半導体膜507、508との間に、ゲート電極とゲート絶縁膜が形成される。

【0053】

本実施の形態では、島状の半導体膜507、508を用いてトップゲート型のTFT509、510を形成する(図1(C))。具体的には、島状の半導体膜507、508を覆うようにゲート絶縁膜511を成膜する。そして、ゲート絶縁膜511上に導電膜を成膜し、パターンニングすることで、ゲート電極512、513を形成する。そして、ゲート電極512、513や、あるいはレジストを成膜しパターンニングしたものをマスクとして用い、島状の半導体膜507、508にn型を付与する不純物を添加し、ソース領域、ドレイン領域、さらにはLDD領域等を形成する。なおここではTFT509、510をn型とするが、p型のTFTの場合は、p型の導電性を付与する不純物を添加する。

【0054】

上記一連の工程によってTFT509、510を形成することができる。なおTFTの作製方法は、上述した工程に限定されない。

【0055】

次にTFT509、510を覆って第1の層間絶縁膜514を成膜する。そして、ゲート絶縁膜511及び第1の層間絶縁膜514にコンタクトホールを形成した後、コンタクトホールを介してTFT509、510と接続する端子515~518を、第1の層間絶縁膜514に接するように形成する。

【0056】

端子515の一部は、受光素子(光電変換素子)のカソード電極として用いる。端子515~518として、スパッタ法で成膜したアルミニウムを用いたが、材料はこれに限定されない。その他の金属、例えばチタン、タンタル、タングステン、銅を用いることができる。また、チタン、アルミニウム、チタンでなる積層膜を用いてもよい。

【0057】

次に、水素を含有する非晶質珪素膜を基板全面に成膜した後にパターンニングすることで、光電変換層519を形成する。そして、基板全面に透明導電膜を形成する。本実施例では透明導電膜として厚さ200nmのITOをスパッタ法で成膜する。透明導電膜をパターンニングし、アノード電極520を形成する(図1(C))。カソード電極として用いる端子515と、光電変換層519と、アノード電極520とが重なった部分が、受光素子521として機能する。

【0058】

なお、受光素子の構成は、図1(C)に示した構成に限定されない。受光素子が受ける光の入射方向に合わせて、設計者が適宜受光素子の構成を決めることができる。

【0059】

そして、受光素子521、端子515～518を覆うように、第1の層間絶縁膜514上に第2の層間絶縁膜523を成膜する。なお、第2の層間絶縁膜523は、後の貼り合わせの工程において受光素子521を保護するために設けており、必ずしも成膜する必要はない。後に形成する保護層524が、その役割を担っていても良い。

【0060】

次に、第2の層間絶縁膜523を覆って、保護層524を形成する。保護層524は、後に第2の基板を貼り合わせたり剥離したりする際に、半導体素子を保護する機能を有しており、第2の基板の剥離後に除去することが可能な材料を用いる。例えば、水またはアルコール類に可溶なエポキシ系、アクリレート系、シリコン系の樹脂を全面に塗布し、焼成することで保護層524を形成することができる。

10

【0061】

本実施の形態ではスピンコートで水溶性樹脂（東亜合成製：VL-WSHL10）を膜厚30 μ mとなるように塗布し、仮硬化させるために2分間の露光を行ったあと、UV光を裏面から2.5分、表面から10分、合計12.5分の露光を行って本硬化させて、保護層524を形成する（図1(D)）。

【0062】

なお、複数の有機樹脂を積層する場合、有機樹脂どうしでは使用している溶媒によって塗布または焼成時に一部溶解したり、密着性が高くなりすぎる恐れがある。従って、第2の層間絶縁膜523と保護層524を共に同じ溶媒に可溶な有機樹脂を用いる場合、後の工程において保護層524の除去がスムーズに行なわれるように、第2の層間絶縁膜523と後に成膜される保護層524との間に、無機絶縁膜（SiN_x膜、SiN_xO_y膜、AlN_x膜、またはAlN_xO_y膜）を形成しておくことが好ましい。

20

【0063】

次に、後の剥離を行ない易くするために、金属酸化膜503を結晶化させる。結晶化により、金属酸化膜503が粒界において割れやすくなり、脆性を高めることができる。本実施の形態では、420～550、0.5～5時間程度加熱処理を行ない、結晶化を行なった。

30

【0064】

次に、金属酸化膜503と酸化物膜502の間の密着性、または金属酸化膜503と金属膜501の間の密着性を部分的に低下させ、剥離開始のきっかけとなる部分を形成する処理を行う。具体的には、剥離しようとする領域の周縁に沿って外部から局所的に圧力を加えて金属酸化膜503の層内または界面近傍の一部に損傷を与える。本実施の形態では、ダイヤモンドペンなどの硬い針を金属酸化膜503の端部近傍に垂直に押しつけ、そのまま荷重をかけた状態で金属酸化膜503に沿って動かす。好ましくは、スクライバー装置を用い、押し込み量を0.1mm～2mmとし、圧力をかけて動かせばよい。このように、剥離を行う前に、剥離が開始されるきっかけとなるような、密着性の低下した部分を形成することで、後の剥離工程における不良を低減させることができ、歩留まり向上につながる。

40

【0065】

次いで、両面テープ525を用い、保護層524に第2の基板526を貼り付け、さらに両面テープ527を用い、第1の基板500に第3の基板528を貼り付ける（図1(E)）。なお両面テープではなく接着剤を用いてもよい。例えば紫外線によって剥離する接着剤を用いることで、第2の基板剥離の際に半導体素子にかかる負担を軽減させることができる。

【0066】

第3の基板528を貼り付けることで、後の剥離工程で第1の基板500が破損するのを防ぐことができる。第2の基板526および第3の基板528としては、第1の基板50

50

0と同程度が、より剛性の高い基板、例えば石英基板、半導体基板を用いることが好ましい。

【0067】

次いで、金属膜501と酸化物膜502とを物理的に引き剥がす。引き剥がしは、先の工程において、金属酸化膜503の金属膜501または酸化物膜502に対する密着性が部分的に低下した領域から開始する。

【0068】

引き剥がしによって、金属膜501と金属酸化膜503の間で分離する部分と、酸化物膜502と金属酸化膜503の間で分離する部分と、金属酸化膜503自体が双方に分離する部分とが生じる。そして第2の基板526側に半導体素子(ここではTF T509、510)が、第3の基板528側に第1の基板500及び金属膜501が、それぞれ貼り付いたまま分離する。引き剥がしは比較的小さな力(例えば、人間の手、ノズルから吹付けられるガスの風圧、超音波等)で行なうことができる。剥離後の状態を図2(A)に示す。

10

【0069】

次に接着剤529で、薄膜集積回路を最終的に積層する基板(素子基板)530と、部分的に金属酸化膜503が付着している酸化物層502とを接着する(図2(B))。この接着の際に、両面テープ525による第2の基板526と保護層524との間の密着力よりも、接着剤529による酸化物層502と素子基板530との間の密着力の方が高くなるように、接着剤529の材料を選択することが重要である。

20

【0070】

なお、金属酸化膜503が酸化物膜502の表面に残存していると、素子基板530との密着性が悪くなる場合があるので、完全にエッチング等で除去してから素子基板530に接着させ、密着性を高めるようにしても良い。

【0071】

接着剤529としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤が挙げられる。さらに好ましくは、銀、ニッケル、アルミニウム、窒化アルミニウムからなる粉末、またはフィラーを含ませて接着剤529も高い熱伝導性を備えていることが好ましい。

【0072】

また本実施の形態では、素子基板530として、ソルダーボール531を備えたインターポーザを用いる。ソルダーボール531は、素子基板530の薄膜集積回路を積層する面の裏面に露出しており、素子基板530に設けられたコンタクトホールを介して、薄膜集積回路を積層する面に設けられた配線532と、電気的に接続している。本実施の形態では、配線532は、例えば銅にはんだ、金またはスズをメッキすることで形成されている。

30

【0073】

次に図2(C)に示すように、保護層524から両面テープ525と第2の基板526を順に、または同時に剥がす。なお、接着剤529として紫外線硬化型接着剤を用い、両面テープ525に紫外線によって剥離するテープまたは接着剤を用いることで、一度の紫外線照射により、両面テープ525の剥離と接着剤529の硬化を同時に行なうことができる。

40

【0074】

そして図2(D)に示すように保護層524を除去する。ここでは保護層524に水溶性の樹脂が使われているので、水に溶かして除去する。保護層524が残留していると不良の原因となる場合は、除去後の表面に洗浄処理やO₂プラズマ処理を施し、残留している保護層524の一部を除去することが好ましい。

【0075】

なお本実施の形態では、金属膜501としてタングステンを用いているが、本発明において金属膜はこの材料に限定されない。その表面に金属酸化膜503が形成され、該金属酸

50

化膜503を結晶化することで基板を引き剥がすことができるような金属を含む材料であれば良い。例えば、TiN、WN、Mo等を用いることができる。またこれらの合金を金属膜として用いる場合、その組成比によって結晶化の際の加熱処理の最適な温度が異なる。よって組成比を調整することで、半導体素子の作製工程にとって妨げとならない温度で加熱処理を行なうことができ、半導体素子のプロセスの選択肢が制限されにくい。

【0076】

図2(D)に示すように1層目の薄膜集積回路533の、素子基板530への転写が終了したら、次に図3(A)に示すように、1層目の薄膜集積回路533上への、2層目の薄膜集積回路534の転写を行なう。2層目の薄膜集積回路534の貼り合わせは、1層目の薄膜集積回路533を素子基板530に貼り合わせるのと同様の手法を用いて、行なうことができる。即ち、別途用意した第1の基板上に2層目の薄膜集積回路534を形成し、該2層目の薄膜集積回路534を覆うように第2の基板を貼り合わせる。そして第1の基板を第3の基板で補強した後、第1の基板と2層目の薄膜集積回路534との間に設けられた金属酸化膜を結晶化して脆弱化し、第1の基板を第3の基板と共に剥離して取り除く。そして第2の基板に貼り付いた状態の2層目の薄膜集積回路534を、1層目の薄膜集積回路533上に接着剤535を用いて接着した後、第2の基板を取り除き、転写を完了させる。

10

【0077】

1層目の薄膜集積回路533と2層目の薄膜集積回路534の間の距離は、接着剤535の厚さを調整することで制御することができる。接着剤の厚さは、貼り合わせの際の圧力

20

【0078】

本実施の形態では、2層目の薄膜集積回路534の転写後に、発光素子を形成する場合について説明する。2層目の薄膜集積回路534には、1層目の薄膜集積回路533に転写した時点で、発光素子の画素電極536が形成されている。画素電極536は透明導電膜で形成されており、本実施の形態ではITOを用いている。

【0079】

なお本実施の形態では、発光素子の画素電極に透明導電膜を用いているが、本発明はこれに限定されない。発光素子からの光の方向を、素子基板側に向かせるのか、それとは反対の方向に向かせるのかによって、発光素子の構成を適宜最適化するのが望ましい。

30

【0080】

次に、図3(B)に示すように、画素電極536と薄膜集積回路に電氣的に接続された端子545が一部露出するような開口部を有する第3の層間絶縁膜539を成膜する。本実施の形態では、画素電極を形成した時点で2層目の薄膜集積回路を転写する場合について説明するが、画素電極に加えて、第3の層間絶縁膜を形成した時点で転写を行うことも可能である。

【0081】

次に、第3の層間絶縁膜539の開口部において画素電極536と重なるように、電界発光層537、陰極538を積層するように成膜する。画素電極536と、電界発光層537と、陰極538とが重なる部分が、発光素子540に相当する。

40

【0082】

なお、画素電極536として用いる透明導電膜は、ITOの他、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。画素電極536は、その表面が平坦化されるように、CMP法、ポリビニルアルコール系の多孔質体で拭浄で研磨しても良い。またCMP法を用いた研磨後に、画素電極536の表面に紫外線照射、酸素プラズマ処理などを行ってもよい。

【0083】

電界発光層537は、発光層単独かもしくは発光層を含む複数の層が積層された構成を有している。また陰極538は、仕事関数の小さい導電膜であれば公知の他の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。

50

【0084】

なお第3の層間絶縁膜539は、電界発光層537が成膜される前に、吸着した水分や酸素等を除去するために真空雰囲気下で加熱しておくことが望ましい。具体的には、100～200、0.5～1時間程度、真空雰囲気下で加熱処理を行なう。望ましくは 3×10^{-7} Torr以下とし、可能であるならば 3×10^{-8} Torr以下とするのが最も望ましい。そして、第3の層間絶縁膜539に真空雰囲気下で加熱処理を施した後に電界発光層537を成膜する場合、成膜直前まで真空雰囲気下に保つことで、信頼性をより高めることができる。

【0085】

また、画素電極536が露出している、第3の層間絶縁膜539の開口部は、その端部に丸みを帯びている方が望ましい。開口部の端部が丸みを帯びていることで、電界発光層537が端部において極端に薄くなって穴があいたりするのを防ぐことができ、画素電極と陰極がショートすることによる発光素子の不良を極力抑えることができる。また、端部において電界発光層537の応力を緩和させることで、発光領域が減少するシュリンクとよばれる不良を低減させることができ、信頼性を高めることができる。具体的には、開口部における有機樹脂膜の断面が描いている曲線の曲率半径が、0.2～2 μ m程度であることが望ましい。

【0086】

そして水分や酸素などの発光素子540の劣化を促進させる原因となる物質が、発光素子540に入るのを防止するために、発光素子540を保護膜541で覆う。代表的には、例えばDLC膜、窒化炭素膜、RFスパッタ法で形成された窒化珪素膜等を、保護膜541として用いるのが望ましい。また上述した水分や酸素などの物質を透過させにくい膜と、該膜に比べて水分や酸素などの物質を透過させやすい膜とを積層させて、保護膜として用いることも可能である。

【0087】

そして、保護膜541を成膜した後に、さらに発光素子の封止を確かなものにするために、乾燥剤を添加した樹脂で、発光素子540を覆うようにしても良い。なお、該乾燥剤を添加した樹脂で、後に転写される薄膜集積回路を貼り合わせるようにしても良い。

【0088】

なお本実施の形態では、発光素子として、エレクトロルミネッセンスを利用したOLED(OLED: Organic Light Emitting Device)を用いた例について説明したが、本発明はこれに限定されない。本発明では、発光素子として、OLEDの他に、LED(light emitting diode)、半導体レーザ等を用いることが可能である。発光素子は、指向性を有する発光素子であることが望ましい。

【0089】

本実施の形態では、2層目の薄膜集積回路534に設けられた発光素子540からの光が、1層目の薄膜集積回路533に設けられた受光素子521に入射する。よって、2層目の薄膜集積回路534から出力される電気信号が、発光素子540において光信号に変換され、そして受光素子521において再び電気信号に変換されて、1層目の薄膜集積回路533に入力される。

【0090】

また本実施の形態では、2層目の薄膜集積回路534と電氣的に接続されている端子545と、素子基板530に設けられた配線532とを、ワイヤボンディング法を用いて、接続する。具体的には、図3(B)に示すように、ワイヤ546を用いて接続する。配線532を介して、電源電圧や、各種信号を薄膜集積回路に供給することができる。なお、薄膜集積回路への電氣的な接続は、ワイヤボンディング法ではなくフリップチップ法を用いても良い。また外部からの信号の供給をも全て光伝送により行っていても良い。

【0091】

また本実施の形態では、ワイヤ546が2層目の薄膜集積回路534に接続されているが

、本発明はこれに限定されない。例えば、1層目の薄膜集積回路533の素子基板側に、半導体素子に電氣的に接続されたソルダーボールを設け、該ソルダーボールをフリップチップ法で素子基板上の配線と接続するようにしても良い。

【0092】

このように、発光素子と受光素子を用いた薄膜集積回路間の光伝送により、各層間の信号の授受や電源電圧の供給等の接続を行なうことができ、複数の積層された薄膜チップ（薄膜集積回路）から1つの薄膜集積回路が構築される。なお本実施の形態では2層の薄膜集積回路を積層して、1つの薄膜集積回路として用いる例について説明したが、薄膜集積回路の積層数はこれに限定されない。3層以上の複数の薄膜集積回路を積層していても良い。

10

【0093】

なお、素子基板は、ガラスエポキシ等を用いたインターポーザに限定されず、他の材料を用いた基板であっても良い。

【0094】

また、本発明の薄膜集積回路の転写方法は、上述した金属酸化膜を用いた方法に限定されない。例えば、第1の基板と薄膜集積回路との間に非晶質珪素膜を設けておき、レーザー光の照射またはエッチングにより該非晶質珪素膜に部分において、第1の基板と薄膜集積回路とを剥離するようにしても良い。

【0095】

次に図4(A)を用いて、複数の薄膜集積回路を積層する際に、各層間の発光素子と受光素子の位置関係について説明する。図4(A)は、素子基板100上に薄膜集積回路を積層している様子を、模式的に示したものである。

20

【0096】

各層の薄膜チップ（薄膜集積回路）101には、単数または複数の回路103が含まれている。さらに、各層の薄膜集積回路101には、光信号の送受を行なう発光素子と受光素子がレイアウトされた領域が、単数または複数設けられている。なお図4(A)には、以下、光伝送を行なうための発光素子または受光素子が設けられた領域を光伝送部102として示す。また、光伝送部102と、その他の回路103との間において電気信号をやり取りするために、該電気信号に変調または復調などの処理を施すインターフェース104とを有している。

30

【0097】

光伝送部102には、光信号を受信するための受光素子と、光信号を送信するための発光素子とが形成されている。図4(B)に、各層の光伝送部102の拡大図を示す。105は発光素子に相当し、106は受光素子に相当する。各層の薄膜集積回路に設けられている発光素子105と、受光素子106は、互いに他層の薄膜集積回路101に設けられている受光素子106と、発光素子105とにそれぞれ対応している。なお図4(A)と図4(B)では、発光素子105と受光素子106が、光伝送部102とする領域にひとまとまりにレイアウトされているが、本発明はこの構成に限定されない。回路103の内部に発光素子105と受光素子106が混在していても良い。そしてインターフェース104として機能する回路素子が、発光素子105と受光素子106のレイアウトに合わせて、回路103の内部に混在していても良い。

40

【0098】

また図4(A)では、各層間の接続を全て光伝送により行なっている例について示しているが、本発明はこれに限定されない。各種信号や電源電圧を、一部電気信号のまま送受しても良く、電気信号のまま送受用の機能、例えば端子などを有していても良い。

【0099】

図4(C)に、光伝送部102とインターフェース104との、より具体的な構成の一例を示す。1つの発光素子105には、少なくとも1つの受光素子106が対応している。図4(B)では、光伝送部102に発光素子105と受光素子106のみ示しているが、実際には図4(C)に示すように、電気信号により発光素子105の発光を制御するため

50

の発光素子用駆動回路 110 と、受光素子から得られた電気信号を増幅するための増幅回路 111 や、得られた電気信号の波形を整形するための波形整形回路などを設ける。なおこれらの機能をインターフェース 104 が備えていても良い。

【0100】

回路から出力された電気信号（出力信号）がインターフェース 104 によって、発光素子用駆動回路 110 の仕様に合わせた信号に変調された後、発光素子用駆動回路 110 に入力される。そして発光素子用駆動回路 110 では、入力された出力信号に従って、発光素子 105 の発光を制御する。

【0101】

受光素子 106 は、発光素子 105 から発せられた光信号を受けて、該光信号を電気信号に変換する。受光素子 106 において得られた電気信号は、増幅回路 111 において増幅され、波形整形回路 112 においてその波形が整形され、インターフェース 114 において各回路の仕様に合わせて復調され、入力信号として後段の回路に入力される。なお、増幅回路 119 と波形整形回路 20 は必ずしも設ける必要はなく、またこれらの回路の他に、電気信号の波形に何らかの処理を加える回路を有していても良い。

10

【0102】

なお、図 4 (C) では、発光素子と受光素子が一対一で対応している例について示したが、本発明はこの構成に限定されない。2 つ以上の発光素子が 1 つの受光素子に対応していても良いし、1 つの発光素子が 2 つ以上の受光素子に対応していても良い。

【0103】

図 5 (A) に、それぞれ異なる層の薄膜集積回路に形成された 2 つの発光素子 130、131 が、さらに別の層の薄膜集積回路に形成された 1 つの受光素子 132 に対応している様子を示す。発光素子 130 は、発せられる光が、発光素子 131 の形成されている層 133 を透過して、受光素子 132 に入射するように配置されている。上記構成により、発光素子 130 から光信号を受光素子 132 に送っている間に、発光素子 131 が形成されている層 133 の薄膜集積回路において別の動作を行うことができ、逆に発光素子 131 から光信号を受光素子 132 に送っている間に、発光素子 130 が形成されている層 134 の薄膜集積回路において別の動作を行うことができる。

20

【0104】

逆に、それぞれ異なる層の薄膜集積回路に形成された 2 つの受光素子が、さらに別の層の薄膜集積回路に形成された 1 つの発光素子に対応している場合、複数の層の薄膜集積回路へ同時に光信号を送信することができる。

30

【0105】

また図 5 (B) に、複数の受光素子で得られた電気信号のいずれかを選択し、後段の回路に伝送する選択回路を設けた場合について示す。図 5 (B) では、それぞれ異なる層の薄膜集積回路に形成された 2 つの発光素子 135、136 から発せられた光信号を、さらに別の層の薄膜集積回路に形成された 2 つの受光素子 137、138 において電気信号に変換する。そして得られる 2 つの電気信号のいずれか一方を、選択回路 139 において選択し、後段の回路に伝送する。上記構成により、図 5 (A) の場合と同様に、発光素子 1 つあたりの発振周波数を低くすることができ、発光素子の駆動を制御する発光素子駆動部の負担を小さくすることができる。

40

【0106】

なお、薄膜集積回路間で光信号によるデータの伝送を並列に行うためには、光信号の経路を夫々独立させる必要がある。しかし、光の拡散の度合いによっては、光信号が対応しない受光素子に入射する所謂クロストークが生じる場合がある。光の拡散の度合いは、発光素子から発せられる光の指向性と、光信号の経路における媒質の屈折率に依存する。よって、クロストークがなるべく抑えられるように光の拡散を考慮し、用いる発光素子の光の指向性に合わせて、受光素子と発光素子をレイアウトし、薄膜集積回路の厚さ、薄膜集積回路間の距離、薄膜集積回路間の媒質（接着剤等）を適宜設定することが望ましい。またクロストークを防ぐために、光信号の経路に、円筒形またはそれに近い断面をもつ光ファ

50

イバーや、平面状の誘電体薄膜にそって光を伝える薄膜導波路等の光導波路を設けても良い。

【0107】

なお本発明で用いる基板はガラス基板に限定されない。透過性を有し、半導体素子の形成やその他のプロセスにおける処理温度に耐え得る基板であれば、プラスチック基板など、ガラス基板以外の基板も用いることは当然可能である。

【0108】

なお、本実施の形態では、異なる層間において光伝送により信号を伝送する例について説明したが、ある層の薄膜集積回路内において、光伝送を用いて信号の伝送を行なっているも良い。

【0109】

なお、発せられる光の方向が素子基板側に向いている発光素子と、素子基板とは反対の側に向いている発光素子とが、同一の層内に形成された薄膜集積回路に設けられている場合も想定される。同一の層内に光の出射方向が異なる2種類の発光素子が形成されている、薄膜集積回路の断面図の一例を、図6に示す。

【0110】

図6に示す2つの発光素子201、202は、素子の構成自体は同じであり、透明導電膜から形成された画素電極203、204と、電界発光層205、206と、陰極207、208とを有している。画素電極203、電界発光層205、陰極207が重なっている部分が、発光素子201に相当し、画素電極204、電界発光層206、陰極208が重なっている部分が、発光素子202に相当する。

【0111】

具体的に図6に示す発光素子201、202が有する電界発光層205、206は、正孔注入層として膜厚20nmの銅フタロシアニン(CuPc)、正孔輸送層として膜厚40nmの4,4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ビフェニル(以下、-NPDと示す)、発光層としてキナクリドン(DMQd)が添加された膜厚37.5nmのAlq₃、電子輸送層として膜厚37.5nmのAlq₃、電子注入層として膜厚1nmのCaF₂が積層されている。

【0112】

そして陰極207、208は光を透過する程度の膜厚を有するAlからなる膜で形成されている。図6では、Alを抵抗加熱により気化することで蒸着させ、20nm膜厚となるように成膜する。

【0113】

なお、正孔注入層としてCuPcの代わりにポリチオフェン(PEDOT)を用いても良い。発光素子の積層構造及びその膜厚は、本実施の形態において示した値に限定されない。なお陰極側から光を得るためには、膜厚を薄くする方法の他に、Liを添加することで仕事関数が小さくなったITOを用いる方法もある。図6で用いる発光素子は、陽極側と陰極側の両方から光が発せられる構成であれば良い。

【0114】

そして図6に示す発光素子201は、陰極207に接するように、反射膜(または遮蔽膜)210が設けられている。この反射膜210によって、白抜きの矢印で示すように、発光素子201から発せられる光が素子基板側に向いている。なお反射膜210は金属膜を蒸着して形成することができるまた反射膜ではなく遮蔽膜を用いる場合、黒の顔料を添加した樹脂などを用いることができる。いずれにしても、発光素子201から発せられる光が素子基板側にのみ向くように、反射膜や遮蔽膜のような光の向きを制御できる手段を設ける。

【0115】

また図6に示す発光素子202は、発光素子202に対して素子基板側に、発光素子202から発せられる光を反射する金属膜211を設ける。金属膜211によって、発光素子202から発せられる光が、白抜きの矢印で示すように、素子基板とは反対の側に向いて

10

20

30

40

50

いる。なお金属膜211は、薄膜集積回路内に形成されたTFTのゲート電極や配線と同じ金属膜から形成することができる。また、光を反射するのではなく、単に遮蔽するための遮蔽膜を、金属膜211の代わりに設けても良い。遮蔽膜は層間絶縁膜として用いる絶縁膜に黒の顔料を添加したものであっても良い。いずれにしても、発光素子201から発せられる光が素子基板とは反対の側にのみ向くように、反射膜や遮蔽膜のような光の向きを制御できる手段を設ける。

【0116】

このように、同じ層内であっても、光の向きの異なる発光素子を形成することが可能である。なお、同じ層内における、光の向きの異なる発光素子の作製方法及びその構成は、図6に示した例に限定されない。ただし、発光素子により近い位置に遮蔽膜または反射膜を設けたほうが、より光の指向性を高めることができる。

10

【0117】

なお、本実施の形態では、薄膜集積回路を積層した例について説明したが、薄膜集積回路に半導体素子を用いたフラットパネルディスプレイを積層する様にしても良い。フラットパネルディスプレイを薄膜集積回路に転写する場合、表示素子を完成させる前に転写し、転写後に表示素子を完成させるようにするのが望ましい。例えばOLEDを用いた発光装置の場合、画素電極を形成した後で転写し、転写後に電界発光層、陰極等を形成し、封止する。また液晶ディスプレイの場合、画素電極上に配向膜を成膜し、ラビング処理を施した後で、転写し、転写後に対向電極を有する対向基板で封止し、液晶を注入する。

【0118】

このように本発明では各層の薄膜チップを別個に作製することができるので、下層の半導体素子の耐熱性を考慮して上層の半導体素子のプロセスに制約がかかることがなく、より特性の優れた半導体素子を形成することができる。また、各層の薄膜チップが、ガラス基板などを間に挟まずに、密接するように積層することができるので、ガラス基板による光の拡散を考慮する必要がない。そして発光素子と受光素子の間の距離をより短くすることができるので、発光素子の光の指向性が劣っていたとしても、ある程度それをカバーすることができる。

20

【0119】

そして本発明の薄膜集積回路を半導体装置に用いることで、集積回路に用いるスペースをより広く確保することができ、半導体装置の軽量化または小型化を妨げることなく高機能化を実現することができる。特に携帯用の半導体装置の場合、軽量化、小型化することで使い勝手が飛躍的に向上するため、本発明の薄膜集積回路を用いることは非常に有用である。

30

【0120】

そして、光インターコネクションを用いることで、配線抵抗に起因するスキューや不要な電波輻射の影響を低減しながら、薄膜チップ間でデータの伝送を行うことができる。また、電気信号から光信号へ変換し、光信号から再び電気信号へ変換する過程において、最終的に得られる電気信号の振幅を自由に制御することができる。

【0121】

【実施例】

以下、本発明の実施例について説明する。

40

【0122】

(実施例1)

本実施例では、複数の薄膜チップで構築されるCPU(Central Processing Unit)を用いて、マイクロプロセッサを形成する例について説明する。

【0123】

ガラス基板上に形成されたTFTは単結晶トランジスタに比べて動作速度が遅い。そのため、ガラス基板上にCPUを形成した場合、処理内容が複雑化すると単一のCPUでは、十分な速度で処理を実行することが困難である。そこでCPUの一連の処理を、その目的別にいくつかの処理に分け、各処理に一つの薄膜チップで形成されたCPUを割り当てる

50

。そして各薄膜チップを光インターコネクションで接続することで、単一のCPUを用いた場合と同じく一連の処理を行うことができる。それぞれの薄膜チップに形成されたCPUは、割り当てられた処理だけを行えばよく、単層のCPUですべての処理を行う場合にくらべて処理速度が向上する。

【0124】

図7に、本実施例のマイクロプロセッサの斜視図を示す。図7に示すマイクロプロセッサは、基板400上に、CPU401をそれぞれ含む複数の薄膜チップ402、メインメモリ403、クロックコントローラ404、キャッシュコントローラ405、シリアルインターフェース406、I/Oポート407等が形成されている。勿論、図7に示すマイクロプロセッサは簡略化した一例であり、実際のマイクロプロセッサはその用途によって多種多様な構成を有している。

10

【0125】

各薄膜チップ402は、光伝送部408と、インターフェース409と、CPU401と、キャッシュメモリ410とをそれぞれ有している。光伝送部408には、電気信号を光信号として出力する機能を有する発光素子と、光信号を電気信号に変換する機能を有する受光素子の両方を有していても良いし、基板によっては片方だけ有していても良い。また光伝送部408に全ての発光素子または受光素子を集めるようにレイアウトせずとも、他の回路素子の間に混在するようにレイアウトされていても良い。そして、薄膜チップ402どうしの間で、または薄膜チップ402と基板400上に形成された各種回路との間で、光伝送を用いて信号または電源電圧の送受を行なう。なお、全ての信号、電源電圧の送受を光伝送で行なわなくとも良く、一部直接電気信号で送受するようにしても良い。その場合、電気信号を光信号に変換せずにそのまま送受信するための端子を有する。

20

【0126】

キャッシュメモリ410は、CPU401とメインメモリ403の間に介在した、小容量で高速のメモリである。CPUをより高速に動作させるには、それに見合う程度の高速なメモリを必要とする。しかし、CPUの動作スピードにあったアクセスタイムをもつ高速の大容量メモリを使用した場合、一般的にコストが高くなってしまう。CPUはキャッシュメモリをアクセスすることによりメインメモリのスピードによらず、高速で動作することが可能となる。

30

【0127】

以下、各CPU401の動作の一例について説明する。例えば、まず実行初期において、プログラムをメインメモリ403や他の外付メモリなどから、各薄膜チップ402のキャッシュメモリ410(SRAM)にダウンロードする。CPU401のうち、マスターとなるCPUがこれを行っても良い。

40

【0128】

次にCPU401のうち、スレーブとなる各CPUは、同じ薄膜チップ402のキャッシュメモリ410に格納されたプログラムを順に実行する。同じ薄膜チップ402のキャッシュメモリ410は、プログラムを格納するだけでなく、ワーク領域としても機能し、CPU401の計算結果等を一時的に格納する。

40

【0129】

各CPU401が、他のCPU401の出力結果や、メインメモリ403といった、キャッシュメモリ410以外との信号のやりとりが必要となる場合には、光伝送部408を経由して、これを行う。CPU401の数に応じて全体の動作速度は向上する。特に、CPU401間の信号や、基板400外への信号のやりとりが少ない場合に、並列化の効果が高い。

【0130】

プログラム例としては、例えば、非常に多くの極小値をもつ位相空間内において最小値を探すような最適化問題(例えば、自動配線、セールスマンの巡回問題)や、バラツキの評価(回路シミュレーション、等)において、モンテカルロ法やシミュレーテッドアニーリングなどを適用する場合が挙げられる。

50

【0131】

これらのプログラムでは、基本的には、独立に、多数回、同じサブプログラムを実行する構造となっており、各サブプログラムを異なるCPU401に担当させる事で、実質的には、各薄膜チップ402内のCPU401とキャッシュメモリ410で完結したプログラムを実行することができ、理想的な並列計算を行うことが可能となる。

【0132】

なお、CPU401間の処理速度がまちまちだと処理全体で見たときに不都合が起きる場合があるので、スレーブとなる各CPU間の処理速度のバランスを、マスターとなるCPUでとるようにしても良い。

【0133】

(実施例2)

本発明の集積回路は、各種のメモリに応用することが可能である。メモリを積層することで、実装面積を抑えつつ、メモリを大容量化することができる。そして、各薄膜チップ間のデータの送受に光伝送を用いることで、メモリを積層しても、実装の際に用いるピン数を抑えることができる。

【0134】

積層するメモリとして、SRAM(Static Random Access Memory)、DRAM(Dynamic Random Access Memory)等に代表されるRAM(揮発性メモリ)や、マスクROM、EPROM(Erasable Programmable Read Only Memory)、EEPROM(Electrically Erasable Programmable ROM)、フラッシュ・メモリ(flash memory)、強誘電体メモリ等に代表されるROM(不揮発性メモリ)を用いることができる。また、これらのメモリの組み合わせであっても良い。

【0135】

そして、メモリを積層する場合、メモリの種類または仕様に合わせて、読み出しか書き込みかを選択するR/W(Read/Write)回路、プリチャージ回路、リフレッシュ用のコントロール回路(リフレッシュ回路)等を、メモリと同じ薄膜チップ内に設けるようにしても良い。また供給する電源電圧を、各薄膜チップごとに適宜最適な値に設定するようにしても良い。

【0136】

本実施例では、DRAMを例に挙げ、積層することで形成されるメモリの構成について説明する。

【0137】

図8(A)に、1層目の薄膜チップの構成を示す。図8(A)に示す薄膜チップには、DRAMのメモリーセルアレイ601と、セクタ回路602、列デコーダ603、行デコーダ604、R/W回路605、光伝送部606が形成されている。

【0138】

メモリーセルアレイ601には複数のメモリーセルが備えられている。そして、列デコーダ603からの信号に従って動作が制御されているセクタ回路602と、行デコーダ604とによって、メモリーセルが選択され、データの読み書きが行なわれる。

【0139】

接続端子と1層目の薄膜チップとの間の信号の送受は、直接電気信号で、または光伝送部606を介して行なうことができる。図8(B)に、光伝送部606の拡大図を示す。光伝送部606には、発光素子610と、受光素子611が備えられており、接続端子から入力された各種信号または1層目の薄膜チップから出力される電気信号は、発光素子610において光信号に変換され、他のk層目(kは2以上の自然数)の薄膜チップに伝送される。また他のk層目の薄膜チップから送信される光信号が、受光素子611において電気信号に変換され、1層目の薄膜チップまたは接続端子に送られる。

【0140】

10

20

30

40

50

光伝送部 606 に入力される信号のうち、CE (Chip enable) (1) ~ CE (n) は、1 ~ n 層目の薄膜チップの 1 つまたは複数を選択する信号に相当する。その他、接続端子を介して入力される電気信号、RE (Read enable)、WE (Write enable)、Din は、発光素子 610 を介において光信号に変換され、信号 FE によって選択された薄膜チップに送られる。また逆に、号 FE によって選択された薄膜チップから送られてきた光信号が、1 層目の受光素子 611 において電気信号に変換され、接続端子を介して信号 D out として出力される。

【0141】

なお本実施例において、RE、WE は R/W 回路 605 によるデータの読み出しまたは書き込みを選択するための信号であり、Din はメモリに書きこまれるデータを情報として含む信号に相当し、D out は、メモリから読み出されるデータを情報として含む信号に相当する。

10

【0142】

図 9 に、k 層目の薄膜チップの構成を示す。本実施例では、k 層目の薄膜チップに、1 層目と同じく DRAM が形成されている例について示す。図 9 に示す k 層目の薄膜チップには、k 層目のメモリーセルアレイ 621 と、該メモリーセルアレイ 621 に対応するセレクタ回路 622、列デコーダ 623、行デコーダ 624、R/W 回路 625、光伝送部 626 がそれぞれ形成されている。

【0143】

図示してはいないが、光伝送部 626 には発光素子と受光素子、場合によってはいずれか一方のみが形成されており、光伝送部 626 において他層の薄膜チップとの間の信号の送受が行なわれる。

20

【0144】

なお本実施例では、1 層目と k 層目の薄膜チップに、共に DRAM が形成されている例について示したが、本発明はこれに限定されず、他のありとあらゆる半導体メモリーを薄膜チップ内に形成し、該薄膜チップを積層することが可能である。また、メモリーの駆動に関わるその他の回路は、本実施例で示した回路に限定されない。

【0145】

また本実施例では、接続端子を介して入力される電気信号が、1 層目の薄膜チップに入力されているが、本発明はこれに限定されない。2 層目以降の薄膜チップに、接続端子を介して電気信号が入力されるようにしても良い。

30

【0146】

(実施例 3)

本実施例では、複数の薄膜チップで構築される、ワンチップ・マイコン (one-chip microcomputer) の構成について説明する。

【0147】

図 10 に、本実施例のマイクロプロセッサのブロック図を示す。本実施例のマイクロプロセッサは、2 層の薄膜チップで構成されている。1 層目の薄膜チップ 630 には、SIO (Serial Input/Output) 631、MMU (Memory Management Unit) 632、カウンタ 633、DAC (Digital to Analog converter) 634、バスコントローラ (バスインターフェース) 635、光伝送部 636 が設けられている。2 層目の薄膜チップ 640 には、CPU 641、RAM 642、ROM 643、光伝送部 644 が設けられている。

40

【0148】

光伝送部 636、644 には、それぞれ発光素子と受光素子とが形成されており、光伝送による各種信号または電源電圧の送受が行なわれる。

【0149】

本実施例のように、マイコンを積層した薄膜チップで構築することで、マイコンの実装面積を飛躍的に縮小することができる。

【0150】

50

(実施例4)

本実施例では、インターポーザと薄膜チップとの電気的な接続の仕方について説明する。

【0151】

図11(A)に、積層された薄膜チップを、ワイヤボンディング法でインターポーザに接続した場合の、断面構造を斜視図で示す。301はインターポーザ、302は積層された薄膜チップに相当する。薄膜チップ302はインターポーザ301上に、接着剤304によって貼り合わされている。

【0152】

また図11(A)に示すインターポーザ301は、ソルダーボール305が設けられたボールグリッドアレイ型である。ソルダーボール305は、インターポーザ301の薄膜チップ302が貼り合わされている側とは反対の側に設けられている。そしてインターポーザ301に設けられた配線306は、インターポーザ301に設けられたコンタクトホールを介して、ソルダーボール305と電気的に接続している。

【0153】

なお本実施例では、薄膜チップ302とソルダーボール305との電気的な接続をするための配線306を、インターポーザ305の薄膜チップ302が貼り合わされている面上に設けた例を示しているが、本発明で用いるインターポーザはこれに限定されない。例えば、インターポーザの内部において配線が多層化されて設けられていても良い。

【0154】

そして、図11(A)では、薄膜チップ302と配線306とが、ワイヤ307によって電気的に接続されている。図11(B)に、図11(A)に示したパッケージの断面図を示す。薄膜チップ302には半導体素子309が設けられており、また薄膜チップ302のインターポーザ301が設けられている側とは反対側に、パッド308が設けられている。本実施例では、パッド308が、積層された薄膜チップ302の一番上の層に電気的に接続されている。そしてパッド308は、インターポーザ301に設けられた配線306と、ワイヤ307によって接続されている。

【0155】

310はプリント配線基板の一部に相当し、311はプリント配線基板310に設けられた配線または電極に相当する。配線306はソルダーボール305を介して、プリント配線基板310に設けられた配線または電極311に接続される。なおソルダーボール305と、配線または電極311との接続は、熱圧着や、超音波による振動を加えた熱圧着等様々な方法を用いることができる。なお、アンダーフィルが圧着後のソルダーボール間の隙間を埋めるようにし、接続部分の機械的強度や、パッケージで発生した熱の拡散などの効率を高めるようにしても良い。アンダーフィルは必ずしも用いる必要はないが、インターポーザと薄膜チップの熱膨張係数のミスマッチから生ずる応力により、接続不良が起こるのを防ぐことができる。超音波を加えて圧着する場合、単に熱圧着する場合に比べて接続不良を抑えることができる。特に、接続するソルダーボールが300程度よりも多い場合に有効である。

【0156】

次に図11(C)に、フリップチップ法を用いて薄膜チップがインターポーザに接続されている場合の、断面図を示す。図11(C)では、薄膜チップ322の一番下層の薄膜チップに、ソルダーボール327が設けられている。ソルダーボール327は、一番下層の薄膜チップのインターポーザ321側に設けられており、一番下層の薄膜チップと電気的に接続されている。

【0157】

ソルダーボール327は、インターポーザ321に設けられた配線326と接続されている。そして図11(C)では、ソルダーボール327間の隙間を埋めるように、接着剤としても機能するアンダーフィル324が設けられている。またインターポーザ321のソルダーボール325は、インターポーザ321の薄膜チップ322が貼り合わされている側とは反対の側に設けられている。そしてインターポーザ321に設けられた配線326

10

20

30

40

50

は、インターポーザ 3 2 5 に設けられたコンタクトホールを介して、ソルダーボール 3 2 5 と電氣的に接続している。

【0158】

フリップチップ法の場合、接続するべきパッドの数が増加しても、ワイヤボンディング法に比べて、比較的パッド間のピッチを広く確保することができるので、端子数の多い薄膜チップの接続に向いている。

【0159】

なお図 1 1 (A) ~ 図 1 1 (C) において示した薄膜チップは、ボールグリッドアレイ型のインターポーザに転写されているが、本発明はこれに限定されない。端子が周辺に配置されているリードフレーム型でのインターポーザを用いても良い。図 1 1 (D) に、
10 リードフレーム型のインターポーザを用いた場合の、断面構造の斜視図を示す。

【0160】

図 1 1 (D) では、薄膜チップ 3 5 1 がワイヤボンディング法により、インターポーザ 3 5 0 上の接続端子 3 5 2 と接続されている。接続端子 3 5 2 は、インターポーザ 3 5 0 の薄膜チップ 3 5 1 が貼り合わされている面上に配置されている。

【0161】

なお本実施例では薄膜チップが剥き出しの状態を示しているが、モールド樹脂で薄膜チップを封止しても良い。

【0162】

また本実施例では、薄膜チップをインターポーザ上において積層した例について示すが、
20 本発明は必ずしもこの構成に限定されず、積層する基板はガラス基板、石英基板、シリコン基板、プラスチック基板など、半導体集積回路の形成に用いられる公知の基板を用いることができる。この場合、外部からの信号または電源電圧の供給用に、基板上に接続端子を設けても良いし、光伝送により供給を行っても良い。

【0163】

(実施例 5)

本発明で用いられる薄膜チップの転写のプロセスは、様々な製造装置を用いて処理が行なわれるので、装置間における基板の搬送が自動化されたインライン型の生産設備を用いることで、生産効率を高めることができる。

【0164】

図 1 2 に、実施の形態の図 1 ~ 図 3 に示した作製方法において、半導体素子が形成された第 1 の基板に第 2 の基板を貼り合わせる工程から、第 3 の基板を貼り合わせる工程まで、製造装置間における搬送を自動化した、インライン型の生産設備の構成を示す。
30

【0165】

図 1 2 において、7 0 1 と 7 1 4 は基板を搬送するための手段 (基板搬送手段) に相当し、それぞれ各装置間を、白抜きの矢印で示した方向に行き来する。7 0 7 は、基板搬送手段 7 0 1 と基板搬送手段 7 1 4 との間において基板の受け渡しをするために、基板を一次的にストックする基板受け渡しステーションに相当する。

【0166】

なお本実施例では、各装置間における基板の搬送を、2 つの基板搬送手段 7 0 1 、 7 1 4
40 で賄っているが、本発明はこれに限定されない。基板搬送手段の数を増やせば、基板搬送の能率を高めることができる。また基板受け渡しステーション 7 0 7 のように、基板の受け渡しのために一次的に基板をストックするような設備を、必ずしも設ける必要はない。例えば、装置へ基板を搬入する基板搬送手段と、搬出する基板搬送手段とを異なるようにすることで、基板の受け渡しを行なっても良い。

【0167】

7 0 2 はスピナーであり、第 1 の基板の半導体素子を覆うように、水溶性の接着剤をスピンコート法により塗布する装置である。7 0 3 は露光装置であり、スピナー 7 0 2 において塗布された接着剤を紫外線の露光により硬化させることができる。7 0 4 はスクライバ
50 ーであり、後の工程における剥離の際に、金属酸化膜を境にして半導体素子が剥離しすく

なるように、基板の端部をカットするための装置である。

【0168】

705は両面テープ貼付装置であり、テープ供給カセット706から供給される両面テープを、第1の基板の接着剤が塗布された面に貼り付けることができる。708は基板貼付装置であり、基板供給カセット709から供給された第2の基板を、前工程で貼り付けられた両面テープを用い、第1の基板に貼り付けることができる。

【0169】

710は両面テープ貼付装置であり、テープ供給カセット711から供給される両面テープを、第1の基板の接着剤が塗布された面とは反対の面に貼り付けることができる。712は基板貼付装置であり、基板供給カセット713から供給された第3の基板を、前工程で貼り付けられた両面テープを用い、第1の基板に貼り付けることができる。

10

【0170】

なお本実施例では、上述した工程のみインライン化された生産設備について説明したが、本発明はこれに限定されず、他の工程において用いる装置をインライン化するようにしても良い。

【0171】

(実施例6)

本発明の集積回路は様々な半導体装置に用いることが可能である。また本発明の集積回路に表示装置を貼り合わせ、半導体装置に用いることも可能である。特に携帯用の半導体装置の場合、軽量化、小型化することで使い勝手が飛躍的に良くなるため、本発明の集積回路を用いることは非常に有用である。

20

【0172】

図13(A)はシート型の携帯電話であり、本体2101、表示部2103、音声入力部2104、音声出力部2105、スイッチ2106、外部接続ポート2107等を含む。外部接続ポート2107を介して、別途用意したイヤホン2108を接続することができる。表示部2103には、センサを備えたタッチパネル式の表示装置が用いられており、表示部2103に表示されたタッチパネル式操作キー2109に触れることで、一連の操作を行なうことができる。本発明の薄膜集積回路は、本体2101内に設けられた各種信号処理回路として用いることができ、また薄膜集積回路に表示装置を貼り合わせる場合、該表示装置を表示部2103に用いることが可能である。

30

【0173】

図13(B)は電子ブックであり、本体2201、表示部2202、操作キー2203等を含む。またモデムが本体2201に内蔵されていても良い。また本発明の薄膜集積回路は、各種信号処理回路として用いることができる。

【0174】

図13(C)は腕時計であり、本体2301、表示部2302、留具2303等を含む。本発明の薄膜集積回路は、本体2301内に設けられた各種信号処理回路として用いることができ、また薄膜集積回路に表示装置を貼り合わせる場合、該表示装置を表示部2302に用いることが可能である。

【0175】

図13(D)はシート型のパーソナルコンピュータであり、本体2401、表示部2402、タッチパネル式キーボード2403、ポインティングマウス2404、外部接続ポート2405、電源プラグ2406等を含む。タッチパネル式キーボード2403、ポインティングマウス2404には、センサを備えたタッチパネル式の、表示装置が用いられており、タッチパネル式キーボード2403、ポインティングマウス2404に触れることで、一連の操作を行なうことができる。本発明の薄膜集積回路は、各種信号処理回路として用いることができ、また薄膜集積回路に表示装置を貼り合わせる場合、該表示装置を表示部2402、タッチパネル式キーボード2403などに用いることが可能である。

40

【0176】

図13(D)は電子カードであり、本体2601、表示部2602、接続端子2603等

50

を含む。本発明の薄膜集積回路は、本体 2601 内に設けられた各種信号処理回路として用いることができ、また薄膜集積回路に表示装置を貼り合わせる場合、該表示装置を表示部 2602 に用いることが可能である。

【0177】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の半導体装置に用いることが可能である。また、本実施例の半導体装置は実施例 1～5 に示したいずれの構成の集積回路を用いても良い。

【0178】

(実施例 7)

本実施例では、OLED を表示素子として用いた表示装置を、貼り合わせによりフルカラー化する実施例について説明する。 10

【0179】

図 14 (A) に、本実施例の表示装置が有する画素の断面図を示す。801 は 1 層目の薄膜チップが有する OLED に相当し、本実施例では発光色は赤色 (R) とする。また 802 は 2 層目の薄膜チップが有する OLED に相当し、本実施例では発光色は青色 (B) とする。803 は 3 層目の薄膜チップが有する OLED に相当し、本実施例では発光色は緑色 (G) とする。

【0180】

各画素に OLED 801～803 が設けられており、1 画素に設けられた OLED 801～803 は、その発光が観察者から見て重なって見えるように、発光領域を互いに重ね合わせるように配置する。なお、各層の薄膜チップが有する OLED の発光色は、本実施例で示した形態に限定されない。 20

【0181】

そして、全ての OLED 801～803 の発光が、下層側の薄膜チップ側に向かうように、最も上層の薄膜チップが有する OLED 803 の陰極が光を反射する材料で形成し、OLED 801、802 は光が両側から出射されるような構成の素子とする。

【0182】

上記構成により、OLED を表示素子として用いた表示装置をフルカラー化することができる。

【0183】

次に、図 14 (A) とは異なる形態の、本実施例の表示装置が有する画素の断面図を示す。 30

【0184】

図 14 (B) において、811 は 1 層目の薄膜チップが有する OLED に相当し、本実施例では発光色は赤色 (R) とする。また 812 は 2 層目の薄膜チップが有する OLED に相当し、本実施例では発光色は青色 (B) とする。813 は 3 層目の薄膜チップが有する OLED に相当し、本実施例では発光色は緑色 (G) とする。

【0185】

各画素に OLED 811～813 が設けられており、1 画素に設けられた OLED 811～813 は、発光領域が互いに重ならないか、もしくは重なっても一部のみにとどまるように配置されている。なお、各層の薄膜チップが有する OLED の発光色は、本実施例で示した形態に限定されない。 40

【0186】

そして、全ての OLED 811～813 の発光が、下層側の薄膜チップ側に向かうように、各層の薄膜チップが有する OLED 811～813 の陰極が光を反射する材料で形成されている。

【0187】

上記構成により、OLED を表示素子として用いた表示装置をフルカラー化することができる。

【0188】

本実施例で示した構成の表示装置は、各薄膜チップを別個に独立して作製するので、薄膜チップごとに作製方法を最適化するの容易である。よって、用いる電界発光材料の特性に合わせて、各色のOLEDの素子の構成を最適化し、それに合わせて作製方法を適宜変更することが可能である。

【0189】

【発明の効果】

このように本発明では各層の薄膜チップを別個に作製することができるので、下層の半導体素子の耐熱性を考慮して上層の半導体素子のプロセスに制約がかかることがなく、より特性の優れた半導体素子を形成することができる。また、各層の薄膜チップが、ガラス基板などを間に挟まずに、密接するように積層することができるので、ガラス基板による光の拡散を考慮する必要がない。そして発光素子と受光素子の間の距離をより短くすることができるので、発光素子の光の指向性が劣っていたとしても、ある程度それをカバーすることができる。

10

【0190】

そして本発明の薄膜集積回路を半導体装置に用いることで、集積回路に用いるスペースをより広く確保することができ、半導体装置の軽量化または小型化を妨げることなく高機能化を実現することができる。特に携帯用の半導体装置の場合、軽量化、小型化することで使い勝手が飛躍的に向上するため、本発明の薄膜集積回路を用いることは非常に有用である。

【0191】

そして、光インターコネクションを用いることで、配線抵抗に起因するスキューや不要な電波輻射の影響を低減しながら、薄膜チップ間でデータの伝送を行うことができる。また、電気信号から光信号へ変換し、光信号から再び電気信号へ変換する過程において、最終的に得られる電気信号の振幅を自由に制御することができる。

20

【図面の簡単な説明】

【図1】本発明の薄膜集積回路の作製方法を示す図。

【図2】本発明の薄膜集積回路の作製方法を示す図。

【図3】本発明の薄膜集積回路の作製方法を示す図。

【図4】本発明の薄膜集積回路の構成を示す図。

【図5】本発明の薄膜集積回路の構成を示す図。

30

【図6】本発明の薄膜集積回路に用いられる発光素子の構成を示す図。

【図7】本発明の薄膜集積回路の一例であるマイクロプロセッサの構成を示す図。

【図8】本発明の薄膜集積回路の一例であるDRAMの構成を示す図。

【図9】本発明の薄膜集積回路の一例であるDRAMの構成を示す図。

【図10】本発明の薄膜集積回路の一例であるワンチップマイコンの構成を示す図。

【図11】本発明の薄膜集積回路をインターポーザ上に接続した様子を示す斜視図及び断面図。

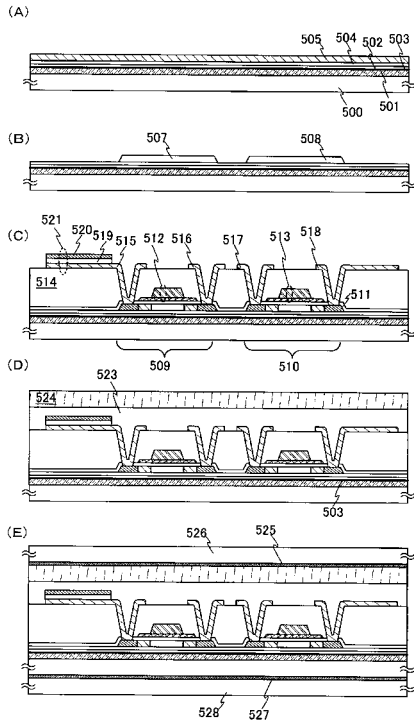
【図12】本発明の薄膜集積回路の作製工程において用いる生産設備の一例を示す図。

【図13】本発明の薄膜集積回路を用いて作製される半導体装置の構成を示す図。

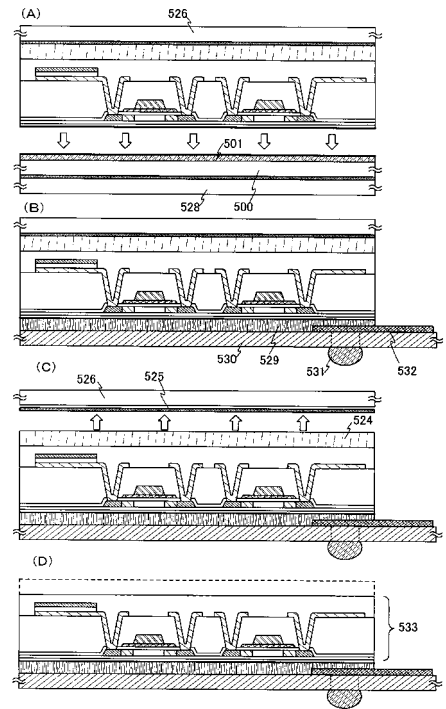
【図14】本発明の半導体装置の1つである表示装置の画素の断面図。

40

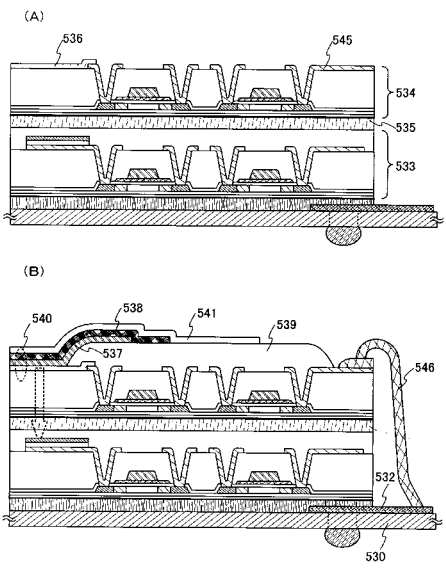
【図1】



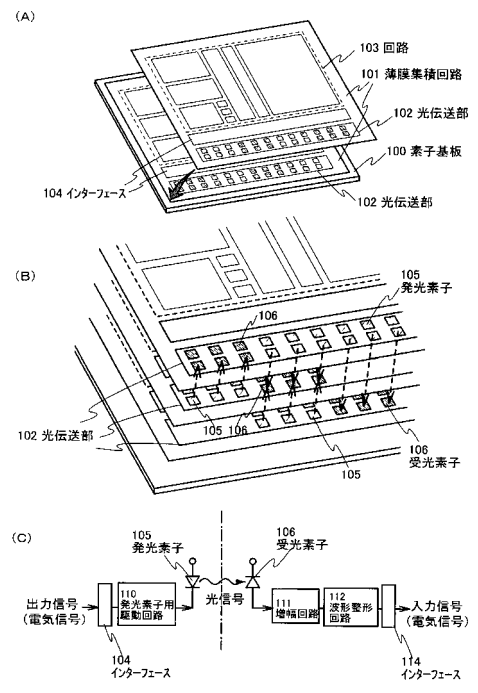
【図2】



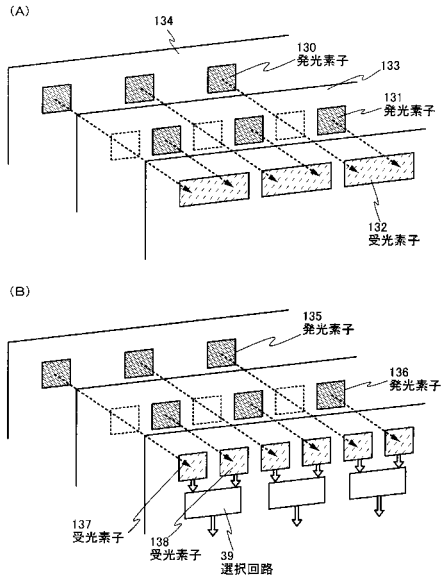
【図3】



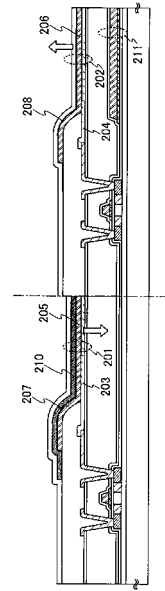
【図4】



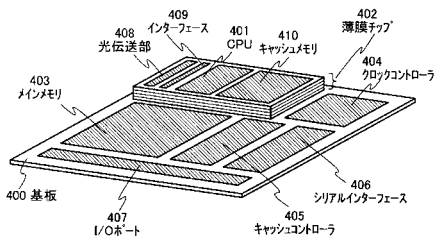
【図5】



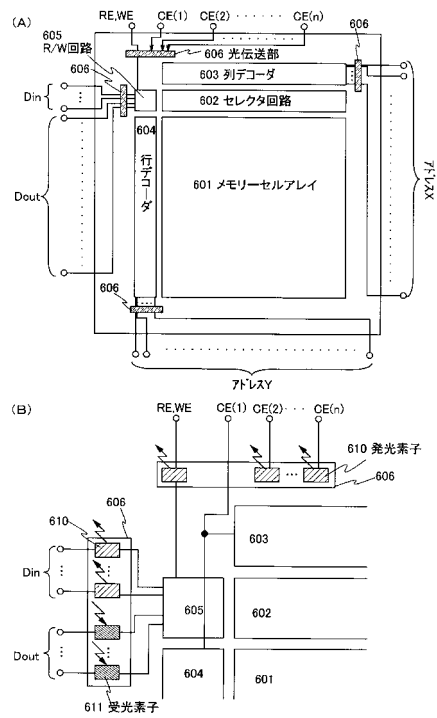
【図6】



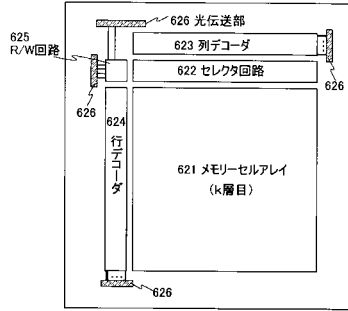
【図7】



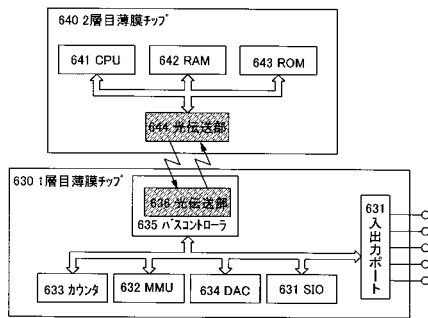
【図8】



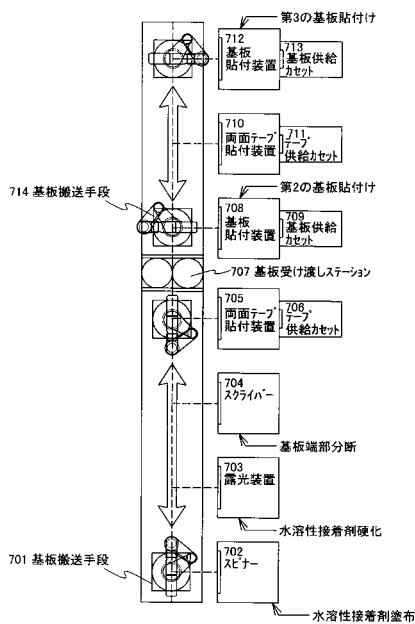
【図9】



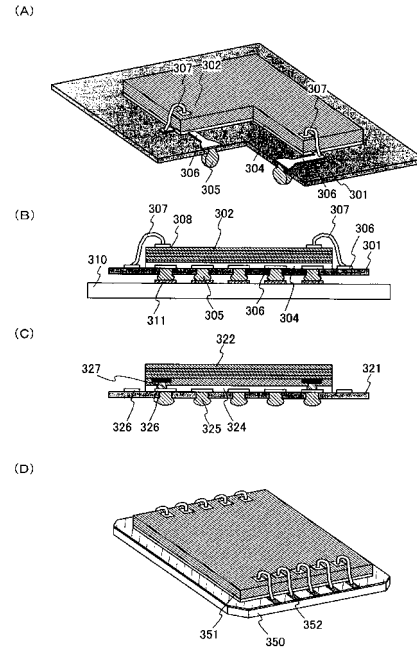
【図10】



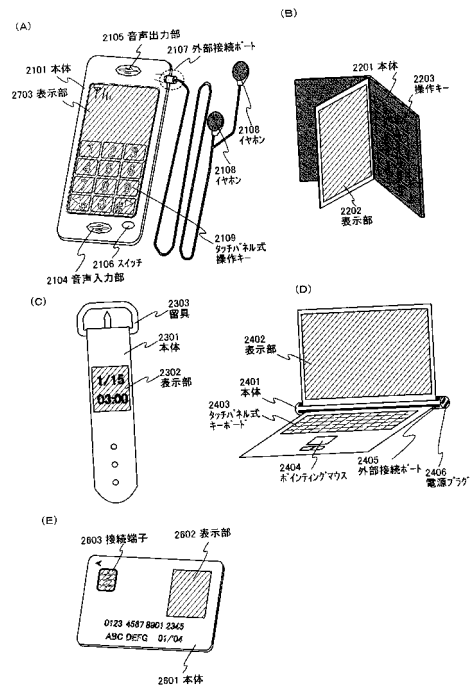
【図12】



【図11】

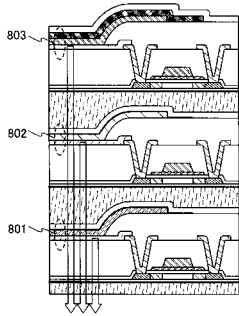


【図13】

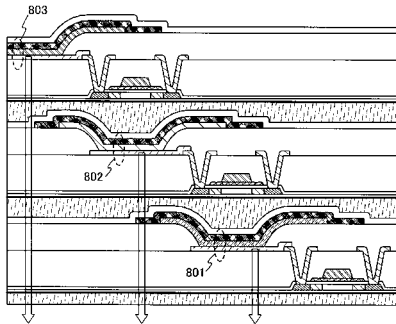


【 図 1 4 】

(A)



(B)



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)
H O 1 L 31/12 H O 1 L 27/14 C

(72)発明者 大野 由美子

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

Fターム(参考) 4M118 BA02 BA05 CA02 CA32 CB06 CB14 FB13 FB24 FC02 FC06
FC15 HA02 HA11 HA19 HA21 HA24 HA25 HA29 HA30 HA31
HA35
5F089 AA06 AB03 AB11 AC19 CA12 EA01 FA03 FA05 GA08
5F110 AA01 AA04 AA09 BB03 BB06 BB07 BB11 CC02 CC07 DD01
DD12 DD13 DD14 DD15 DD17 DD30 GG01 GG02 GG13 GG25
GG43 GG44 GG45 HL02 HL03 HL04 HL12 HL23 HM15 NN03
NN22 NN24 NN27 NN36 NN71 NN72 PP01 PP02 PP03 PP05
PP06 PP07 PP13 PP34 QQ09 QQ11 QQ16 QQ30