



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월08일
(11) 등록번호 10-1119579
(24) 등록일자 2012년01월26일

(51) 국제특허분류(Int. Cl.)

H01L 33/16 (2010.01)

(21) 출원번호 10-2005-0035072

(22) 출원일자 2005년04월27일

심사청구일자 2010년03월05일

(65) 공개번호 10-2006-0047539

(43) 공개일자 2006년05월18일

(30) 우선권주장

JP-P-2004-00136265 2004년04월30일 일본(JP)

JP-P-2005-00025433 2005년02월01일 일본(JP)

(56) 선행기술조사문헌

JP2002374003 A*

JP2000223743 A*

JP2001044500 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

스미토모덴키고교가부시킴이샤

일본 오사카후 오사카시 주오쿠 기타하마 4쵸메 5반33고

(72) 발명자

우에마츠 고지

일본 효고켄 이타미시 고야키타 1-1-1 스미토모 덴키 고교가부시킴이샤 이타미 세이사쿠쇼 나이

우에노 마사키

일본 효고켄 이타미시 고야키타 1-1-1 스미토모 덴키 고교가부시킴이샤 이타미 세이사쿠쇼 나이

(뒷면에 계속)

(74) 대리인

신정건, 김태홍

전체 청구항 수 : 총 16 항

심사관 : 임영훈

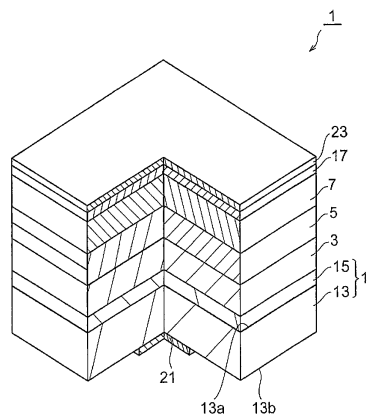
(54) 발명의 명칭 **반도체 발광 소자**

(57) 요약

본 발명은 활성층에 있어서의 자연 발생 전계가 저감되어, 고휘도화가 가능한 반도체 발광 소자를 제공하는 것을 목적으로 한다.

반도체 발광 소자(1)는 n형 클래드층(3)과, n형 클래드층(3)상에 설치된 p형 클래드층(7)과, n형 클래드층(3)과 p형 클래드층(7) 사이에 설치되어 있고, 질화물로 이루어진 활성층(5)을 구비하며, n형 클래드층(3)과 활성층(5)의 계면에 직교하는 축과 활성층(5)에 있어서의 c축이 이루는 각도 및 활성층(5)과 p형 클래드층(7)의 계면에 직교하는 축과 활성층(5)에 있어서의 c축이 이루는 각도가 각각 제로보다 큰 것을 특징으로 한다.

대표도 - 도1



(72) 발명자

히로타 류

일본 효고켄 이타미시 고야키타 1-1-1 스미토모 덴
키 고교가부시키키가이샤 이타미 세이사쿠쇼 나이

나카하타 히데아키

일본 효고켄 이타미시 고야키타 1-1-1 스미토모 덴
키 고교가부시키키가이샤 이타미 세이사쿠쇼 나이

오쿠이 마나부

일본 효고켄 이타미시 고야키타 1-1-1 스미토모 덴
키 고교가부시키키가이샤 이타미 세이사쿠쇼 나이

특허청구의 범위

청구항 1

육방정계 화합물로 이루어지는 제1 도전형 반도체층과,
 육방정계 화합물로 이루어지고 상기 제1 도전형 반도체층상에 설치된 제2 도전형 반도체층과,
 상기 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 설치되어 있고, 육방정계 화합물로 이루어지는 활성층을 구비하며,
 상기 활성층의 상기 제1 도전형 반도체층측의 계면에 직교하는 축 및 상기 활성층의 상기 제2 도전형 반도체층측의 계면에 직교하는 축의 각각과 상기 활성층에 있어서의 c축이 이루는 각도는 제로보다 크고,
 상기 활성층은 우물층과, 이 우물층을 사이에 두고 이 우물층에 전위 장벽을 제공하는 배리어층을 포함하는 양자 우물 구조를 가지며, 상기 우물층의 두께는 3 nm보다 큰 것을 특징으로 하는 반도체 발광 소자.

청구항 2

육방정계 화합물로 이루어지고 주요면을 갖는 기판과,
 육방정계 화합물로 이루어지고 상기 기판의 상기 주요면상에 에피택셜 성장된 제1 도전형 반도체층과,
 상기 제1 도전형 반도체층상에 에피택셜 성장되고, 육방정계 화합물로 이루어지는 활성층과,
 육방정계 화합물로 이루어지고 상기 활성층상에 에피택셜 성장된 제2 도전형 반도체층을 구비하며,
 상기 기판의 상기 주요면에 직교하는 축과 상기 기판의 c축이 이루는 각도는 제로보다 크고,
 상기 활성층은 우물층과, 이 우물층을 사이에 두고 이 우물층에 전위 장벽을 제공하는 배리어층을 포함하는 양자 우물 구조를 가지며, 상기 우물층의 두께는 3 nm보다 큰 것을 특징으로 하는 반도체 발광 소자.

청구항 3

제2항에 있어서, 상기 기판의 상기 주요면이 그 기판의 {10-10}면, {11-24}면 및 {11-20}면 중 어느 하나의 면을 포함하는 것을 특징으로 하는 반도체 발광 소자.

청구항 4

제2항 또는 제3항에 있어서, 상기 기판의 이면상에 설치되고, 상기 기판과 오믹 접촉된 제1 전극과,
 상기 제2 도전형 반도체층상에 설치되고, 상기 제2 도전형 반도체층과 오믹 접촉된 제2 전극을 더 구비하는 것을 특징으로 하는 반도체 발광 소자.

청구항 5

제1항 또는 제2항에 있어서, 상기 제1 도전형 반도체층, 상기 제2 도전형 반도체층 및 상기 활성층의 상기 육방정계 화합물이 II족 원자 및 VI족 원자를 함유하는 것을 특징으로 하는 반도체 발광 소자.

청구항 6

제5항에 있어서, 상기 II족 원자는 아연 원자인 것을 특징으로 하는 반도체 발광 소자.

청구항 7

제5항에 있어서, 상기 육방정계 화합물은 ZnO계 화합물인 것을 특징으로 하는 반도체 발광 소자.

청구항 8

제1항 또는 제2항에 있어서, 상기 제1 도전형 반도체층, 상기 제2 도전형 반도체층 및 상기 활성층의 상기 육방정계 화합물은 III족 원자 및 V족 원자를 함유하는 것을 특징으로 하는 반도체 발광 소자.

청구항 9

제8항에 있어서, 상기 V족 원자는 질소 원자인 것을 특징으로 하는 반도체 발광 소자.

청구항 10

제8항에 있어서, 상기 육방정계 화합물은 GaN계 화합물인 것을 특징으로 하는 반도체 발광 소자.

청구항 11

제1 도전형 질화물 반도체층과,

상기 제1 도전형 질화물 반도체층상에 설치된 제2 도전형 질화물 반도체층과,

상기 제1 도전형 질화물 반도체층과 제2 도전형 질화물 반도체층 사이에 설치되어 있고, 질화물로 이루어지는 활성층을 구비하며,

상기 활성층의 상기 제1 도전형 질화물 반도체층측의 계면에 직교하는 축 및 상기 활성층의 상기 제2 도전형 질화물 반도체층측의 계면에 직교하는 축의 각각과 상기 활성층에 있어서의 c축이 이루는 각도는 제로보다 크고,

상기 활성층은 우물층과, 이 우물층을 사이에 두고 이 우물층에 전위 장벽을 제공하는 배리어층을 포함하는 양자 우물 구조를 가지며, 상기 우물층의 두께는 3 nm보다 큰 것을 특징으로 하는 반도체 발광 소자.

청구항 12

III족 질화물로 이루어지고 주요면을 갖는 질화물 기판과,

상기 질화물 기판의 상기 주요면상에 에피택셜 성장된 제1 도전형 질화물 반도체층과,

상기 제1 도전형 질화물 반도체층상에 에피택셜 성장되고, 질화물로 이루어지는 활성층과,

상기 활성층상에 에피택셜 성장된 제2 도전형 질화물 반도체층을 구비하며,

상기 질화물 기판의 상기 주요면에 직교하는 축과 상기 질화물 기판의 c축이 이루는 각도는 제로보다 크고,

상기 활성층은 우물층과, 이 우물층을 사이에 두고 이 우물층에 전위 장벽을 제공하는 배리어층을 포함하는 양자 우물 구조를 가지며, 상기 우물층의 두께는 3 nm보다 큰 것을 특징으로 하는 반도체 발광 소자.

청구항 13

제12항에 있어서, 상기 질화물 기판의 상기 주요면은 그 질화물 기판의 {10-10}면, {11-24}면 및 {11-20}면 중 어느 하나의 면을 포함하는 것을 특징으로 하는 반도체 발광 소자.

청구항 14

제12항 또는 제13항에 있어서, 상기 질화물 기판의 이면상에 설치되고, 상기 질화물 기판과 오믹 접촉된 제1 전극과,

상기 제2 도전형 질화물 반도체층상에 설치되고, 상기 제2 도전형 질화물 반도체층과 오믹 접촉된 제2 전극을 더 구비하는 것을 특징으로 하는 반도체 발광 소자.

청구항 15

제12항에 있어서, 상기 질화물 기판의 상기 주요면에 있어서의 전위 밀도는 $1 \times 10^8 \text{ cm}^{-2}$ 이하인 것을 특징으로 하는 반도체 발광 소자.

청구항 16

삭제

청구항 17

제11항 또는 제12항에 있어서, 상기 우물층은 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 < y \leq 1$)으로 이루어지는 것을 특징으로 하는 반도체 발광 소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0021]

본 발명은 반도체 발광 소자에 관한 것이다.

[0022]

최근, 청색 발광 다이오드(LED)나 자외 LED라는 비교적 단파장의 반도체 발광 소자가 한창 개발되고 있다. 이러한 반도체 발광 소자에서는, 비교적 밴드 갭이 큰 InGaN이나 AlGaIn이라는 III-V 족 화합물, 혹은 ZnO라는 II-VI 족 화합물이 적합하게 이용되고 있다. 이러한 반도체 발광 소자의 일례로서는, AlGaIn을 포함하는 n형 클래드층과, 마찬가지로 AlGaIn을 포함하는 p형 클래드층 사이에, InGaN을 포함하는 활성층이 배치된 것이 있다. 또한, 다른 일례로서는, MgZnO를 포함하는 n형 클래드층과, 마찬가지로 MgZnO를 포함하는 p형 클래드층 사이에, ZnO를 포함하는 활성층이 배치된 것이 있다.

발명이 이루고자 하는 기술적 과제

[0023]

InGaN 등의 III-V 족 화합물이나 ZnO 등의 II-VI 족 화합물로 이루어진 결정은 육방정(六方晶)을 구성하는 경우가 많다. 이러한 육방정계 화합물로 이루어진 활성층을 갖는 반도체 발광 소자에서는, 활성층의 헥세로 계면에 있어서 피에조 전계라는 자연 발생 전계가 발생하는 것이 알려져 있다. 이 자연 발생 전계가 클수록, 활성층에 있어서의 전자와 정공의 파동 함수가 겹치는 부분이 좁아져, 전자와 정공의 재결합 확률이 저하된다. 따라서, 자연 발생 전계가 커질수록, 발광 효율이 저하하게 된다. 자연 발생 전계는 활성층이 두꺼워질수록 커지기 때문에, 자연 발생 전계에 의한 발광 효율의 저하를 억제하기 위해서 활성층(특히, 양자 우물 구조에 있어서의 우물층)의 두께가 제한되어, 반도체 발광 소자의 고휘도화를 저지하는 하나의 원인이 되고 있었다.

[0024]

본 발명은 상기 문제점을 감안하여 이루어진 것으로, 활성층에 있어서의 자연 발생 전계가 저감되어, 고휘도화가 가능한 반도체 발광 소자를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

[0025]

상기한 과제를 해결하기 위해서, 본 발명에 따른 반도체 발광 소자는 육방정계 화합물로 이루어지는 제1 도전형 반도체층과, 육방정계 화합물로 이루어지고 제1 도전형 반도체층상에 설치된 제2 도전형 반도체층과, 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 설치되어 있고, 육방정계 화합물로 이루어지는 활성층을 구비하며, 활성층의 제1 도전형 반도체층측의 계면에 직교하는 축 및 활성층의 제2 도전형 반도체층측의 계면에 직교하는 축의 각각과 활성층에 있어서의 c축이 이루는 각도가 제로보다 큰 것을 특징으로 한다.

[0026]

또한, 본 발명에 따른 반도체 발광 소자는 제1 도전형 질화물 반도체층과, 제1 도전형 질화물 반도체층상에 설치된 제2 도전형 질화물 반도체층과, 제1 도전형 질화물 반도체층과 제2 도전형 질화물 반도체층 사이에 설치되어 있고, 질화물로 이루어지는 활성층을 구비하며, 활성층의 제1 도전형 질화물 반도체층측의 계면에 직교하는 축 및 활성층의 제2 도전형 질화물 반도체층측의 계면에 직교하는 축의 각각과 활성층에 있어서의 c축이 이루는 각도가 제로보다 큰 것을 특징으로 한다.

[0027]

활성층이 질화물 반도체 등의 육방정계 화합물로 이루어진 경우, 활성층을 사이에 두는 2개의 계면에 직교하는 축과 활성층에 있어서의 c축이 일치할 때(즉, 활성층이 c면상에 성장했을 때)에, 활성층에 있어서 발생하는 자연 발생 전계가 가장 커진다. 상기한 어느 하나의 반도체 발광 소자에 따르면, 활성층의 제1 도전형 반도체층(또는 제1 도전형 질화물 반도체층)측의 계면에 직교하는 축 및 활성층의 제2 도전형 반도체층(또는 제2 도전형 질화물 반도체층)측의 계면에 직교하는 축의 각각과 활성층에 있어서의 c축이 이루는 각도가 제로보다 큼(즉, 활성층을 사이에 두는 2개의 계면이 c면과는 다름)으로써, 활성층에 있어서의 자연 발생 전계를 저감할 수 있다. 이것에 의해, 활성층에 있어서 전자와 정공의 파동 함수가 겹치는 부분이 넓어져, 재결합 확률이 높아지기 때문에, 활성층을 보다 두껍게 할 수 있어, 한층 더 고휘도화가 가능해진다.

[0028]

또한, 본 발명에 따른 반도체 발광 소자는 육방정계 화합물로 이루어지고 주요면을 갖는 기판과, 육방정계 화합물로 이루어지고 기판의 주요면상에 에피택셜 성장된 제1 도전형 반도체층과, 제1 도전형 반도체층상에 에피택셜 성장되고, 육방정계 화합물로 이루어지는 활성층과, 육방정계 화합물로 이루어지고 활성층상에 에피택셜 성

장된 제2 도전형 반도체층을 구비하며, 기판의 주요면에 직교하는 축과 기판의 c축이 이루는 각도가 제로보다 큰 것을 특징으로 한다.

- [0029] 또한, 본 발명에 따른 반도체 발광 소자는 III족 질화물로 이루어지고 주요면을 갖는 질화물 기판과, 질화물 기판의 주요면상에 에피택셜 성장된 제1 도전형 질화물 반도체층과, 제1 도전형 질화물 반도체층상에 에피택셜 성장되고, 질화물로 이루어진 활성층과, 활성층상에 에피택셜 성장된 제2 도전형 질화물 반도체층을 구비하며, 질화물 기판의 주요면에 직교하는 축과 질화물 기판의 c축이 이루는 각도가 제로보다 큰 것을 특징으로 한다.
- [0030] 상기한 어느 하나의 반도체 발광 소자에 따르면, 기판(또는 질화물 기판)의 주요면에 직교하는 축과 기판(질화물 기판)의 c축이 이루는 각도가 제로보다 큼(즉, 기판(질화물 기판)의 주요면이 c면과는 다름)으로써, 이 주요면상에 에피택셜 성장되는 활성층의 2개의 계면이 c면과는 다르기 때문에, 활성층에 있어서의 자연 발생 전계를 저감할 수 있다. 이것에 의해, 활성층을 보다 두껍게 할 수 있어, 한층 더 고휘도화가 가능해진다.
- [0031] 또한, 반도체 발광 소자는 기판(또는 질화물 기판)의 주요면이 그 기판(질화물 기판)의 {10-10}면, {11-24}면 및 {11-20}면 중 어느 하나의 면을 포함하는 것을 특징으로 하여도 좋다. 이것에 의해, 활성층의 2개의 계면이 이들 중 어느 하나의 면을 포함하게 되어, 활성층에 있어서의 자연 발생 전계를 효과적으로 저감할 수 있다. 또, 여기서 말하는 {10-10}면, {11-24}면 및 {11-20}면은 각각 등가인 면의 집합을 의미한다. 예컨대, {10-10}면에는 (10-10)면, (01-10)면, (-1100)면, (-1010)면, (0-110)면 및 (1-100)면이 포함되는 것으로 한다.
- [0032] 또한, 반도체 발광 소자는 기판(또는 질화물 기판)의 이면상에 설치되고, 기판(질화물 기판)과 오믹 접촉된 제1 전극과, 제2 도전형 반도체층(또는 제2 도전형 질화물 반도체층)상에 설치되고, 제2 도전형 반도체층(제2 도전형 질화물 반도체층)과 오믹 접촉된 제2 전극을 더 구비하는 것을 특징으로 하여도 좋다. 이와 같이, 반도체 발광 소자의 양면에 전극이 설치됨으로써, 활성층으로 전자 및 정공을 효율적으로 주입할 수 있기 때문에, 반도체 발광 소자를 더 고휘도화할 수 있다.
- [0033] 또한, 반도체 발광 소자는 제1 도전형 반도체층, 제2 도전형 반도체층 및 활성층의 육방정계 화합물이 II족 원자 및 VI족 원자를 함유하는 것을 특징으로 하여도 좋다. II족 원자 및 VI족 원자를 함유하는 II-VI족 화합물 결정은 육방정을 구성하기 때문에, 활성층의 제1 도전형 반도체층측의 계면에 직교하는 축 및 활성층의 제2 도전형 반도체층측의 계면에 직교하는 축의 각각과 활성층에 있어서의 c축이 이루는 각도가 제로보다 큼으로써, 활성층에 있어서의 자연 발생 전계를 효과적으로 저감할 수 있다. 이 경우, 반도체 발광 소자는 II족 원자가 아연 원자인 것을 특징으로 하여도 좋고, 혹은 육방정계 화합물이 ZnO계 화합물인 것을 특징으로 하여도 좋다.
- [0034] 또한, 반도체 발광 소자는 제1 도전형 반도체층, 제2 도전형 반도체층 및 활성층의 육방정계 화합물이 III족 원자 및 V족 원자를 함유하는 것을 특징으로 하여도 좋다. III족 원자 및 V족 원자를 함유하는 III-V족 화합물 결정은 육방정을 구성하기 때문에, 활성층의 제1 도전형 반도체층측의 계면에 직교하는 축 및 활성층의 제2 도전형 반도체층측의 계면에 직교하는 축의 각각과 활성층에 있어서의 c축이 이루는 각도가 제로보다 큼으로써, 활성층에 있어서의 자연 발생 전계를 효과적으로 저감할 수 있다. 이 경우, 반도체 발광 소자는 V족 원자가 질소 원자인 것을 특징으로 하여도 좋고, 혹은 육방정계 화합물이 GaN계 화합물인 것을 특징으로 하여도 좋다.
- [0035] 또한, 반도체 발광 소자는 질화물 기판의 주요면에 있어서의 전위 밀도가 $1 \times 10^8 \text{ cm}^{-2}$ 이하인 것을 특징으로 하여도 좋다. 이와 같이, 주요면에 있어서의 전위 밀도가 비교적 작은 질화물 기판을 반도체 발광 소자가 구비함으로써, 제1 도전형 질화물 반도체층을 관통하여 활성층에 도달하는 전위의 밀도가 낮게 억제되어, 발광 효율을 더욱 높일 수 있다.
- [0036] 또한, 반도체 발광 소자는 활성층이 우물층과, 상기 우물층을 사이에 두고 상기 우물층에 전위 장벽을 제공하는 배리어층을 포함하는 양자 우물 구조를 가지며, 우물층의 두께가 3 nm보다 큰 것을 특징으로 하여도 좋다. 종래, 전술한 자연 발생 전계에 의해, 양자 우물 구조에 있어서의 우물층의 두께는 3 nm 이하로 제한되어 있었다. 이것에 대하여, 상기 각 반도체 발광 소자에 따르면, 우물층에 있어서의 자연 발생 전계를 저감할 수 있기 때문에, 우물층을 종래보다 두껍게 하는 것이 가능해진다.
- [0037] 또한, 반도체 발광 소자는 우물층이 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 < y \leq 1$)으로 이루어지는 것을 특징으로 하여도 좋다. 이와 같이, 우물층이 인듐(In)을 조성에 포함하는 경우에는, In의 조성비가 클수록 자연 발생 전계가 현저해진다. 이것에 대하여, 상기 각 반도체 발광 소자에 따르면, 우물층에 있어서의 자연 발생 전계를 저감할 수 있기 때문에, $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 < y \leq 1$)으로 이루어지는 우물층을 구비하는 반도체 발광 소자라도 고휘도화가 가능해진다.

- [0038] 이하, 첨부 도면을 참조하면서 본 발명에 따른 반도체 발광 소자의 실시 형태를 상세히 설명한다. 또, 도면의 설명에 있어서 동일한 요소에는 동일한 부호를 붙여 중복되는 설명을 생략한다.
- [0039] 도 1은 본 실시 형태에 따른 반도체 발광 소자를 도시한 도면이다. 도 1에 도시된 반도체 발광 소자는 발광 다이오드라는 면발광 소자에 적합한 구조이다.
- [0040] 도 1을 참조하면, 반도체 발광 소자(1)는 지지 기체(11)와, n형 클래드층(3)과, 활성층(5)과, p형 클래드층(7)과, p형 컨택트층(17)과, 캐소드 전극(21)과, 애노드 전극(23)을 구비한다.
- [0041] 지지 기체(11)는 기판(13)과, 이 기판(13)의 주요면(13a)상에 에피택셜 성장된 n형 버퍼층(15)을 포함하여 구성된다. 기판(13)의 주요면(13a)상에는 n형 버퍼층(15)을 사이에 두고, n형 클래드층(3), 활성층(5), p형 클래드층(7) 및 p형 컨택트층(17)이 순차적으로 적층되어 있다. 기판(13)은 III족 원자 및 V족 원자를 함유하는 III-V족 화합물이나 II족 원자 및 VI족 원자를 함유하는 II-VI족 화합물이라는 육방정계 화합물을 포함하여 구성되어 있다. 구체적으로는, 기판(13)으로서 예컨대 V족 원자로서 질소 원자(N)를 함유하는 III족 질화물(예컨대 질화갈륨(GaN)계 화합물이나 질화알루미늄(AlN)계 화합물)로 이루어진 질화물 기판이나, 혹은 II족 원자로서 아연 원자(Zn)를 함유하는 화합물(예컨대 산화아연(ZnO)계 화합물)로 이루어진 기판을 이용할 수 있다.
- [0042] 기판(13)은 예컨대 두께 300 μm 이상, 평면 치수 10 mm \times 10 mm 이상이라는 직사각형의 판 형상을 띠고 있다. 또한, 기판(13)은 예컨대 실리콘(Si)이라는 n형 도펀트가 첨가됨으로써 n형의 도전성을 갖는다. 기판(13)에 있어서의 적합한 n형 도펀트 농도는 예컨대 $1 \times 10^{17} \text{ cm}^{-3}$ 이상 $1 \times 10^{19} \text{ cm}^{-3}$ 이하이다. 또한, 기판(13)은 활성층(5)에서 발생한 광이 그 기판(13)을 적합하게 투과하도록, 파장 450 nm 이상 750 nm 이하의 광에 대한 흡수 계수가 2 cm^{-1} 이상 100 cm^{-1} 이하인 것이 바람직하다.
- [0043] 여기서, 도 2a는 본 실시 형태에 있어서의 기판(13)을 도시한 사시도이다. 또한, 도 2b는 도 2a에 도시된 기판(13)에 있어서의 결정 방위를 설명하기 위한 도면이다. 본 실시 형태에 있어서의 기판(13)의 주요면(13a)은 그 주요면(13a)의 적어도 일부에 수직인 축(A)과 기판(13)의 단위 격자에 있어서의 c축 방향(즉 <0001> 방향)이 이루는 각이 제로보다 커지도록 형성되어 있다. 특히, 주요면(13a)은 축(A)이 도 2b에 도시한 바와 같이 기판(13)의 단위 격자에 있어서의 <10-10> 방향을 따르도록 형성되어 있는 것이 바람직하다. 바꾸어 말하면, 기판(13)의 주요면(13a)의 적어도 일부는 기판(13)의 단위 격자에 있어서의 {10-10}면(도 2b의 면(31))을 포함하는 것이 바람직하다. 또, 여기서, 「{10-10}면을 포함하고 있다」는 것은, 주요면(13a)의 적어도 일부가 {10-10}면과 엄밀히 일치하고 있는 경우에 한정되는 것이 아니라, 예컨대 주요면(13a)의 적어도 일부와 {10-10}면이 이루는 각의 절대값이 10° 이하라면, 주요면(13a)의 적어도 일부가 {10-10}면과 엄밀히 일치하고 있는 경우와 거의 동등한 작용 효과를 얻을 수 있다.
- [0044] 혹은, 주요면(13a)은 기판(13)의 단위 격자에 있어서의 <11-24> 방향이나 <11-20> 방향으로 축(A)이 따르도록 형성되는 것이 바람직하다. 바꾸어 말하면, 기판(13)의 주요면(13a)의 적어도 일부는 기판(13)의 단위 격자에 있어서의 {11-24}면이나 {11-20}면을 포함하는 것이 바람직하다.
- [0045] 또한, 도 2b에 도시한 기판(13)의 단위 격자는 c축 방향(즉 [0001] 방향)의 치수가 $5.1851 \pm 0.0005 \text{ \AA}$ 의 범위내이며, a_1 축([2-1-10] 방향), 혹은 a_2 축([-12-10] 방향), a_3 축([-1-120] 방향)의 치수가 $3.1891 \pm 0.0005 \text{ \AA}$ 의 범위내인 것이 바람직하다. 또는, 기판(13)의 주요면(13a)에서의 단위 면적(1 mm \times 1 mm)을 X선 회절법에 의해 측정된 X선 로킹 커브의 피크 반치폭(Full Width Half Maximum, FWHM)이 1000[arcsec] 이하인 것이 바람직하다. 기판(13)이 상기 어느 하나의 특징을 구비하면, 기판(13)의 결정성이 양호하다고 할 수 있다. 또한, 이러한 기판(13)은 후술하는 제조 방법에 의해 적합하게 실현된다.
- [0046] 또한, 기판(13)이 III족 질화물로 이루어진 질화물 기판인 경우, 기판(13)의 주요면(13a)에서의 전위 밀도는 $1 \times 10^8 \text{ cm}^{-2}$ 이하라는 비교적 작은 값인 것이 바람직하다. 이러한 기판(13)도 또한 후술하는 제조 방법에 의해 적합하게 실현된다. 이와 같이, 기판(13)의 주요면(13a)에서의 전위 밀도를 비교적 작게 억제함으로써, 비발광 중심으로서 작용하여 활성층(5)에 형성되는 관통 전위의 밀도를 저감할 수 있다.
- [0047] n형 버퍼층(15)은 기판(13)과 동일한 재료, 즉 Si라는 n형 도펀트가 첨가된, III족 원자 및 V족 원자를 함유하는 III-V족 화합물이나 II족 원자 및 VI족 원자를 함유하는 II-VI족 화합물이라는 육방정계 화합물을 포함하여 구성되어 있다.
- [0048] 다시 도 1을 참조한다. n형 클래드층(3)은 본 실시 형태에 있어서의 제1 도전형 반도체층으로서, III족 원자 및

V족 원자를 함유하는 III-V족 화합물이나 II족 원자 및 VI족 원자를 함유하는 II-VI족 화합물이라는 육방정계 화합물 반도체를 포함하여 구성되어 있다. 구체적으로는, n형 클래드층(3)은 예컨대 V족 원자로서 질소 원자(N)를 함유하는 III족 질화물(예컨대 $Al_{x1}Ga_{1-x1}N(0 \leq x1 \leq 1)$ 등의 GaN계 화합물)로 이루어진 제1 도전형 질화물 반도체층이어도 좋고, 혹은 II족 원자로서 아연 원자(Zn)를 함유하는 화합물(예컨대 $Mg_{y1}Zn_{1-y1}O(0 \leq y1 < 1)$ 등의 ZnO계 화합물)로 이루어진 반도체층이어도 좋다. n형 클래드층(3)에는 예컨대 실리콘이라는 n형 도펀트가 첨가되어 있다. n형 클래드층(3)은 지지 기체(11)상, 즉 n형 버퍼층(15)상에 에피택셜 성장되어 이루어진다.

[0049] 활성층(5)은 반도체 발광 소자(1)에 있어서의 발광 영역이다. 활성층(5)은 III족 원자 및 V족 원자를 함유하는 III-V족 화합물이나 II족 원자 및 VI족 원자를 함유하는 II-VI족 화합물이라는 육방정계 화합물을 포함하여 구성되어 있다. 구체적으로는, 활성층(5)은 예컨대 V족 원자로서 질소 원자(N)를 함유하는 III족 질화물(예컨대 $Al_xIn_yGa_{(1-x-y)}N(0 \leq x \leq 1, 0 < y \leq 1)$ 등의 GaN계 화합물)이나 혹은 II족 원자로서 아연 원자(Zn)를 함유하는 화합물(예컨대 ZnO 등의 ZnO계 화합물)로 이루어진다. 활성층(5)은 n형 클래드층(3)상에 에피택셜 성장되어 이루어진다.

[0050] p형 클래드층(7) 및 p형 콘택트층(17)은 본 실시 형태에 있어서의 제2 도전형 반도체층으로서, III족 원자 및 V족 원자를 함유하는 III-V족 화합물이나 II족 원자 및 VI족 원자를 함유하는 II-VI족 화합물이라는 육방정계 화합물 반도체를 포함하여 구성되어 있다. 구체적으로는, p형 클래드층(7)은 예컨대 V족 원자로서 질소 원자(N)를 함유하는 III족 질화물(예컨대 $Al_{x2}Ga_{1-x2}N(0 \leq x2 \leq 1)$ 등의 GaN계 화합물)로 이루어진 제2 도전형 질화물 반도체층이어도 좋고, 혹은 II족 원자로서 아연 원자(Zn)를 함유하는 화합물(예컨대 $Mg_{y2}Zn_{1-y2}O(0 \leq y2 < 1)$ 등의 ZnO계 화합물)로 이루어진 반도체층이어도 좋다. p형 클래드층(7)이 III-V족 화합물을 포함하는 경우, p형 클래드층(7)에는 p형 도펀트로서 예컨대 마그네슘(Mg)이 첨가되어 있다. 또한, p형 클래드층(7)이 II-VI족 화합물을 포함하는 경우, p형 클래드층(7)에는 p형 도펀트로서 예컨대 질소(N)가 첨가되어 있다. p형 클래드층(7)은 활성층(5)상에 에피택셜 성장되어 이루어진다. 즉, 활성층(5)은 n형 클래드층(3)과 p형 클래드층(7) 사이에 설치되어 있다.

[0051] n형 클래드층(3)은 활성층(5)에 전자를 공급하고, p형 클래드층(7)은 활성층(5)에 정공을 공급한다. 또한, 활성층(5)이 AlInGaN이나 ZnO를 포함하고, n형 클래드층(3) 및 p형 클래드층(7)이 각각 AlGaIn이나 MgZnO로 이루어짐으로써, n형 클래드층(3) 및 p형 클래드층(7)의 전위 장벽(밴드 갭)이 활성층(5)의 전위 장벽보다 높게 되어 있다. 따라서, 활성층(5)에 공급된 캐리어(전자 및 정공)가 n형 클래드층(3) 및 p형 클래드층(7)의 작용에 의해 활성층(5) 내부에 가두어지고, 활성층(5)에 있어서의 재결합이 촉진되어 광이 효율적으로 발생한다.

[0052] 여기서, n형 버퍼층(15), n형 클래드층(3), 활성층(5) 및 p형 클래드층(7)은 각각 기판(13)의 주요면(13a)상에 차례로 에피택셜 성장되어 이루어지기 때문에, 활성층(5)의 n형 클래드층(3)측의 계면 및 활성층(5)의 p형 클래드층(7)측의 계면의 면방위는 각각 주요면(13a)의 면방위가 반영된다. 즉, 활성층(5)의 n형 클래드층(3)측의 계면에 수직인 축 및 활성층(5)의 p형 클래드층(7)측의 계면에 수직인 축의 각각과 활성층(5)의 c축 방향이 이루는 각도는 제로보다 커진다. 예컨대, 주요면(13a)의 적어도 일부가 {10-10}면을 포함하는 경우, 활성층(5)을 사이에 두는 2개의 계면도 {10-10}면을 포함하게 된다. 또, 활성층(5)을 사이에 두는 2개의 계면은 주요면(13a)과 마찬가지로 활성층(5)에 있어서의 {10-10}면, {11-24}면 및 {11-20}면 중 어느 하나의 면을 포함하는 것이 바람직하다.

[0053] p형 콘택트층(17)은 p형 클래드층(7)과 애노드 전극(23)을 전기적으로 접속하기 위한 층으로서, p형 도펀트가 첨가된 육방정계 화합물 반도체로 이루어진다. 예컨대, 본 실시 형태에서는 p형 콘택트층(17)은 마그네슘이 도핑된 질화갈륨 등의 질화물 반도체나 혹은 질소가 도핑된 산화아연 등의 ZnO계 화합물 반도체로 이루어진다. p형 콘택트층(17)은 p형 클래드층(7)상에 형성되어 있다.

[0054] 캐소드 전극(21)은 본 실시 형태에 있어서의 제1 전극이다. 캐소드 전극(21)은 기판(13)의 이면(13b)상에 설치되어 있다. 본 실시 형태에서는, 캐소드 전극(21)은 기판(13)의 이면(13b)의 일부분(거의 중앙 부분)상에 설치되어 있다. 캐소드 전극(21)은 예컨대 Ti/Al/Au라는 금속이 순차적으로 적층되어 이루어지고, 기판(13)의 이면(13b)과의 사이에 오믹 접촉(ohmic contact)이 실현되어 있다.

[0055] 애노드 전극(23)은 본 실시 형태에 있어서의 제2 전극이다. 애노드 전극(23)은 p형 콘택트층(17)상에 설치되어 있다. 본 실시 형태에서는, 애노드 전극(23)은 p형 콘택트층(17)상의 전면에 걸쳐 설치되어 있다. 애노드 전극(23)은 예컨대 Ni/Au/Al/Au라는 금속이 순차적으로 적층되어 이루어지고, p형 콘택트층(17)과의 사이에 오믹 접촉(ohmic contact)이 실현되어 있다. 또한, 애노드 전극(23)은 활성층(5)에서 발생한 광을 반사하는 기능도 갖

고 있다.

- [0056] 여기서, 도 3은 본 실시 형태에 있어서의 활성층(5)을 더욱 상세히 설명하기 위한 반도체 발광 소자(1)의 측면 단면도이다. 도 3에 도시한 바와 같이, 활성층(5)은 하나 또는 복수의 우물층{예컨대 우물층(25a~25c)} 및 복수의 배리어층{예컨대 배리어층(27a~27d)}을 갖고 있다. 본 실시 형태에서는, 우물층(25a~25c) 각각의 두께(t)가 3 nm보다 커지도록 우물층(25a~25c)이 형성되어 있다.
- [0057] 또한, 우물층(25a~25c) 및 배리어층(27a~27d)은 교대로 적층되어 있어, 활성층(5)에 있어서 양자 우물 구조를 구성하고 있다. 활성층(5)이 III족 질화물로 이루어진 경우, 우물층(25a~25c)은 예컨대 $Al_xIn_yGa_{(1-x-y)}N(0 \leq x \leq 1, 0 < y \leq 1)$ 으로 이루어지고, 배리어층(27a~27d)은 예컨대 $Al_{x3}In_{y3}Ga_{(1-x3-y3)}N(0 \leq x3 < 1, 0 \leq y3 < 1)$ 로 이루어진다. 양자 우물 구조는 배리어층(27a~27d)의 밴드 갭이 우물층(25a~25c)의 밴드 갭보다 커지도록 구성되고, 따라서 배리어층(27a~27d)은 우물층(25a~25c)에 대한 전위 장벽을 제공한다. 또, 본 실시 형태에 있어서의 활성층(5)은 다중 양자 우물(MQW) 구조를 갖지만, 단일 양자 우물(SQW) 구조이어도 좋다.
- [0058] 또한, 우물층(25a~25c) 및 배리어층(27a~27d)은 각각 교대로 에피택셜 성장되어 이루어지기 때문에, 우물층(25a~25c)과 배리어층(27a~27d)의 계면의 면방위는 각각 기판(13)의 주요면(13a)의 면방위가 반영된다. 즉, 우물층(25a~25c)과 배리어층(27a~27d)의 계면에 수직인 축과, 우물층(25a~25c) 및 배리어층(27a~27d)의 c축 방향이 이루는 각도는 제로보다 커진다. 우물층(25a~25c)과 배리어층(27a~27d)의 계면은 주요면(13a)과 마찬가지로 {10-10}면, {11-24}면 및 {11-20}면 중 어느 하나의 면을 포함하는 것이 바람직하다.
- [0059] 또, 반도체 발광 소자(1)에서는, 비교적 큰 휘도를 얻기 위해서, 활성층(5)의 두께 방향과 교차하는 단면의 면적은 0.1 mm² 이상인 것이 바람직하다. 또한, 발광 효율을 높게 유지하기 위해서, 활성층(5)의 상기 단면적 중 캐리어가 주입되어 발광 영역이 되는 면적의 비율이 90% 이상인 것이 바람직하다.
- [0060] 이상의 구성을 갖는 반도체 발광 소자(1)의 동작은 이하와 같다. 애노드 전극(23)과 캐소드 전극(21) 사이에 구동 전압이 인가되면, 전자 및 정공이 활성층(5)내의 우물층(25a~25c)에 집중한다. 그리고, 우물층(25a~25c)내에서 전자와 정공이 재결합함으로써 광이 발생한다. 활성층(5)에서 발생한 광 중, 애노드 전극(23)을 향한 광은 애노드 전극(23)에서 반사한다. 그리고, 광은 기판(13)의 이면(13b)으로부터 반도체 발광 소자(1)의 외부로 출사된다.
- [0061] 여기서, 이상으로 설명한 본 실시 형태의 반도체 발광 소자(1)의 제조 방법에 대해서 설명한다. 도 4a 내지 도 4c는 본 실시 형태의 기판(13; 도 2a 참조)을 제조하는 방법을 설명하기 위한 단면도이다. 또한, 도 5a 내지 도 5c는 기판(13)을 이용하여 반도체 발광 소자(1)를 제조하는 방법을 설명하기 위한 단면도이다. 또, 이하의 설명에서는 기판(13)이 질화갈륨(GaN)으로 이루어진 경우에 대해서 설명하지만, 기판(13)이 질화알루미늄(AIN)으로 이루어지는 경우도 이하와 같은 방법에 의해 제조 가능하다.
- [0062] 우선, 도 4a에 도시한 바와 같이, {111}면을 주요면(41a)으로 하는 GaAs 웨이퍼(41)를 준비한다. 그리고, 이하에 설명하는 에피택셜 래터럴 오버그로스(Epitaxial Lateral Overgrowth: ELO)라 불리는 방법에 의해 GaAs 웨이퍼(41)의 주요면(41a)상에 GaN을 성장시킨다. ELO에서는, 우선, GaAs 웨이퍼(41)의 주요면(41a)상에 창이 부착된 마스크(43)를 형성한다. 이 창이 부착된 마스크(43)의 재료로서는, 그 재료 위에 GaN이 직접 성장하지 않는 것을 이용하면 좋다.
- [0063] 계속해서, 도 4b에 도시한 바와 같이, GaAs 웨이퍼(41)의 주요면(41a)상에 창이 부착된 마스크(43)의 창을 통해 GaN을 에피택셜 성장시킴으로써, GaN 잉곳(45)을 형성한다. 이 때, GaN은 c축 방향으로 성장한다. 또한, 이 때, GaAs와 GaN의 격자 부정합에 기인한 결정 결함(전위 등)이 발생하지만, GaN은 GaAs 웨이퍼(41)의 바로 위쪽으로 성장한 후, 창이 부착된 마스크(43)상을 주요면(41a)을 따른 방향으로 성장하기 때문에, 결정 결함도 같은 방향으로 성장한다. 그리고, 결정 결함은 주요면(41a)을 따른 방향으로 성장한 GaN 끼리가 부딪치는 위치에 모여 면형 결함이 된다. 이와 같이, GaN 내부에 있어서 분산되어 발생하는 결정 결함이 ELO에 의해 면형 결함으로 집약됨으로써, 예컨대 전위 밀도가 $1 \times 10^8 \text{ cm}^{-2}$ 이하라는 저전위 밀도의 GaN 잉곳(45)을 적합하게 얻을 수 있다.
- [0064] 계속해서, GaN 잉곳(45)으로부터 GaN 웨이퍼(47)를 잘라낸다. 이 때, 예컨대 GaN 웨이퍼(47)의 주요면(47a)이 GaN 잉곳(45)의 c축 방향과 평행해지도록 잘라냄으로써, {10-10}면 또는 {11-20}면을 주요면(47a)에 포함하는 GaN 웨이퍼(47)를 적합하게 얻을 수 있다(도 4c). 혹은, 예컨대 GaN 웨이퍼(49)의 주요면(49a)이 GaN 잉곳(45)의 c축 방향과 비스듬히 교차하도록 잘라냄으로써, {11-24}면을 주요면(49a)에 포함하는 GaN 웨이퍼(49)를 적합하게 얻을 수 있다. 또, 이하의 설명에서는, {10-10}면을 주요면(47a)에 포함하는 GaN 웨이퍼(47)를 잘라낸

경우에 대해서 설명한다.

- [0065] 계속해서, 도 5a에 도시한 바와 같이, GaN 웨이퍼(47)의 주요면(47a)상에 n형 버퍼층(51), n형 클래드층(53), 활성층(55), p형 클래드층(57) 및 p형 컨택트층(59)을 차례로 에피택셜 성장시킨다. 이들 재료는 각각 전술한 n형 버퍼층(15), n형 클래드층(3), 활성층(5), p형 클래드층(7) 및 p형 컨택트층(17)의 재료와 동일하다. 계속해서, 도 5b에 도시한 바와 같이, p형 컨택트층(59)상에 애노드 전극(61)을 증착 등에 의해 형성한다. 또한, GaN 웨이퍼(47)의 이면(47b)상에 소정 패턴의 마스크를 행하고, 캐소드 전극 재료를 증착시킨 후에 마스크를 제거함으로써, 복수의 캐소드 전극(21)을 형성한다.
- [0066] 계속해서, GaN 웨이퍼(47) 및 각 층을 두께 방향으로 절단함으로써, 도 5c에 도시한 바와 같이, GaN으로 이루어진 기판(13), n형 버퍼층(15), n형 클래드층(3), 활성층(5), p형 클래드층(7), p형 컨택트층(17), 애노드 전극(23) 및 캐소드 전극(21)을 구비하는 반도체 발광 소자(1)가 완성된다.
- [0067] 또, 기판(13)이 산화아연(ZnO)으로 이루어지는 경우에는 잉곳 성장 방법이 질화갈륨과는 다르지만, 잉곳으로부터 기판을 잘라내는 공정 이후의 상기 제조 방법과 동일한 방법에 의해 반도체 발광 소자(1)를 제조할 수 있다. 이 경우, 우선, 도전성 산화아연(ZnO) 결정으로부터 ZnO 웨이퍼를 잘라낸다. 이 때, 예컨대 ZnO 웨이퍼의 주요면이 ZnO 결정의 c축 방향과 평행하도록 잘라냄으로써, {10-10}면 또는 {11-20}면을 주요면에 포함하는 ZnO 웨이퍼를 얻을 수 있다. 혹은, 예컨대 ZnO 웨이퍼의 주요면이 ZnO 결정의 c축 방향과 비스듬하게 교차하도록 잘라냄으로써, {11-24}면을 주요면에 포함하는 ZnO 웨이퍼를 얻을 수 있다.
- [0068] 계속해서, 예컨대 분자선 에피택셜(MBE)법을 이용하여 n형 ZnO로 이루어진 n형 버퍼층 및 n형 MgZnO로 이루어진 n형 클래드층을 ZnO 웨이퍼상에 각각 10 nm ~ 1000 nm의 두께로 순차 성장시키고, 그 위에 비도핑된 ZnO로 이루어진 활성층을 1 nm ~ 10 nm의 두께로 성장시키며, 그 위에 p형 MgZnO로 이루어진 p형 버퍼층 및 p형 ZnO로 이루어진 p형 컨택트층을 각각 10 nm ~ 1000 nm의 두께로 순차 성장시킨다. 그리고, ZnO 웨이퍼의 이면상 및 p형 컨택트층상에 각각 옴릭 전극(ohmic electrode)을 형성하고, ZnO 웨이퍼 및 ZnO 웨이퍼상의 각 층을 두께 방향으로 절단함으로써, 반도체 발광 소자가 완성된다.
- [0069] 이상으로 설명한 본 실시 형태에 따른 반도체 발광 소자(1)의 효과에 대해서 설명한다. 통상, III족 질화물 반도체나 ZnO계 반도체를 제조할 때에는 기판의 c면상에 활성층 등의 반도체층을 성장시키는 경우가 많다. 이것은 III족 질화물이나 ZnO계 화합물을 c축 방향으로 성장시키는 편이 결정 표면의 평탄성이나 광 루미네스스(PL) 특성에 있어서 바람직하다고 되어 있기 때문이다.
- [0070] 그러나, 활성층을 사이에 두는 2개의 계면(헤테로 계면)에 직교하는 축과 활성층에 있어서의 c축이 일치할 때(즉, 활성층이 c면상에 성장했을 때)에, 활성층의 헤테로 계면에 있어서 발생하는 피에조 전계라는 자연 발생 전계가 가장 커진다. 본 실시 형태에 따른 반도체 발광 소자(1)에서는, 활성층(5)의 n형 클래드층(3)측의 계면에 직교하는 축 및 활성층(5)의 p형 클래드층(7)측의 계면에 직교하는 축의 각각과 활성층(5)에 있어서의 c축이 이루는 각도가 제로보다 커지도록(즉, 활성층(5)을 사이에 두는 2개의 헤테로 계면이 c면과는 다르도록) 활성층(5)이 형성되어 있다. 이것에 의해, 활성층(5)에 있어서의 자연 발생 전계를 저감할 수 있다. 그리고, 활성층(5)에 있어서 전자와 정공의 파동 함수가 겹치는 부분이 넓어져, 재결합 확률이 높아지기 때문에, 활성층(5)을 종래보다 두껍게 하는 것이 가능해져, 반도체 발광 소자를 고휘도화할 수 있다.
- [0071] 또한, 본 실시 형태에 따른 반도체 발광 소자(1)에서는, 기판(13)의 주요면(13a)에 직교하는 축(A; 도 2a 및 도 2b 참조)과 기판(13)의 c축이 이루는 각도가 제로보다 커지도록(즉, 기판(13)의 주요면(13a)이 c면과는 다르도록) 주요면(13a)이 형성되어 있다. 이것에 의해, 주요면(13a)상에 에피택셜 성장되는 활성층(5)의 2개의 헤테로 계면이 c면과는 다르기 때문에, 활성층(5)에 있어서의 자연 발생 전계를 저감할 수 있다. 또한, 활성층(5)을 종래보다 두껍게 하는 것이 가능해져, 반도체 발광 소자를 고휘도화할 수 있다.
- [0072] 또한, 본 발명자들은 c축 방향을 성장 방향으로 하여 II-VI족 화합물 결정을 성장시키는 것보다도 다른 성장 방향으로 II-VI족 화합물 결정을 성장시키는 편이 양호한 반도체 특성을 얻을 수 있다는 것을 발견하였다. 여기서, 도 6은 {0001}면, {10-10}면 및 {11-24}면의 각각에 MgZnO 결정을 성장시켰을 때의, MgZnO 결정 중의 잔류 전자 농도(비도핑의 경우) 및 p형 캐리어 농도(질소 도핑의 경우)를 도시한 도표이다. 도 6에 도시한 바와 같이, {0001}면에 MgZnO 결정을 성장시킨 경우(즉 c축 방향을 성장 방향으로 하여 ZnO 결정을 성장시킨 경우), 비도핑시의 잔류 전자 농도가 $5 \times 10^{16} \text{ cm}^{-3}$ 으로 크고, 또한, 질소 도핑시의 p형 캐리어 농도가 측정 불능, 즉 p형의 도전성을 나타내고 있지 않다는 것을 알 수 있다. 이것에 대하여, {10-10}면에 MgZnO 결정을 성장시킨 경우, 비도핑시의 잔류 전자 농도가 $8 \times 10^{14} \text{ cm}^{-3}$ 으로 작아지고, 질소 도핑시의 p형 캐리어 농도를 $5 \times 10^{17} \text{ cm}^{-3}$ 이라

는 큰 값으로 할 수 있다. 마찬가지로, {11-24}면에 MgZnO 결정을 성장시킨 경우, 비도평시의 잔류 전자 농도가 $2 \times 10^{15} \text{ cm}^{-3}$ 으로 작아지고, 질소 도평시의 p형 캐리어 농도를 $3 \times 10^{17} \text{ cm}^{-3}$ 이라는 큰 값으로 할 수 있다.

[0073] 이와 같이, c축으로부터 경사진 방향을 성장 방향으로 하여 MgZnO 결정을 성장시킴으로써, 원하는 불순물 농도를 실현할 수 있고, 양호한 반도체 특성을 얻을 수 있다. 이것은, c축 방향을 성장 방향으로 하여 MgZnO 결정을 성장시킨 경우, 결정 내부에 있어서의 아연(Zn)과 산소(O)의 밸런스가 흐트러지기 쉽고, 결정 결함이 많이 생겨 전기적으로 불안정해지기 때문이라고 생각된다. 본 실시 형태의 반도체 발광 소자(1)에 따르면, 기판(13)의 주요면(13a)에 수직인 축과 기판(13)의 c축 방향이 이루는 각이 제로보다 커지도록 주요면(13a)이 형성되어 있기 때문에, 그 위에 성장하는 p형 반도체층{p형 클래드층(7) 및 p형 컨택트층(17)}의 불순물 농도를 원하는 값으로 용이하게 제어할 수 있다. 또, MgZnO 결정에 카드뮴 원자(Cd)를 혼입시킴으로써, MgZnO 결정의 결정성을 더욱 좋게 할 수 있다.

[0074] 또한, 본 실시 형태와 같이, 기판(13)의 주요면(13a)은 기판(13)의 {10-10}면, {11-24}면 및 {11-20}면 중 어느 하나의 면을 포함하는 것이 바람직하다. 이것에 의해, 활성층(5)의 2개의 헤테로 계면이 이들 중 어느 하나의 면을 포함하게 되어, 활성층(5)에 있어서의 자연 발생 전계를 효과적으로 저감할 수 있다.

[0075] 또한, 본 실시 형태와 같이, 기판(13)의 이면(13b)상에 캐소드 전극(21)이, p형 컨택트층(17)상에 애노드 전극(23)이 각각 설치되는 것이 바람직하다. 이와 같이, 반도체 발광 소자(1)의 양면에 전극이 설치됨으로써, 활성층(5)으로 전자 및 정공을 효율적으로 주입할 수 있기 때문에, 반도체 발광 소자(1)를 더욱 고휘도화할 수 있다.

[0076] 또한, 본 실시 형태와 같이, 기판(13)의 주요면(13a)에 있어서의 전위 밀도는 $1 \times 10^8 \text{ cm}^{-2}$ 이하인 것이 바람직하다. 이와 같이, 기판(13)의 주요면(13a)에 있어서의 전위 밀도가 비교적 작음으로써, n형 버퍼층(15) 및 n형 클래드층(3)을 관통하여 활성층(5)에 도달하는 전위의 밀도가 낮게 억제되어, 발광 효율을 더욱 높일 수 있다.

[0077] 또한, 본 실시 형태와 같이, 활성층(5)은 우물층(25a~25c)과, 우물층(25a~25c)을 사이에 두고 우물층(25a~25c)에 전위 장벽을 제공하는 배리어층(27a~27d)을 포함하는 양자 우물 구조를 가지며, 우물층(25a~25c)의 두께가 3 nm보다 큰 것이 바람직하다. 종래, 양자 우물 구조에 있어서의 우물층의 헤테로 계면에 생기는 자연 발생 전계에 의해, 우물층의 두께는 3 nm 이하로 제한되어 있었다. 본 실시 형태에 따른 반도체 발광 소자(1)에 의하면, 전술한 바와 같이 우물층(25a~25c)에 있어서의 자연 발생 전계를 저감할 수 있기 때문에, 우물층(25a~25c)을 종래보다 두껍게(3 nm보다 두껍게)하는 것이 가능해진다.

[0078] 또한, 본 실시 형태와 같이, 우물층(25a~25c)은 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 < y \leq 1$)으로 이루어져도 좋다. 우물층(25a~25c)이 인듐(In)을 구성에 포함하는 경우에는 In의 조성비가 클수록 자연 발생 전계가 현저해지지만, 본 실시 형태에 따른 반도체 발광 소자(1)에서는 우물층(25a~25c)에 있어서의 자연 발생 전계를 저감할 수 있기 때문에, 우물층(25a~25c)이 In을 구성에 포함하는 경우라도 고휘도화가 가능해진다.

[0079] 또한, 본 실시 형태와 같이, n형 클래드층(3), 활성층(5) 및 p형 클래드층(7)의 육방정계 화합물은 II족 원자 및 VI족 원자를 함유하여도 좋고, 혹은 III족 원자 및 V족 원자를 함유하여도 좋다. II족 원자 및 VI족 원자를 함유하는 II-VI족 화합물 결정이나 III족 원자 및 V족 원자를 함유하는 III-V족 화합물 결정은 각각 육방정계 구성하기 때문에, 활성층(5)의 n형 클래드층(3)측의 계면에 직교하는 축 및 활성층(5)의 p형 클래드층(7)측의 계면에 직교하는 축의 각각과 활성층(5)에 있어서의 c축이 이루는 각도가 제로보다 큼으로써, 활성층(5)에 있어서의 자연 발생 전계를 효과적으로 저감할 수 있다.

[0080] 본 발명에 따른 반도체 발광 소자는 전술한 실시 형태에 한정되는 것이 아니라, 그 외에도 여러 가지 변형이 가능하다. 예컨대, 상기 실시 형태에서는, 반도체 발광 소자로서 발광 다이오드라는 면발광 반도체 소자를 설명하고 있지만, 본 발명은 레이저 다이오드에 대해서도 적용할 수 있다.

발명의 효과

[0081] 본 발명에 따른 반도체 발광 소자에 의하면, 활성층에 있어서의 자연 발생 전계가 저감되어, 고휘도화가 가능해진다.

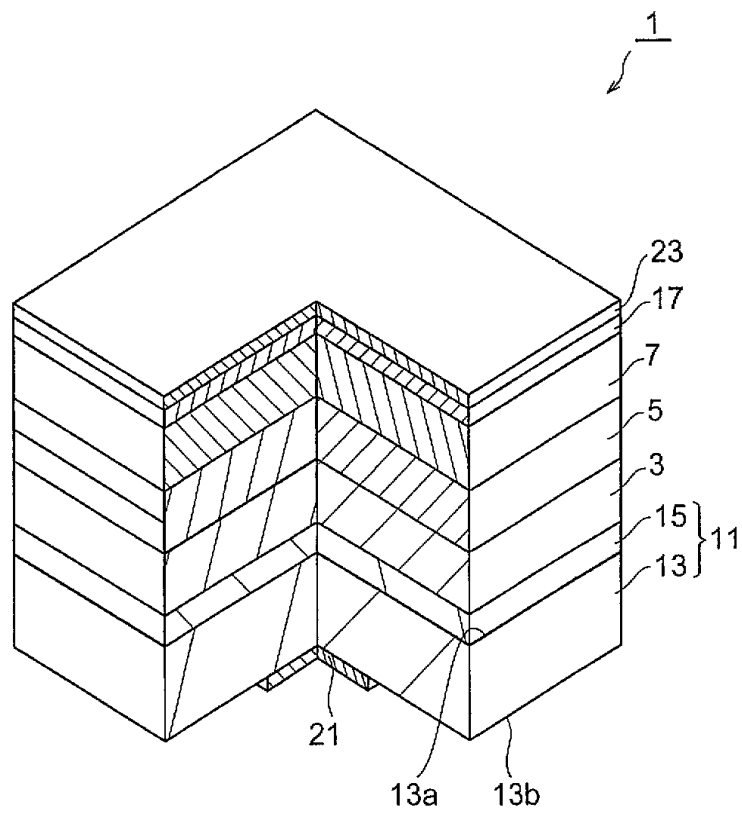
도면의 간단한 설명

[0001] 도 1은 실시 형태에 따른 반도체 발광 소자를 도시한 도면.

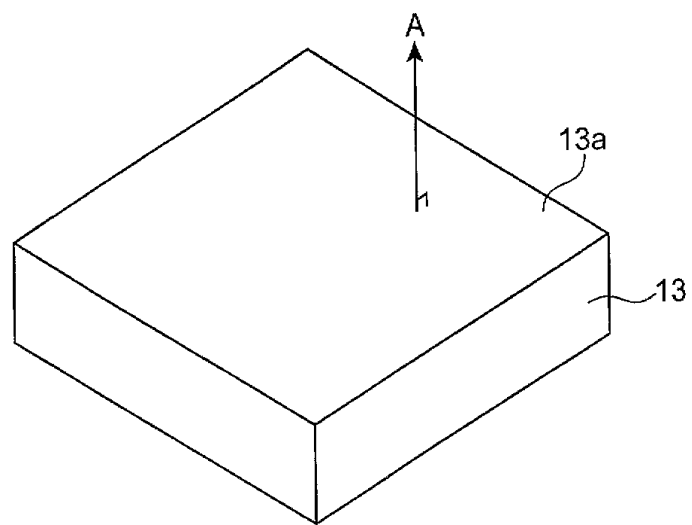
- [0002] 도 2a는 실시 형태에 있어서의 기판을 도시한 사시도이고, 도 2b는 도 2a에 도시된 기판에 있어서의 결정 방위를 설명하기 위한 도면.
- [0003] 도 3은 실시 형태에 있어서의 활성층을 더욱 상세히 설명하기 위한 반도체 발광 소자의 측면 단면도.
- [0004] 도 4a 내지 도 4c는 실시 형태의 기판을 제조하는 방법을 설명하기 위한 단면도.
- [0005] 도 5a 내지 도 5c는 기판을 이용하여 반도체 발광 소자를 제조하는 방법을 설명하기 위한 단면도.
- [0006] 도 6은 {0001}면, {10-10}면 및 {11-24}면의 각각에 MgZnO 결정을 성장시켰을 때의 MgZnO 결정 중의 잔류 전자 농도(비도핑의 경우) 및 p형 캐리어 농도(질소 도핑의 경우)를 도시한 도표.
- [0007] <도면의 주요 부분에 대한 부호의 설명>
- [0008] 1 반도체 발광 소자
- [0009] 3 n형 클래드층
- [0010] 5 활성층
- [0011] 7 p형 클래드층
- [0012] 11 지지 기체
- [0013] 13 기판
- [0014] 13a 주요면
- [0015] 15 n형 버퍼층
- [0016] 17 p형 컨택트층
- [0017] 21 캐소드 전극
- [0018] 23 애노드 전극
- [0019] 25a ~ 25c 우물층
- [0020] 27a ~ 27d 배리어층

도면

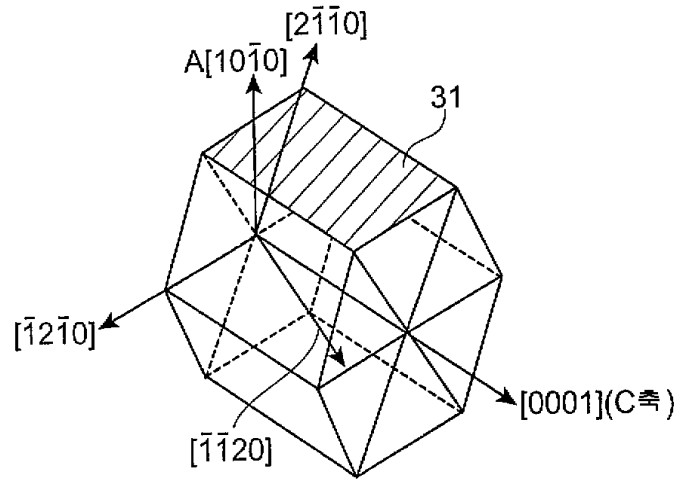
도면1



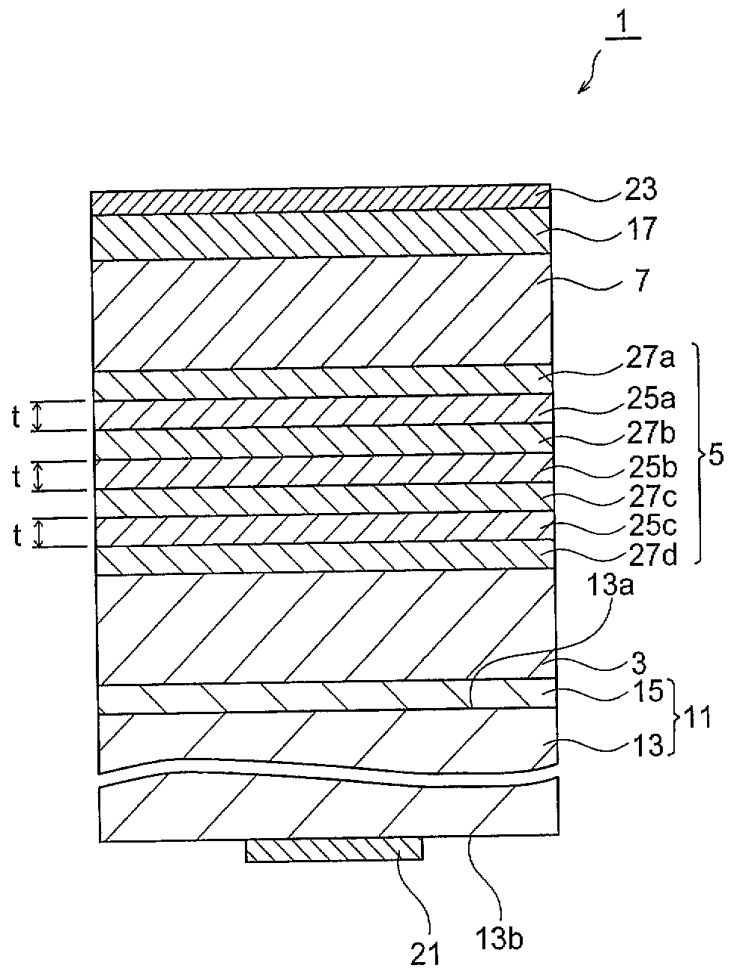
도면2a



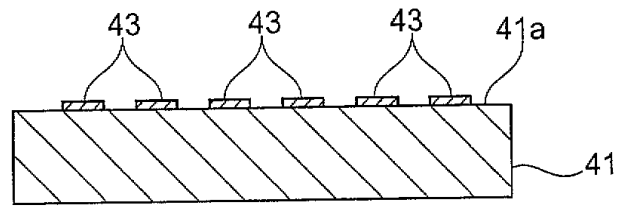
도면2b



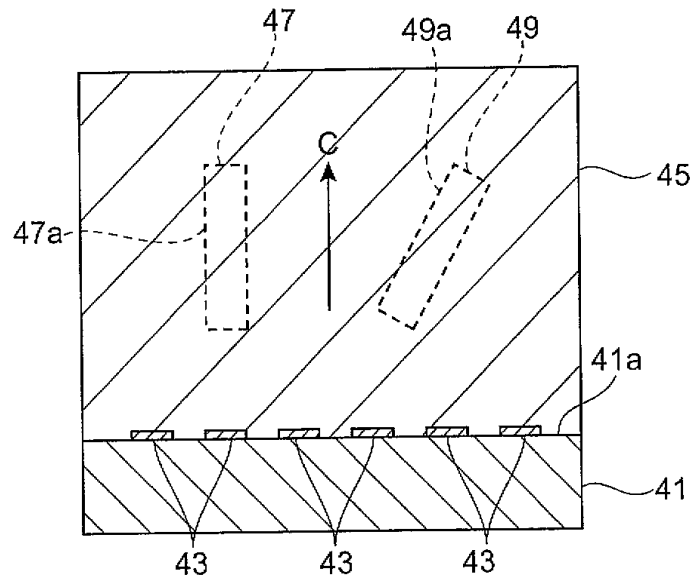
도면3



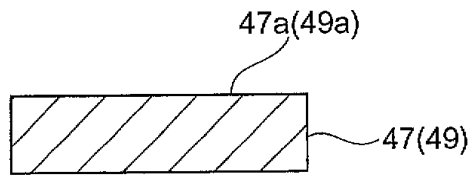
도면4a



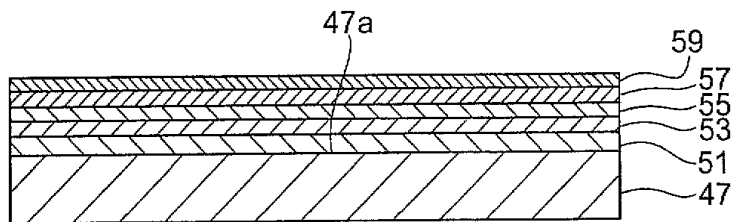
도면4b



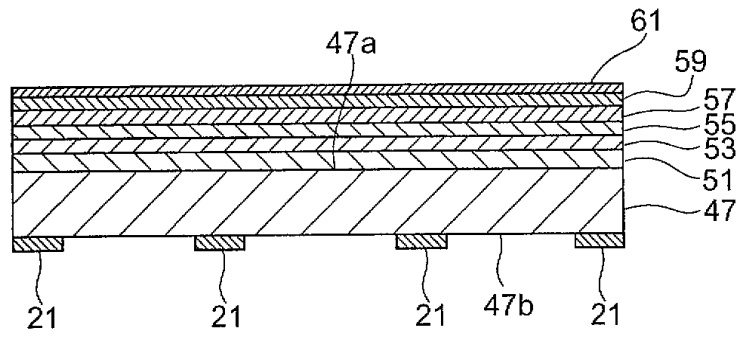
도면4c



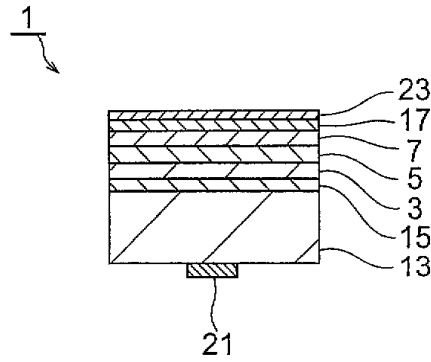
도면5a



도면5b



도면5c



도면6

	비도핑 시의 잔류 전자 농도 (cm ⁻³)	질소 도핑 시의 p형 캐리어 농도 (cm ⁻³)
MgZnO 결정을 {0001} 면 상에 성장	5 × 10 ¹⁶	측정 불능
MgZnO 결정을 {10-10} 면 상에 성장	8 × 10 ¹⁴	5 × 10 ¹⁷
MgZnO 결정을 {11-24} 면 상에 성장	2 × 10 ¹⁵	3 × 10 ¹⁷