I668840

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I668840 B**

(45)公告日： 中華民國 108 (2019) 年 08 月 11 日

(21)申請案號：104130332 (22)申請日： 中華民國 104 (2015) 年 09 月 14 日

(51)Int. Cl.： ***H01L27/092 (2006.01)*** ***H01L27/12 (2006.01)***
H01L29/165 (2006.01) ***H01L29/78 (2006.01)***

(30)優先權：2014/09/18 美國 14/489,817

(71)申請人：法商梭意泰科公司 (法國) SOITEC (FR)
法國

(72)發明人：阮 碧言 NGUYEN, BICH-YEN (US)；山達卡 馬瑞姆 SADAKA, MARIAM (US)；梅維爾 克力斯多夫 MALEVILLE, CHRISTOPHE (FR)

(74)代理人：陳長文

(56)參考文獻：

TW	201401511A	TW	201424000A
TW	201428976A	US	20130175579A1
US	20130178022A1		

審查人員：林建宏

申請專利範圍項數：20 項 圖式數：10 共 36 頁

(54)名稱

用於製造包括具有不同應變狀態之鰭式結構之半導體結構的方法及相關半導體結構

METHOD FOR FABRICATING SEMICONDUCTOR STRUCTURES INCLUDING FIN STRUCTURES WITH DIFFERENT STRAIN STATES, AND RELATED SEMICONDUCTOR STRUCTURES

(57)摘要

形成半導體結構之方法包括提供具有磊晶基層之多層基板，該磊晶基層上覆於在內埋氧化物層上方之應變主要半導體層。該磊晶基層內之元素係用以更改該多層基板之第一區域內的該主要半導體層中之應變狀態，而不更改該多層基板之第二區域內的該主要半導體層中之應變狀態。形成各自包含該多層基板之該第一區域內的該主要半導體層之部分的第一複數個電晶體通道結構，且形成各自包含該多層基板之該第二區域內的該主要半導體層之部分的第二複數個電晶體通道結構。藉由此等方法而製造之半導體結構可包括具有不同應變狀態之電晶體通道結構。

Methods of forming a semiconductor structure include providing a multi-layer substrate having an epitaxial base layer overlying a strained primary semiconductor layer above a buried oxide layer. Elements within the epitaxial base layer are used to alter a strain state in the primary semiconductor layer within a first region of the multi-layer substrate without altering a strain state in the primary semiconductor layer within a second region of the multi-layer substrate. A first plurality of transistor channel structures are formed that each comprise a portion of the primary semiconductor layer within the first region of the multi-layer substrate, and a second plurality of transistor channel structures are formed that each comprise a portion of the primary semiconductor layer within the second region of the multi-layer substrate. Semiconductor structures fabricated by such methods may include transistor channel structures having differing strain states.

指定代表圖：

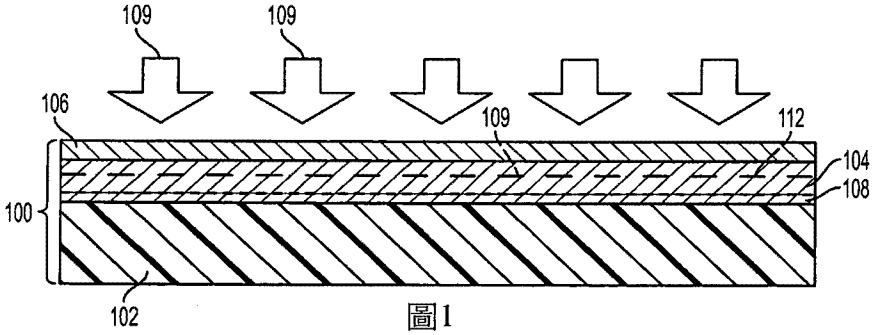


圖1

符號簡單說明：

100・・・供體基板

102・・・塊材

104・・・磊晶基層

106・・・主要半導體層/應變半導體層/主要應變半導體層

108・・・緩衝層

109・・・方向箭頭

112・・・弱點區

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】

用於製造包括具有不同應變狀態之鰭式結構之半導體結構的方法及相關半導體結構

METHOD FOR FABRICATING SEMICONDUCTOR STRUCTURES INCLUDING FIN STRUCTURES WITH DIFFERENT STRAIN STATES, AND RELATED SEMICONDUCTOR STRUCTURES

【技術領域】

本發明之實施例係關於可用以製造在半導體基板上之共同層中具有不同應力狀態之n型金屬氧化物半導體(NMOS)場效電晶體及p型金屬氧化物半導體(PMOS)場效電晶體的方法，且係關於使用此等方法而製造之半導體結構及裝置。

【先前技術】

諸如微處理器及記憶體裝置之半導體裝置使用固態電晶體作為其積體電路之基本主要操作結構。半導體結構及裝置中通常使用的一種類型之電晶體為場效電晶體(FET)，通常包括源極接點、汲極接點及一或多個閘極接點。半導電通道區域延伸於源極接點與汲極接點之間。一或多個pn接面界定於源極接點與閘極接點之間。閘極接點經定位成鄰近於通道區域之至少一部分，且通道區域之電導率係因電場之存在而更改。因此，藉由將電壓施加至閘極接點而在通道區域內提供電場。因此，舉例而言，電流在電壓施加至閘極接點時可通過通道區域自源極接點至汲極接點流過電晶體，但在不存在施加至閘極接點之電壓的情況下可不自源極接點至汲極接點流過電晶體。

近來，已開發出使用被稱為「鰭」之離散細長通道結構之場效電晶體(FET)。此電晶體在此項技術中常常被稱為「鰭式FET(finFET)」。在此項技術中已提出鰭式FET之許多不同組態。

鰭式FET之細長通道結構或鰭包含可被摻雜為n型或p型之半導體材料。亦已表明，當n型半導體材料處於拉伸應力狀態時可改良n型摻雜半導體材料之電導率，且當p型半導體材料處於壓縮應力狀態時可改良p型半導體材料之電導率。

當前使用具有低於22 nm之橫截面尺寸的鰭式FET。此等鰭式FET可使用改良電晶體之靜電效能且避免與隨機摻雜劑波動相關聯之問題的全空乏(未摻雜)通道。已展示，在電晶體之通道區域中引入拉伸應變可改良n型FET之電子遷移率，且在電晶體之通道區域中引入壓縮應變可改良p型FET之電洞遷移率。

【發明內容】

提供此【發明內容】而以簡化形式介紹概念之選擇。下文在本發明之實例實施例的【實施方式】中進一步詳細描地述此等概念。此【發明內容】並不意欲識別所主張主題之關鍵特徵或基本特徵，亦不意欲用以限制所主張主題之範疇。

在一些實施例中，本發明包括一種製造半導體結構之方法。提供多層基板，多層基板包括基底基板、在該基底基板之表面之上的內埋氧化物層、在該內埋氧化物層之上且在其與該基底基板相對之側上的應變主要半導體層，及在該應變半導體層之上且在其與該內埋氧化物層相對之側上的磊晶基層。將元素自該磊晶基層擴散至該多層基板之第一區域內的該應變主要半導體層中，而不將元素自該磊晶基層擴散至該多層基板之第二區域內的該應變主要半導體層中，且使該等經擴散元素之濃度在該第一區域內的該主要半導體層中增濃，使得該第一區域內的該主要半導體層中之應變狀態與該第二區域內的該主要半

導體層中之應變狀態不同。形成各自包含該多層基板之該第一區域內的該主要半導體層之部分的第一複數個電晶體通道結構，且形成各自包含該多層基板之該第二區域內的該主要半導體層之部分的第二複數個電晶體通道結構。

在額外實施例中，本發明包括一種製造半導體結構之方法，在該半導體結構中提供多層基板，該多層基板包括基底基板、在該基底基板之表面之上的內埋氧化物層、在該內埋氧化物層之上且在其與該基底基板相對之側上的應變主要半導體層，及在該應變半導體層之上且在其與該內埋氧化物層相對之側上的磊晶基層。運用第一遮罩層來遮罩該多層基板之第一區域，且自該多層基板之第二區域移除該磊晶基層之部分。自該多層基板之該第一區域移除該第一遮罩層，且運用第二遮罩層來遮罩該多層基板之該第二區域。將元素自該磊晶基層擴散至該多層基板之該第一區域內的該應變主要半導體層中，且更改該多層基板之該第一區域內的該主要半導體層之應變狀態，而不將元素擴散至該多層基板之該第二區域內的該應變主要半導體層中。形成各自包含該多層基板之該第一區域內的該主要半導體層之部分的第一複數個電晶體通道結構，且形成各自包含該多層基板之該第二區域內的該主要半導體層之部分的第二複數個電晶體通道結構。

在又另外實施例中，本發明包括一種半導體結構，其包括多層基板，該多層基板包含基底基板、在該基底基板之表面之上的內埋氧化物層，及在該內埋氧化物層之上且在其與該基底基板相對之側上的主要半導體層。該多層基板之第一區域內的該主要半導體層之部分包含Si_yGe_{1-y}，其中y介於約0.20與約0.99之間，且該多層基板之第二區域內的該主要半導體層之部分包含拉伸應變Si。該多層基板之該第一區域內的該主要半導體層之該部分具有與該多層基板之該第二區域內的該主要半導體層之該部分的結晶應變不同的結晶應變。

【圖式簡單說明】

儘管本說明書以特定地指出且清楚地主張被視為本發明之實施例之內容的申請專利範圍終結，但可在結合隨附圖式進行閱讀時自本發明之實施例之某些實例的描述更容易地確定本發明之實施例的優勢，在圖式中：

圖1至圖4為說明可根據本發明之實施例而使用的多層基板之製造的簡化示意性說明橫截面圖；

圖1說明離子至包括塊材、磊晶基層及應變主要半導體層之供體基板中的植入，經植入離子在磊晶基層內形成弱點區；

圖2說明圖1之供體基板至接收器基板的接合；

圖3說明供體基板沿著弱點區之分離；

圖4說明在如圖3所展示的供體基板沿著弱點區之分離後就形成的多層基板；

圖5說明覆蓋圖4之多層基板之第一區域的第一遮罩層，而多層基板之另一第二區域未被覆蓋且通過第一遮罩層而曝露；

圖6說明在自多層基板之第二區域中的主要半導體層之上移除磊晶基層之部分之後的圖5之半導體結構，而磊晶基層之另一部分在多層基板之第一區域中保持於圖5之第一遮罩層之下的主要半導體層之上的適當位置；

圖7說明藉由自多層基板之第一區域移除第一遮罩層且在多層基板之第二區域中的主要半導體層之上提供第二遮罩層而形成的結構；

圖8A至圖8C為多層基板之第一區域之部分的放大視圖，且說明用以將一或多種元素自磊晶基層擴散至多層基板之第一區域中的主要半導體層中以更改多層基板之第一區域中的主要半導體層內之應變狀態的縮合程序；

圖9說明藉由通過圖7之結構之主要半導體層進行蝕刻而形成的

複數個鰭式結構；及

圖10說明鰭式FET電晶體之實例結構。

【實施方式】

本文中所呈現之說明並不意謂為任何特定半導體結構、裝置、系統或方法之實際視圖，而僅僅為用以描述本發明之實施例的理想化表示。

本文中所使用之任何標題不應被視為限制如由以下申請專利範圍及其法定等效者所界定的本發明之實施例之範疇。任何特定標題中描述之概念通常適用於貫穿整個說明書之其他章節中。

【實施方式】及申請專利範圍中之術語第一及第二係用於區分相似元件。

如本文中所使用，術語「鰭」及「鰭式結構」意謂具有長度、寬度及高度之半導體材料的細長、三維有限且有界之容積，其中長度大於寬度。在一些實施例中，鰭之寬度及高度可沿著鰭之長度而變化。

下文參考諸圖來描述可用以製造半導體裝置之方法。如下文進一步詳細地所論述，該等方法通常涉及提供多層基板，多層基板包括基底基板、在基底基板之表面之上的內埋氧化物(BOX)層、在BOX層之上且在其與基底基板相對之側上的應變主要半導體層，及在應變半導體層之上且在其與BOX層相對之側上的磊晶基層。磊晶基層可包含主要半導體層先前磊晶地生長所處的層，如下文所論述。在提供多層基板之後，可將多層基板處理成使得更改主要半導體層之一個區域中的應變狀態，而不更改主要半導體層之另一區域中的應變狀態，使得在主要半導體層中存在不同應變狀態之區域。接著可在展現對於增加之電子遷移率較佳之應變狀態的主要半導體層之一或若干區域中製造n型電晶體結構，且可在展現對於增加之電洞遷移率較佳之應變狀態

的主要半導體層之一或若干區域中製造p型電晶體結構。

下文參考圖1至圖4來揭示可用以提供多層基板之方法的實例實施例。圖1說明供體基板100，其包括塊材102、在塊材102上之磊晶基層104，及在與塊材102相對的磊晶基層104之側上的應變半導體層106。

塊材102可包含(例如)半導體材料(例如，矽、碳化矽、鍺、III-V半導體材料等等)、陶瓷材料(例如，氧化矽、氧化鋁、碳化矽等等)或金屬材料(例如，鉬等等)之晶粒或晶圓。在一些實施例中，塊材102可具有單晶或多晶微結構。在其他實施例中，塊材102可為非晶。塊材102可具有在(例如)約400 μm至約900 μm之範圍內的厚度(例如，約750 μm)。

上覆於塊材102之層(諸如磊晶基層104及主要半導體層106)可使用諸如以下各者之數種不同程序中之任一者而磊晶地沈積或「生長」於基板之上：化學氣相沈積(CVD)、原子層沈積(ALD)、物理氣相沈積(PLD)、氣相磊晶(VPE)，及分子束磊晶(MBE)。

在一些實施例中，磊晶基層104可包含可用以輔助在後續處理中保持上覆主要半導體層106之晶格中之應變的材料，如下文進一步詳細地所論述。因此，磊晶基層104可具有經選擇以允許磊晶基層104在後續處理中保持上覆主要半導體層106之晶格中之應變的組合物及/或層厚度，亦如下文進一步詳細地所論述。

主要半導體層106可包含(例如)應變矽(Si)、應變鍺(Ge)、應變矽鍺(SiGe)或應變III-V半導體材料之層。因此，應變主要半導體層106可具有展現高於(拉伸應變)或低於(壓縮應變)鬆弛晶格參數之晶格參數的晶體結構，該鬆弛晶格參數通常將由各別應變半導體層106之晶體結構在應變半導體層106於平衡狀態下以獨立式散裝形式而存在的情況下展現。主要半導體層106可具有約50 nm或更小或甚至約35 nm

或更小之平均層厚度，但在本發明之實施例中亦可使用更厚應變半導體材料層。

視情況，可在塊材102與磊晶基層104之間提供一或多個緩衝層108以促進磊晶基層104及主要半導體層106在塊材102之上的磊晶生長。

作為非限制性特定實例，供體基板100之塊材102可包含單晶矽基板，磊晶基層104可包含Si_xGe_{1-x} (其中x為約0.01至約0.99，或更具體言之，約0.20至約0.80)，且主要半導體層106可包含應變矽(sSi)或應變Si_yGe_{1-y} (其中y為約0.20至約0.99)。在一些實施例中，磊晶基層104之Si_xGe_{1-x} 可包含至少實質上鬆弛Si_xGe_{1-x}。換言之，在一些實施例中，磊晶基層104之Si_xGe_{1-x}可至少實質上無結晶應變。

可在塊材102之矽與Si_xGe_{1-x}磊晶基層104之間提供包含Si_zGe_{1-z}(其中遠離塊材102移動時，z之值以逐步或連續方式逐漸地增加)之一或多個緩衝層108。

可選擇Si_xGe_{1-x}磊晶基層104中之x的值，以便在主要半導體層106之上覆Si或Si_yGe_{1-y}中賦予所要應變位準。如此項技術中所知，在Si與Ge之間存在大約4.2%之晶格錯配。因此，Si_xGe_{1-x}磊晶基層104中之Ge的量將至少部分地確定Si_xGe_{1-x}磊晶基層104中之晶格參數的值，且因此確定上覆磊晶主要半導體層106之Si或Si_yGe_{1-y}的晶格中之結晶應變的量。

磊晶基層104及主要半導體層106可具有低於其各別臨界厚度之厚度以便避免初起鬆弛及在其晶體結構中形成局域化缺陷。

在形成或以其他方式提供圖1之供體基板100之後，可使用(例如)在此項技術中被稱為SMARTCUT®程序之程序將主要半導體層106及磊晶基層104之至少一部分轉移至接收器基板110 (圖2)。SMARTCUT®程序在(例如)以下各者中得以描述：Bruel之美國專利第

RE 39,484號(2007年2月6日頒佈)、Aspar等人之美國專利第6,303,468號(2001年10月16日頒佈)、Aspar等人之美國專利第6,335,258號(2002年1月1日頒佈)、Moriceau等人之美國專利第6,756,286號(2004年6月29日頒佈)、Aspar等人之美國專利第6,809,044號(2004年10月26日頒佈)，及Aspar等人之美國專利第6,946,365號(2005年9月20日)，該等專利之全部揭示內容的全文係以引用之形式併入本文中。

可將複數個離子(例如，氫離子、氦離子或惰性氣體離子)植入至供體基板100中。舉例而言，可將離子自定位於供體基板100之側上的離子源植入至供體基板100中，如由圖1中之方向箭頭109所表示。可將離子沿著實質上垂直於供體基板100之主表面的方向植入至供體基板100中。如此項技術中所知，離子被植入至供體基板100中的深度至少部分地隨將離子植入至供體基板100中所運用的能量而變。通常，運用較少能量而植入之離子將被植入於相對較淺的深度處，而運用較高能量而植入之離子將被植入於相對較深的深度處。

可運用經選擇以將離子植入於供體基板100內之理想深度處之預定能量而將離子植入至供體基板100中。作為一個特定非限制性實例，可將離子安置於供體基板100內之選定深度處，使得弱點區形成於供體基板100中。如此項技術中所知，不可避免地，至少一些離子可被植入於除了所要植入深度以外之深度處，且離子之濃度隨自供體基板100之表面至供體基板100中之深度而變的曲線圖可展現在理想植入深度處具有最大值之大體上鐘形(對稱或不對稱)曲線。

在植入至供體基板100中後，離子就可在供體基板100內界定弱點區112 (在圖1中被說明為虛線)。弱點區112可包含與具有供體基板100之最大離子濃度平面對準(例如，以其為中心)的供體基板100內之層或區域。弱點區112可在供體基板100內界定可使供體基板100在後續程序中裂解或破裂所沿著的平面。如圖1所展示，弱點區112可安置

於包含磊晶基層104的供體基板之實質上均質區域內。

在供體基板100內形成弱點區112之後，可使用直接分子接合程序將供體基板100接合至如圖2所展示之接收器基板110。

直接分子接合程序可在供體基板100與接收器基板110之間形成直接原子接合。供體基板100與接收器基板110之間的原子接合之性質將取決於供體基板100及接收器基板110中之每一者之表面處的材料組合物。

在一些實施例中，供體基板100之接合表面與接收器基板110之接合表面之間的直接接合可藉由如下操作而建立：將供體基板100之接合表面及接收器基板110之接合表面中的每一者形成為具有相對平滑的表面，且隨後將該等接合表面鄰接在一起且在其間起始接合波之傳播。舉例而言，供體基板100之接合表面及接收器基板110之接合表面中的每一者可被形成為具有約兩奈米(2.0 nm)或更小、約一奈米(1.0 nm)或更小或甚至約四分之一奈米(0.25 nm)或更小之均方根表面粗糙度(RMS)。可使用機械拋光操作及化學蝕刻操作中之至少一者來使供體基板100之接合表面及接收器基板110之接合表面中的每一者平滑。舉例而言，可使用化學機械平坦化(chemical mechanical planarization, CMP)操作以平坦化及/或縮減供體基板100之接合表面及接收器基板110之接合表面中的每一者之表面粗糙度。

在使接合表面平滑之後，視情況可使用此項技術中所知之程序來清潔及/或活化接合表面。此活化程序可用於以促進接合程序及/或引起形成較強接合之方式更改接合表面處之表面化學反應。

可使接合表面彼此進行直接實體接觸，且可橫越接合界面將壓力施加於局域化區域中。原子間接合可起始於局域化壓力區域附近，且接合波可橫越接合表面之間之界面而傳播。

視情況，可使用退火程序以加強接合。此退火程序可包含在爐

中在介於約攝氏100度(100℃)與約攝氏400度(400℃)之間的溫度下加熱經接合之供體基板100及接收器基板110達介於約兩分鐘(2 min.)與約15小時(15 hr.)之間的時間。

可在接合程序之前將絕緣層114 (諸如氧化物(例如，SiO_2、Al_2O_3等等)、氮化物或氮氧化物)提供於供體基板100及接收器基板110中之一或兩者上，使得供體基板100及接收器基板110中之一或兩者的接合表面包含絕緣層114之表面。因此，在此等實施例中，直接分子接合程序可包含氧化物至氧化物或氧化物至矽或氧化物至SiGe直接分子接合程序。

絕緣層114可包含在此項技術中常常被稱為「內埋氧化物層」或「BOX」之物質。絕緣層114可為結晶或非晶。絕緣層114可在經接合結構(其在兩個絕緣層114接合之前沈積於供體基板100及接收器基板110兩者上的情況下包括兩個絕緣層114之厚度)中具有(例如)介於約10 nm與約50 nm之間的平均層厚度，但在本發明之實施例中亦可使用更厚或更薄之絕緣層114。

參看圖3，在將供體基板100接合至接收器基板110之後，可使供體基板100沿著弱點區112 (圖1及圖2)裂解。可藉由加熱供體基板100及/或將機械力施加至供體基板100而使供體基板100沿著弱點區112裂解或破裂。

在如圖3所展示而使供體基板100破裂之後，提供多層基板120，其包括界定多層基板120之基底基板的接收器基板110、界定多層基板120之內埋氧化物層的絕緣層114、在內埋氧化物層114之上且在其與基底基板110相對之側上的主要半導體層106，及在主要半導體層106之上且在其與內埋氧化物層114相對之側上的磊晶基層104之至少一部分。

圖4中展示自圖3所展示之定向反轉的多層基板120以供後續處

理。

多層基板120之磊晶基層104的厚度可藉由如下操作而予以選擇性地控制：控制供體基板100 (圖1)內之弱點區112的位置(亦即，深度)，及/或在使供體基板100沿著弱點區112破裂之後選擇性地薄化多層基板120之磊晶基層104的部分，如參考圖3先前所描述。舉例而言，在一些實施例中，可使用(例如)在使供體基板100沿著弱點區112破裂之後使用機械拋光操作及化學蝕刻操作中之至少一者而選擇性地縮減磊晶基層104之厚度。舉例而言，可使用化學機械平坦化(CMP)程序以在使供體基板100沿著弱點區112破裂之後將磊晶基層104之厚度縮減至預定且選定之厚度。此處理亦可引起磊晶基層104之經曝露主表面的表面粗糙度縮減，及磊晶基層104之較均一厚度，此亦可為理想的。

參看圖5，第一遮罩層122可沈積或以其他方式提供於多層基板120之第一區域124A內的磊晶基層104及主要半導體層106之上。遮罩層122可不覆蓋多層基板120之第二區域124B內的磊晶基層104及主要半導體層106。第一遮罩層122可至少實質上連續地沈積於多層基板120之上，且接著隨後經圖案化以移除多層基板120之第二區域124B中的遮罩層122，使得磊晶基層104及主要半導體層106通過多層基板120之第二區域124B內的第一遮罩層122而曝露。

第一遮罩層122可包含單一遮罩材料層，或其可包含複數個遮罩材料層。第一遮罩層122之組合物可經選擇以抵抗由蝕刻劑進行之蝕刻，蝕刻劑用以隨後蝕刻及移除多層基板120之第二區域124B內的遮罩層122，如下文所論述。舉例而言，第一遮罩層122可包含氧化物(例如，SiO_2、Al_2O_3等等)、氮化物(例如，Si_3N_4)或氮氧化物(例如，氮氧化矽)。作為非限制性實例，在磊晶基層104包含Si_xGe_{1-x}且主要半導體層106包含拉伸應變矽(sSi)的實施例中，第一遮罩層122可包含

多層遮罩結構，其包括第一氧化物(例如，SiO_2)層、在與磊晶基層104相對的第一氧化物層之側上的氮化物(例如，Si_3N_4)層，及在與第一氧化物層相對的氮化物層之側上的第二氧化物(例如，SiO_2)層，使得氮化物層包夾於第一氧化物層與第二氧化物層之間。

參看圖6，在運用第一遮罩層122來遮罩多層基板120之第一區域124A內的磊晶基層104及主要半導體層106之後，可自多層基板120之第二區域124B移除磊晶基層104之經曝露部分。蝕刻程序可用以自第二區域124B中之主要半導體層106之上移除磊晶基層104。

用以自第二區域124B中之主要半導體層106移除磊晶基層104的蝕刻程序可包含濕式蝕刻程序或乾式蝕刻程序(例如，反應性離子蝕刻(RIE)程序)。蝕刻程序可包含各向同性或各向異性蝕刻程序。可選擇蝕刻劑以相對於主要半導體層106選擇性地蝕刻磊晶基層104，使得藉由蝕刻程序優先地移除磊晶基層104且主要半導體層106充當蝕刻終止層。在其他實施例中，在不可得到將選擇性地移除磊晶基層104而不實質上移除主要半導體層106之蝕刻劑的情況下，一旦已移除磊晶基層104，就可終止蝕刻程序。

作為非限制性實例，在磊晶基層104包含Si_xGe_{1-x}且主要半導體層106包含拉伸應變矽(sSi)的實施例中，可使用乾式反應性離子蝕刻(RIE)程序以移除磊晶基層104。包括氯(例如，Cl_2)、氟(例如，CF_4或SF_6)及/或溴(例如，HBr)反應性氣體之鹵素基化學物可在此等乾式RIE程序中用作蝕刻劑。可藉由調整RIE蝕刻室內之氣體比率、壓力及偏功率而選擇性地控制RIE蝕刻程序之蝕刻速率。參見(例如) Marcelo S. B. Castro等人之Selective and Anisotropic Dry Etching of Ge over Si，Journal of Integrated Circuits and Systems 2013，第8卷，第2號，第104至109頁，其揭示此等RIE蝕刻程序且其全文係以引用之方式併入本文中。

在自多層基板120之第二區域124B內的下伏主要半導體層106移除磊晶基層104之後，接著可自多層基板120移除遮罩層134。

參看圖7，第二遮罩層126可沈積或以其他方式形成於多層基板120之第二區域124B內的經曝露主要半導體層106之上。第二遮罩層126可不覆蓋多層基板120之第一區域124A內的磊晶基層104及主要半導體層106。第二遮罩層124可至少實質上連續地沈積於多層基板120之上，且接著隨後經圖案化以移除多層基板120之第一區域124A中的遮罩層122，使得磊晶基層104及主要半導體層106通過多層基板120之第一區域124A內的第一遮罩層122而曝露。

第二遮罩層126可包含單一遮罩材料層，或其可包含複數個遮罩材料層。第二遮罩層126之組合物可經選擇以抵抗其可在原子擴散程序期間被曝露的環境條件，該原子擴散程序隨後待在多層基板120之第一區域124A內的磊晶基層104及主要半導體層106上執行，如下文參考圖8A至圖8C所描述。舉例而言，第二遮罩層126可包含氧化物(例如，SiO_2、Al_2O_3等等)、氮化物(例如，Si_3N_4)或氮氧化物(例如，氮氧化矽)。作為非限制性實例，在磊晶基層104包含Si_xGe_{1-x}且主要半導體層106包含拉伸應變矽(sSi)的實施例中，第二遮罩層126可包含多層遮罩結構，其包括氧化物(例如，SiO_2)層，及在與磊晶基層104相對的氧化物層之側上的氮化物(例如，Si_3N_4)層。

在運用第二遮罩層126來遮罩多層基板120之第二區域124B內的主要半導體層106之後，可使用縮合程序(常常被稱為「熱混合」程序)或另一類型之程序以將元素自第一區域124A內之磊晶基層104擴散至下伏主要半導體層106中，以便相對於多層基板120之第二區域124B內的主要半導體層106中之應變位準選擇性地縮減第一區域124A內之主要半導體層106中之拉伸應變及/或增加其中之壓縮應變。第二區域124B中的第二遮罩層126之存在及磊晶基層104之不存在可防止

將元素擴散至第二區域124B內之主要半導體層106中，使得在多層基板120之第一區域124A上進行的縮合程序期間保持主要半導體層106中之應變。換言之，縮合程序可僅在多層基板120之第一區域124A上進行，而不在多層基板120之第二區域124B上進行。下文參考圖8A至圖8C來描述此縮合程序。

圖8A為第一區域124A內的圖6所展示之多層基板120之部分的放大視圖。縮合程序可涉及使多層基板120在爐中在高溫(例如，介於約900℃與約1150℃之間)下在氧化氛圍(例如，乾燥O_2)中經受氧化程序，其中主要半導體層106被遮罩於多層基板120之第二區域124B內。參看圖8B，氧化程序可引起在多層基板120之表面處形成氧化物層136，且可致使元素自磊晶基層104擴散至多層基板120之第一區域124A內的主要半導體層106中。隨時間推移，隨著磊晶基層104之元素變得併入至生長氧化物層136中及/或擴散至且變得併入至下伏主要半導體層106中，磊晶基層104與主要半導體層106之間的邊界或界面可變得不分開。

在主要半導體層106包含拉伸應變矽(sSi)且磊晶基層104包含Si_xGe_{1-x}的實施例中，氧化物層136可包含二氧化矽(SiO_2)且Si_xGe_{1-x}磊晶基層104之鍺可擴散至主要半導體層106之應變矽(sSi)中，此將sSi應變半導體層106變換成應變Si_yGe_{1-y}主要半導體層106。氧化物層136可形成於磊晶基層104之表面處，且其厚度增長至多層基板120中、通過溶解磊晶基層104且至主要半導體層106中。隨著氧化物層136之厚度在鍺縮合程序期間生長，主要半導體層106之厚度減小且主要半導體層106中之鍺濃度增加，直至獲得在應變Si_yGe_{1-y}主要半導體層106中具有所要濃度之鍺的主要半導體層106為止，如圖8C所展示。鍺至主要半導體層106中之擴散可引起主要半導體層106內之任何拉伸應變減小，且可導致在主要半導體層106內產生壓縮應變。在縮合程序之

後，第一區域124A內之主要半導體層106可處於低於第二區域124B內之主要半導體層106中之拉伸應變的拉伸應變狀態，第一區域124A內之主要半導體層106可處於無拉伸應變或壓縮應變之至少實質上鬆弛狀態，或第一區域124A內之主要半導體層106可處於壓縮應變狀態。

可視情況在執行縮合程序之後自多層基板120之第一區域124A內的主要半導體層106之上移除氧化物層136。可使用(例如)濕式或乾式蝕刻程序來移除氧化物層136。

縮合程序可引起多層基板120之第一區域124A內的主要半導體層106之厚度減小，如可藉由比較圖8A與圖8C所看出。在一些實施例中，在執行縮合程序且移除氧化物層136之後，可將額外半導體材料選擇性地磊晶地生長於多層基板120之第一區域124A內的主要半導體層106上，而不將額外半導體材料磊晶地生長於多層基板120之第二區域124B內的主要半導體層106上。額外半導體材料可具有與多層基板120之第一區域124A內的主要半導體層106之下伏半導體材料相同的組合物及應變狀態。額外半導體材料之選擇性磊晶生長可用以厚化多層基板120之第一區域124A內的主要半導體層106，使得第一區域124A內之主要半導體層106之厚度至少實質上等於尚未經受縮合程序的第二區域124B內之主要半導體層106之厚度。

縮合程序可引起多層基板120之第一區域124A內的主要半導體層106內之電洞遷移率改良，此對於形成PMOS電晶體可為理想的，該等PMOS電晶體係諸如平面FET電晶體，或具有包含多層基板120之第一區域124A內的主要半導體層106之區域的電晶體通道結構之鰭式FET電晶體。多層基板120之第二區域124B內的主要半導體層106可保持於拉伸應變狀態，此對於形成NMOS電晶體可為理想的，該等NMOS電晶體係諸如平面FET電晶體，或具有包含多層基板120之第二區域124B內的主要半導體層106之區域的電晶體通道結構之鰭式FET。

電晶體。

因此，參看圖9，在提供多層基板120之後，可蝕刻多層基板120以界定鰭式結構132，鰭式結構132中之每一者可包含主要半導體層106之部分。鰭式結構132中之每一者可經定大小及組態以用於鰭式FET中。

蝕刻程序可藉由(例如)如下操作而進行：在多層基板120之上沈積遮罩層，圖案化遮罩層以在其中在需要蝕刻進入及通過磊晶基層104及主要半導體層106的位置處包括開口，且接著通過經圖案化遮罩層蝕刻主要半導體層106。可使用此項技術中所知的用於形成此等鰭式結構132之其他程序，諸如間隔物界定雙重圖案化(SDDP)程序，其在此項技術中亦被稱為側壁影像轉移程序。

蝕刻程序可包含濕式蝕刻程序或乾式蝕刻程序(例如，反應性離子蝕刻(RIE)程序)。蝕刻程序可包含各向異性蝕刻程序以便提供具有大體上垂直側壁之鰭式結構132。可選擇蝕刻劑以相對於下伏BOX層114選擇性地蝕刻磊晶基層104及主要半導體層106，使得BOX層114可充當蝕刻終止層。

作為非限制性實例，在主要半導體層106在第二區域124B內包含拉伸應變矽(sSi)且在第一區域124A內包含壓縮應變Si_yGe_{1-y}的實施例中，可使用乾式反應性離子蝕刻(RIE)程序，其使用包括氯(例如，Cl_2)、氟(例如，CF_4或SF_6)及/或溴(例如，HBr)反應性氣體之鹵素基化學物作為蝕刻劑。

鰭式結構132可包括意欲為p型鰭式FET電晶體之鰭的第一複數個鰭132A，及意欲為n型鰭式FET電晶體之鰭的第二複數個鰭132B。第一複數個鰭132A中之每一者可包含多層基板120之第一區域124A內的主要半導體層106之部分，且第二複數個鰭132B中之每一者可包含多層基板120之第二區域124B內的主要半導體層106之部分。因此，第

一複數個鰭式結構132A相對於第二複數個鰭式結構132B可處於不同應變狀態。詳言之，第二複數個鰭式結構132B可處於拉伸應變狀態，且第一複數個鰭式結構132A可處於縮減拉伸應變狀態(相對於第二複數個鰭式結構132B)、處於至少實質上無拉伸應變或壓縮應變之鬆弛狀態，或處於壓縮應變狀態。

在一些實施例中，鰭式結構132可具有低於臨界尺寸之一或多個尺寸(例如，長度、寬度或高度)，在該臨界尺寸處，鰭式結構132之材料將自發地或在高溫下之後續處理期間鬆弛。在一些實施例中，鰭式結構132可被形成為具有約30 nm或更小、約20 nm或更小或甚至約15 nm或更小之平均鰭寬度W (參見圖10)。

在上文所描述之方法中，磊晶基層104可用作主要半導體層106最初磊晶地生長使得主要半導體層106處於應變狀態所處的基層，如參考圖1所描述，且可隨後用以在縮合程序中更改主要半導體層106之部分的應變狀態，如參考圖8A至圖8C所描述。

如上文所描述，第一複數個鰭式結構132A及第二複數個鰭式結構132B可以共同遮罩及蝕刻程序一起形成，如參考圖9所描述。

藉由本文中所描述之方法而形成的所得結構包括安置於共同平面中之內埋氧化物層114之上且在其與基底基板110相對之側上的第一複數個鰭式結構132A及第二複數個鰭式結構132B。第一複數個鰭式結構132A中之每一者包含包括兩種或兩種以上元素(例如，矽及鍺)之經縮合主要半導體層106。第二複數個鰭式結構132B中之每一者包含非縮合主要半導體層106。另外，第二複數個鰭式結構132B之鰭式結構132具有與第一複數個鰭式結構132A之鰭式結構132之結晶應變不同的結晶應變。舉例而言，第二複數個鰭式結構132B之鰭式結構132可處於拉伸應變狀態，且第一複數個鰭式結構132A之鰭式結構132可處於縮減拉伸應變狀態、鬆弛應變狀態(亦即，無應變)，或壓縮應變

狀態。

在形成如上文所描述之第一複數個鰭式結構132A及第二複數個鰭式結構132B之後，可形成包含第一複數個鰭式結構132A之第一複數個PMOS鰭式FET電晶體，且可形成包含第二複數個鰭式結構132B之第二複數個NMOS鰭式FET電晶體。

圖10說明根據本發明之實施例的鰭式FET電晶體組態之非限制性簡化實例實施例，其可使用第一複數個鰭式結構132A及/或第二複數個鰭式結構132B予以製造。應注意，鰭式FET之許多不同組態在此項技術中係已知的且可根據本發明之實施例而使用，且圖10所展示之鰭式FET結構僅僅係作為此等鰭式FET結構之實例而闡述。

如圖10所展示，鰭式FET電晶體140包含源極區域142、汲極區域144，及延伸於源極區域142與汲極區域144之間的通道。該通道係由鰭132界定且包含鰭132，鰭132係諸如第一鰭式結構132A或第二鰭式結構132B。在一些實施例中，源極區域142及汲極區域144可包括鰭式結構132之縱向末端部分或由其界定。導電閘極146在源極區域142與汲極區域144之間的鰭式結構132之至少一部分之上且鄰近於其而延伸。可藉由介電材料148將閘極146與鰭式結構132分離。閘極146可包括多層結構，且可包括半導電層及/或導電層。包括金屬、金屬化合物或兩者之低電阻層(諸如導電矽化物)可沈積於源極區域142及/或汲極區域144之上以與其形成電接觸。

有利地，通道中之拉伸應力可增加NMOS鰭式FET電晶體之效能且縮減臨限電壓，而通道中之縮減拉伸應力(例如，較少拉伸應力、無拉伸應力或壓縮應力，或壓縮應力)可增加PMOS鰭式FET電晶體之效能且縮減臨限電壓。對於一些功能，應變裝置為有益的，此係因為需要高效能；且對於一些其他功能，效能並非如此重要，但高臨限電壓為有益的。在運用本發明之實施例的情況下，製造者可將不同位準

之應力及應變選擇性地併入至共同鰭式FET電晶體平面中之同一裝置中的不同鰭式FET電晶體之晶格中。

儘管關於鰭式FET結構而描述上文中所揭示之方法及結構，但應注意，本發明之額外實施例可涉及形成除了鰭式FET結構以外之習知FET結構，且可使用多層基板120之第一區域124A內的主要半導體層106來製造複數個習知p型CMOS FET電晶體，且可使用多層基板120之第二區域124B內的主要半導體層106來製造複數個習知n型CMOS FET電晶體。

下文闡述本發明之額外非限制性實例實施例。

實施例1：一種製造半導體結構之方法，其包含：提供多層基板，該多層基板包括：基底基板、在該基底基板之表面之上的內埋氧化物層、在該內埋氧化物層之上且在其與該基底基板相對之側上的應變主要半導體層，及在該應變半導體層之上且在其與該內埋氧化物層相對之側上的磊晶基層；將元素自該磊晶基層擴散至該多層基板之第一區域內的該應變主要半導體層中，而不將元素自該磊晶基層擴散至該多層基板之第二區域內的該應變主要半導體層中，且使該等經擴散元素之濃度在該第一區域內的該主要半導體層中增濃，使得該第一區域內的該主要半導體層中之應變狀態與該第二區域內的該主要半導體層中之應變狀態不同；及形成各自包含該多層基板之該第一區域內的該主要半導體層之部分的第一複數個電晶體通道結構，及各自包含該多層基板之該第二區域內的該主要半導體層之部分的第二複數個電晶體通道結構。

實施例2：如實施例1之方法，其進一步包含選擇該應變半導體層以包含應變矽。

實施例3：如實施例2之方法，其進一步包含選擇該應變半導體層以包含拉伸應變矽。

實施例4：如實施例1至3中之任一者之方法，其進一步包含選擇該磊晶基層以包含Si_xGe_{1-x}，其中x為約0.01至約0.99，且其中將元素自該磊晶基層擴散至該應變主要半導體層中包含將鍺擴散至該多層基板之該第一區域內的該應變主要半導體層中。

實施例5：如實施例1至4中之任一者之方法，其中形成第一複數個電晶體通道結構且形成該第二複數個電晶體通道結構包含通過該主要半導體層進行蝕刻且界定鰭式結構，該等鰭式結構中之每一者包含該主要半導體層之部分，該等鰭式結構中之每一者經定大小及經組態以用於鰭式FET中。

實施例6：如實施例1至5中之任一者之方法，其中提供該多層基板包含：將該應變半導體層磊晶地生長於供體基板之上的該磊晶基層上以形成供體結構；將離子植入至該供體結構中且在該供體結構內形成弱點區；將該供體結構接合至包含該基底基板之接收器基板；及使該供體結構沿著該弱點區裂解以將該應變半導體層及該磊晶基層轉移至該基底基板。

實施例7：如實施例6之方法，其中將該供體結構接合至該接收器基板包含在該供體結構及該接收器基板中之一或兩者上提供氧化物層，且使用直接接合程序將該供體結構接合至該接收器基板。

實施例8：如實施例6或實施例7之方法，其進一步包含在包含該磊晶基層的該供體基板之實質上均質區域內安置該弱點區。

實施例9：如實施例1至8中之任一者之方法，其中將元素自該磊晶基層擴散至該多層基板之該第一區域內的該應變主要半導體層中包含使該多層基板之該第一區域內的該主要半導體層中之應變鬆弛。

實施例10：如實施例1至9中之任一者之方法，其中將元素自該磊晶基層擴散至該多層基板之該第一區域內的該應變主要半導體層中包含在該多層基板之該第一區域內的該主要半導體層中誘發壓縮應

變。

實施例11：如實施例1至10中之任一者之方法，其中將元素自該磊晶基層擴散至該多層基板之該第一區域內的該應變主要半導體層中包含在該第一區域內的該主要半導體層內增加電洞遷移率。

實施例12：如實施例1至11中之任一者之方法，其中將元素自該磊晶基層擴散至該多層基板之該第一區域內的該應變主要半導體層中包含在該多層基板之該第一區域內的該主要半導體層上進行縮合程序。

實施例13：如實施例12之方法，其中在該多層基板之該第一區域內的該主要半導體層上進行縮合程序包含氧化該多層基板之該第一區域內的該主要半導體層之部分。

實施例14：如實施例1至13中之任一者之方法，其進一步包含形成包含該第一複數個電晶體通道結構之複數個p型FET電晶體，且形成包含該第二複數個電晶體通道結構之複數個n型FET電晶體。

實施例15：一種製造半導體結構之方法，其包含：提供多層基板，該多層基板包括：基底基板、在該基底基板之表面之上的內埋氧化物層、在該內埋氧化物層之上且在其與該基底基板相對之側上的應變主要半導體層，及在該應變半導體層之上且在其與該內埋氧化物層相對之側上的磊晶基層；運用第一遮罩層來遮罩該多層基板之第一區域，且自該多層基板之第二區域移除該磊晶基層之部分；自該多層基板之該第一區域移除該第一遮罩層，且運用第二遮罩層來遮罩該多層基板之該第二區域；將元素自該磊晶基層擴散至該多層基板之該第一區域內的該應變主要半導體層中，且更改該多層基板之該第一區域內的該主要半導體層之應變狀態，而不將元素擴散至該多層基板之該第二區域內的該應變主要半導體層中；及形成各自包含該多層基板之該第一區域內的該主要半導體層之部分的第一複數個電晶體通道結構，

及各自包含該多層基板之該第二區域內的該主要半導體層之部分的第二複數個電晶體通道結構。

實施例16：如實施例15之方法，其進一步包含選擇該應變半導體層以包含拉伸應變矽。

實施例17：如實施例15或實施例16之方法，其進一步包含選擇該磊晶基層以包含至少實質上鬆弛Si_xGe_{1-x}，其中x為約0.01至約0.99，且其中將元素自該磊晶基層擴散至該多層基板之該第一區域內的該應變主要半導體層中包含將鍺擴散至該多層基板之該第一區域內的該應變主要半導體層中。

實施例18：如實施例15至17中之任一者之方法，其進一步包含形成包含該第一複數個電晶體通道結構之複數個p型FET電晶體，且形成包含該第二複數個電晶體通道結構之複數個n型FET電晶體。

實施例19：一種半導體結構，其包括多層基板，該多層基板包含：基底基板、在該基底基板之表面之上的內埋氧化物層，及在該內埋氧化物層之上且在其與該基底基板相對之側上的主要半導體層，該多層基板之第一區域內的該主要半導體層之部分包含Si_yGe_{1-y}，其中y介於約0.20與約0.99之間，該多層基板之第二區域內的該主要半導體層之部分包含拉伸應變Si；其中該多層基板之該第一區域內的該主要半導體層之該部分具有與該多層基板之該第二區域內的該主要半導體層之該部分的結晶應變不同的結晶應變。

實施例20：如實施例19之半導體結構，其進一步包含各自包含該多層基板之該第一區域內的該主要半導體層之部分的第一複數個p型FET電晶體，及各自包含該多層基板之該第二區域內的該主要半導體層之部分的第二複數個n型FET電晶體。

上文所描述的本發明之實例實施例並不限制本發明之範疇，此係因為此等實施例僅僅為本發明之實施例的實例，本發明係由所附申

請專利範圍及其法定等效者之範疇界定。任何等效實施例均意欲處於本發明之範疇內。實際上，除了本文中所展示及描述之內容以外，本發明之各種修改(諸如所描述元件之替代有用組合)亦將自該描述而對熟習此項技術者變得顯而易見。換言之，本文中所描述之一個實例實施例的一或多個特徵可與本文中所描述之另一實例實施例的一或多個特徵進行組合以提供本發明之額外實施例。此等修改及實施例亦意欲屬於所附申請專利範圍之範疇內。

【符號說明】

100	供體基板
102	塊材
104	磊晶基層
106	主要半導體層/應變半導體層/主要應變半導體層
108	緩衝層
109	方向箭頭
110	接收器基板
112	弱點區
114	內埋氧化物層/絕緣層
120	多層基板
122	第一遮罩層
124A	多層基板之第一區域
124B	多層基板之第二區域
126	第二遮罩層
132	鰭式結構
132A	第一複數個鰭/第一複數個鰭式結構
132B	第二複數個鰭/第二複數個鰭式結構
136	氧化物層

140	鰭式FET電晶體
142	源極區域
144	汲極區域
146	導電閘極/閘極
148	介電材料

I668840

公告本

發明摘要

※ 申請案號：104130332

※ 申請日：104年9月14日　　※IPC 分類：*H01L 27/092* (2006.01)
H01L 27/12 (2006.01)
H01L 29/165 (2006.01)
H01L 29/78 (2006.01)

【發明名稱】

用於製造包括具有不同應變狀態之鰭式結構之半導體結構的方法及相關半導體結構

METHOD FOR FABRICATING SEMICONDUCTOR STRUCTURES INCLUDING FIN STRUCTURES WITH DIFFERENT STRAIN STATES, AND RELATED SEMICONDUCTOR STRUCTURES

【中文】

形成半導體結構之方法包括提供具有磊晶基層之多層基板，該磊晶基層上覆於在內埋氧化物層上方之應變主要半導體層。該磊晶基層內之元素係用以更改該多層基板之第一區域內的該主要半導體層中之應變狀態，而不更改該多層基板之第二區域內的該主要半導體層中之應變狀態。形成各自包含該多層基板之該第一區域內的該主要半導體層之部分的第一複數個電晶體通道結構，且形成各自包含該多層基板之該第二區域內的該主要半導體層之部分的第二複數個電晶體通道結構。藉由此等方法而製造之半導體結構可包括具有不同應變狀態之電晶體通道結構。

【英文】

Methods of forming a semiconductor structure include providing a multi-layer substrate having an epitaxial base layer overlying a strained primary semiconductor layer above a buried oxide layer. Elements within the epitaxial base layer are used to alter a strain state in the primary semiconductor layer within a first region of the multi-layer substrate without altering a strain state in the primary semiconductor layer within a second region of the multi-layer substrate. A first plurality of transistor channel structures are formed that each comprise a portion of the primary semiconductor layer within the first region of the multi-layer substrate, and a second plurality of transistor channel structures are formed that each comprise a portion of the primary semiconductor layer within the second region of the multi-layer substrate. Semiconductor structures fabricated by such methods may include transistor channel structures having differing strain states.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

100	供體基板
102	塊材
104	磊晶基層
106	主要半導體層/應變半導體層/主要應變半導體層
108	緩衝層
109	方向箭頭
112	弱點區

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

申請專利範圍

1. 一種製造半導體結構之方法，其包含：

提供多層基板，該多層基板包括：

基底基板，

在該基底基板之表面之上的內埋氧化物層，

在該內埋氧化物層之上且在其與該基底基板相對之側上的應變主要半導體層，及

在該應變主要半導體層之上且在其與該內埋氧化物層相對之側上的磊晶基層；

將元素自該磊晶基層擴散至該多層基板之第一區域內的該應變主要半導體層中，而不將元素自該磊晶基層擴散至該多層基板之第二區域內的該應變主要半導體層中，且使該等經擴散元素之濃度在該第一區域內的該應變主要半導體層中增濃，使得該第一區域內的該應變主要半導體層中之應變狀態與該第二區域內的該應變主要半導體層中之應變狀態不同；及

形成各自包含該多層基板之該第一區域內的該應變主要半導體層之部分的第一複數個電晶體通道結構，及各自包含該多層基板之該第二區域內的該應變主要半導體層之部分的第二複數個電晶體通道結構。

2. 如請求項1之方法，其進一步包含選擇該應變主要半導體層以包含應變矽。

3. 如請求項2之方法，其進一步包含選擇該應變主要半導體層以包含拉伸應變矽。

4. 如請求項2之方法，其進一步包含選擇該磊晶基層以包含Si_xGe_{1-x}，其中x為約0.01至約0.99，且其中將元素自該磊晶基層擴散至該

應變主要半導體層中包含將鍺擴散至該多層基板之該第一區域內的該應變主要半導體層中。

5. 如請求項1之方法，其中形成第一複數個電晶體通道結構且形成該第二複數個電晶體通道結構包含通過該應變主要半導體層進行蝕刻且界定鰭式結構，該等鰭式結構中之每一者包含該應變主要半導體層之部分，該等鰭式結構中之每一者經定大小及經組態以用於鰭式FET中。

6. 如請求項1之方法，其中提供該多層基板包含：

將該應變主要半導體層磊晶地生長於供體基板之上的該磊晶基層上以形成供體結構；

將離子植入至該供體結構中且在該供體結構內形成弱點區；

將該供體結構接合至包含該基底基板之接收器基板；及

使該供體結構沿著該弱點區裂解以將該應變主要半導體層及該磊晶基層轉移至該基底基板。

7. 如請求項6之方法，其中將該供體結構接合至該接收器基板包含在該供體結構及該接收器基板中之一或兩者上提供氧化物層，且使用直接接合程序將該供體結構接合至該接收器基板。

8. 如請求項6之方法，其進一步包含在包含該磊晶基層的該供體基板之實質上均質區域內安置該弱點區。

9. 如請求項1之方法，其中將元素自該磊晶基層擴散至該多層基板之該第一區域內的該應變主要半導體層中包含使該多層基板之該第一區域內的該應變主要半導體層中之應變鬆弛。

10. 如請求項1之方法，其中將元素自該磊晶基層擴散至該多層基板之該第一區域內的該應變主要半導體層中包含在該多層基板之該第一區域內的該應變主要半導體層中誘發壓縮應變。

11. 如請求項1之方法，其中將元素自該磊晶基層擴散至該多層基板

之該第一區域內的該應變主要半導體層中包含在該第一區域內的該應變主要半導體層內增加電洞遷移率。

12. 如請求項1之方法，其中將元素自該磊晶基層擴散至該多層基板之該第一區域內的該應變主要半導體層中包含在該多層基板之該第一區域內的該應變主要半導體層上進行縮合程序。

13. 如請求項12之方法，其中在該多層基板之該第一區域內的該應變主要半導體層上進行縮合程序包含氧化該多層基板之該第一區域內的該應變主要半導體層之部分。

14. 如請求項1之方法，其進一步包含形成包含該第一複數個電晶體通道結構之複數個p型FET電晶體，且形成包含該第二複數個電晶體通道結構之複數個n型FET電晶體。

15. 一種製造半導體結構之方法，其包含：

提供多層基板，該多層基板包括：

基底基板，

在該基底基板之表面之上的內埋氧化物層，

在該內埋氧化物層之上且在其與該基底基板相對之側上的應變主要半導體層，及

在該應變主要半導體層之上且在其與該內埋氧化物層相對之側上的磊晶基層；

運用第一遮罩層來遮罩該多層基板之第一區域，且自該多層基板之第二區域移除該磊晶基層之部分；

自該多層基板之該第一區域移除該第一遮罩層，且運用第二遮罩層來遮罩該多層基板之該第二區域；

將元素自該磊晶基層擴散至該多層基板之該第一區域內的該應變主要半導體層中，且更改該多層基板之該第一區域內的該應變主要半導體層之應變狀態，而不將元素擴散至該多層基板

之該第二區域內的該應變主要半導體層中；及

形成各自包含該多層基板之該第一區域內的該應變主要半導體層之部分的第一複數個電晶體通道結構，及各自包含該多層基板之該第二區域內的該應變主要半導體層之部分的第二複數個電晶體通道結構。

16. 如請求項15之方法，其進一步包含選擇該應變主要半導體層以包含拉伸應變矽。

17. 如請求項16之方法，其進一步包含選擇該磊晶基層以包含至少實質上鬆弛Si_xGe_{1-x}，其中x為約0.01至約0.99，且其中將元素自該磊晶基層擴散至該多層基板之該第一區域內的該應變主要半導體層中包含將鍺擴散至該多層基板之該第一區域內的該應變主要半導體層中。

18. 如請求項17之方法，其進一步包含形成包含該第一複數個電晶體通道結構之複數個p型FET電晶體，且形成包含該第二複數個電晶體通道結構之複數個n型FET電晶體。

19. 一種半導體結構，其包括多層基板，該多層基板包含：

基底基板，

在該基底基板之表面之上的內埋氧化物層，及

在該內埋氧化物層之上且在其與該基底基板相對之側上的主要半導體層，該多層基板之第一區域內的該主要半導體層之部分包含Si_yGe_{1-y}，其中y介於約0.20與約0.99之間，該多層基板之第二區域內的該主要半導體層之部分包含拉伸應變Si；

其中該多層基板之該第一區域內的該主要半導體層之該部分具有與該多層基板之該第二區域內的該主要半導體層之該部分的結晶應變不同的結晶應變。

20. 如請求項19之半導體結構，其進一步包含各自包含該多層基板

之該第一區域內的該主要半導體層之部分的第一複數個p型FET電晶體，及各自包含該多層基板之該第二區域內的該主要半導體層之部分的第二複數個n型FET電晶體。