

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年7月21日(2005.7.21)

【公開番号】特開2001-273799(P2001-273799A)

【公開日】平成13年10月5日(2001.10.5)

【出願番号】特願2001-28595(P2001-28595)

【国際特許分類第7版】

G 1 1 C 29/00

G 0 1 R 31/28

G 1 1 C 11/14

G 1 1 C 11/15

【F I】

G 1 1 C 29/00 6 7 5 B

G 1 1 C 29/00 6 7 1 B

G 1 1 C 11/14 Z

G 1 1 C 11/15

G 0 1 R 31/28 B

G 0 1 R 31/28 V

【手続補正書】

【提出日】平成16年12月9日(2004.12.9)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリアレイのピット線に連結されて、前記メモリアレイ内の各メモリセルの抵抗を試験し、その抵抗が所定の上限および下限内にあるか否かを決定する第1の抵抗仕様試験回路を含んでいる、磁気抵抗メモリアレイ集積回路のための組み込み自己試験システム。

【請求項2】

前記抵抗仕様試験回路は、各メモリセルからそれぞれ生成した信号と、所定のメモリセル抵抗仕様の上限および下限を表す第1および第2の所定のタイミング信号とを比較する、請求項1に記載の組み込み自己試験システム。

【請求項3】

前記抵抗仕様試験回路は、前記集積回路のセンスアンプ回路内に含まれているものである請求項2に記載の組み込み自己試験システム。

【請求項4】

前記抵抗仕様試験回路は、前記集積回路のセンスアンプ回路の一部をなすものであり、試験されているメモリセルを通る検出電流に従って電荷を集積するように配置した電荷集積回路と、集積素子から二値出力を提供できるように連結した閾値回路と、前記第1および第2の所定のタイミング信号に従って前記センスアンプの走査レジスタに前記二値出力を提供するために連結したスイッチング回路とを含んでいる、請求項3に記載の組み込み自己試験システム。

【請求項5】

前記メモリアレイ内のメモリセルの行に連結し、前記メモリアレイの各行において短絡したメモリセルと開いた行アドレス指定線とを検出するように配置した第2の試験回路をさらに含んでいる請求項1に記載の組み込み自己試験システム。

【請求項 6】

前記第2の試験回路は、入力を提供するように前記メモリアレイの行に連結し、出力を提供するように任意の短絡セルまたは開いた行アドレス指定線を前記メモリアレイ内において検出するか否かを記録する行エラーフラグレジスタに連結しているワイヤードOR回路を含んでいる、請求項5に記載の組み込み自己試験システム。

【請求項 7】

前記メモリアレイの走査レジスタに連結して所定のデータパターンをメモリアレイへと書き込み、該メモリアレイからデータを読み出し、前記読み出したデータと前記書き込んだデータとを比較するように配置した第3の試験回路をさらに含んでいる請求項1に記載の組み込み自己試験システム。

【請求項 8】

前記第3の試験回路をワイヤードOR回路を介して前記第1の試験回路に連結し、該試験回路の出力をエラーフラグ列レジスタに組み合わせる請求項7に記載の組み込み自己試験システム。

【請求項 9】

前記エラーフラグ列レジスタは、各列に対するエラーの数が所定の許容できる数よりも大きいかどうかを判断するために、前記メモリ内の各列に対する前記第1および第3の試験回路によって検出された前記エラーの数を記録するものである、請求項8に記載の組み込み自己試験システム。

【請求項 10】

メモリセルのアレイを有し、前記メモリセルは前記アレイの各行線と各列線との間にそれぞれ連結し、前記メモリセルに格納したデータを検出するためにセンスアンプが前記アレイの前記列線に連結しており、走査レジスタが、前記センスアンプから出力を受け取り、前記アレイ内の前記メモリセルに入力を提供するように連結している磁気抵抗ランダムアクセスメモリ(MRAM)集積回路用の組み込み自己試験システムであって、

前記センスアンプのそれぞれに連結し、前記メモリアレイ内の各メモリセルの抵抗を試験して、該抵抗が所定の上限および下限内にあるか否かを決定する抵抗仕様試験回路を含む第1の試験回路と、

前記メモリアレイの行線に連結し、前記アレイの各行において短絡したメモリセルを開いた行アドレス指定線とを検出するため配置する第2の試験回路と、

前記メモリアレイの前記走査レジスタに連結して所定のデータパターンをメモリアレイに書き込み、該メモリアレイからデータを読み出し、前記読み出したデータと前記書き込んだデータとを比較するため配置する第3の試験回路と

を含んでなる組み込み自己試験システム。

【請求項 11】

第1の試験と第2の試験と第3の試験とを前記メモリアレイにおいてそれを行なうために、前記第1の試験回路と第2の試験回路と第3の試験回路とを制御するように結合された試験状態マシン回路をさらに含む請求項10に記載の組み込み自己試験システム。

【請求項 12】

前記抵抗仕様試験回路は、各メモリセルそれぞれに対応する前記センスアンプにおいて生成する試験信号と所定のメモリセル抵抗仕様の上限および下限を表す第1および第2の所定のタイミング信号とを比較し、前記アレイ内のメモリセルについての試験信号が第1および第2の所定のタイミング信号の限度外にある場合にはエラーフラグ信号を生成する、請求項11に記載の組み込み自己試験システム。

【請求項 13】

前記第1および第2の所定のタイミング信号が、前記試験状態マシン回路によって生成されている、請求項12に記載の組み込み自己試験システム。

【請求項 14】

前記抵抗仕様試験回路は、試験下のメモリセルを通る検出電流に従って電荷を集積するように配置した電荷集積回路と、集積素子から二値出力を提供するように連結した閾値回

路と、前記第1および第2の所定のタイミング信号に従って前記走査レジスタに前記二値出力を提供するように連結したスイッチング回路とを含んでいる、請求項13に記載の組み込み自己試験システム。

【請求項15】

前記メモリアレイの行線からの入力を受信するように結合され、前記メモリアレイにおいて任意の短絡セルまたは開いた行アドレス指定線を検出した場合に記録する行エラーフラグレジスタへの出力を与えるように結合されたワイヤードOR回路を前記第2の試験回路が含んでいる、請求項11に記載の組み込み自己試験システム。

【請求項16】

エラーフラグ列レジスタへとその出力同士を組み合わせるように、前記第3の試験回路がワイヤードOR回路を介して前記第1の試験回路に結合されている、請求項11に記載の組み込み自己試験システム。

【請求項17】

前記エラーフラグ列レジスタは、各列に対するエラーの数が所定の許容できる数よりも大きいかどうかを判断するために、前記メモリ内の各列に対する前記第1および第3の試験回路によって検出された前記エラーの数を記録するものである、請求項16に記載の組み込み自己試験システム。

【請求項18】

メモリセルに記録されるデータを検出するために少なくとも1つのセンスアンプを備えた該メモリセルのアレイを有する磁気抵抗ランダムアクセスメモリ(MRAM)集積回路用の組み込み自己試験システムを提供する方法であって、

前記センスアンプを用いて、前記アレイ内のメモリセルを通る検出電流を表す電流信号を生成するステップと、

バイナリ出力を生成するために該電流信号を時間について積分し、それに対してある閾値を適用するステップと、

第1および第2の時間に前記バイナリ出力をサンプリングするステップと、

前記第1および第2のサンプリングされたバイナリ出力に基づいて、所定の抵抗仕様外のものとして前記メモリセルを記録するステップと

を含んでなる方法。