



(12) 发明专利

(10) 授权公告号 CN 102290982 B

(45) 授权公告日 2015. 07. 08

(21) 申请号 201110142968. 4

(22) 申请日 2011. 05. 30

(30) 优先权数据

2010-123950 2010. 05. 31 JP

(73) 专利权人 罗姆股份有限公司

地址 日本京都府

(72) 发明人 矢野雄二

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 倪斌

(51) Int. Cl.

H02M 3/07(2006. 01)

B60R 16/023(2006. 01)

(56) 对比文件

US 6392904 B1, 2002. 05. 21, 参见说明书第
3 栏第 63 行至第 6 栏第 39 行、附图 1.

CN 1030834 A, 1989. 02. 01, 参见说明书第
12 页第 1 段至第 13 页第 1 段、附图 1-2.

US 2002/0051373 A1, 2002. 05. 02, 全文.

CN 101420223 A, 2009. 04. 29, 全文.

审查员 周杰

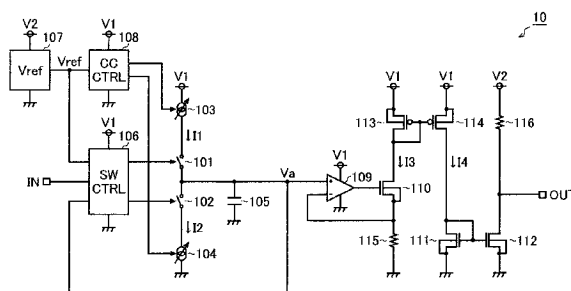
权利要求书4页 说明书14页 附图7页

(54) 发明名称

发送器、接口装置和车载通信系统

(57) 摘要

本发明公开了一种发送器、接口装置和车载通信系统。发送器包括：电容器，从该电容器的一端引出充电电压；第一恒流源，用于生成电容器的充电电流；第二恒流源，用于生成电容器的放电电流；充电/放电控制器，用于基于发送输入信号的逻辑电平以及充电电压与基准电压之间的比较结果来执行对电容器的充电/放电控制；输出级，用于生成发送输出信号，其中，发送输出信号的转换速率响应于充电电压而设定，发送输出信号的幅度响应于输出侧电源电压而设定；基准电压生成器，用于使基准电压依赖于输出侧电源电压而波动；和恒流控制器，用于使充电电流和放电电流的电流值依赖于基准电压而波动。



1. 一种发送器,包括:

电容器,从所述电容器的一端引出充电电压;

第一恒流源,所述第一恒流源用于生成所述电容器的充电电流;

第二恒流源,所述第二恒流源用于生成所述电容器的放电电流;

充电/放电控制器,所述充电/放电控制器用于基于发送输入信号的逻辑电平以及所述充电电压与基准电压之间的比较结果,来执行对所述电容器的充电/放电控制;

输出级,所述输出级用于生成发送输出信号,其中,所述发送输出信号的转换速率响应于所述充电电压而设定,所述发送输出信号的幅度响应于输出侧电源电压而设定;

基准电压生成器,所述基准电压生成器用于使所述基准电压依赖于所述输出侧电源电压而波动;和

恒流控制器,所述恒流控制器用于使所述充电电流和所述放电电流的电流值依赖于所述基准电压而波动,

所述输出级包括:

开放漏极晶体管,所述开放漏极晶体管的导通程度响应于所述充电电压而受到控制,

所述发送器还包括:

加强装置,该加强装置用于将加强电流提供给开放漏极晶体管直到所述开放漏极晶体管能够工作于其饱和区,以及当所述开放漏极晶体管变为能够工作于其饱和区的状态时停止供给所述加强电流。

2. 根据权利要求1所述的发送器,其中,所述充电/放电控制器包括:

用于使电容器和第一恒流源之间的连接节点导通或截止的第一开关;

用于使电容器和第二恒流源之间的连接节点导通或截止的第二开关;和

用于对第一开关和第二开关进行通-断控制的切换控制器。

3. 根据权利要求1所述的发送器,其中,所述基准电压生成器是电阻梯形电路,所述电阻梯形电路通过对输出侧电源电压进行分压来生成基准电压。

4. 一种发送器,包括:

电容器,从所述电容器的一端引出充电电压;

第一恒流源,所述第一恒流源用于生成所述电容器的充电电流;

第二恒流源,所述第二恒流源用于生成所述电容器的放电电流;

充电/放电控制器,所述充电/放电控制器用于基于发送输入信号的逻辑电平以及所述充电电压与基准电压之间的比较结果,来执行对所述电容器的充电/放电控制;

输出级,所述输出级用于生成发送输出信号,其中,所述发送输出信号的转换速率响应于所述充电电压而设定,所述发送输出信号的幅度响应于输出侧电源电压而设定;

基准电压生成器,所述基准电压生成器用于使所述基准电压依赖于所述输出侧电源电压而波动;和

恒流控制器,所述恒流控制器用于使所述充电电流和所述放电电流的电流值依赖于所述基准电压而波动,

所述恒流控制器包括:

用于进行电压/电流转换以从所述基准电压生成基准电流的基准电流生成器;以及

用于将所述基准电流复制为所述充电电流和所述放电电流的电流镜像电路。

5. 一种发送器,包括:

电容器,从所述电容器的一端引出充电电压;

第一恒流源,所述第一恒流源用于生成所述电容器的充电电流;

第二恒流源,所述第二恒流源用于生成所述电容器的放电电流;

充电/放电控制器,所述充电/放电控制器用于基于发送输入信号的逻辑电平以及所述充电电压与基准电压之间的比较结果,来执行对所述电容器的充电/放电控制;

输出级,所述输出级用于生成发送输出信号,其中,所述发送输出信号的转换速率响应于所述充电电压而设定,所述发送输出信号的幅度响应于输出侧电源电压而设定;

基准电压生成器,所述基准电压生成器用于使所述基准电压依赖于所述输出侧电源电压而波动;和

恒流控制器,所述恒流控制器用于使所述充电电流和所述放电电流的电流值依赖于所述基准电压而波动,

所述输出级包括:

开放漏极晶体管,所述开放漏极晶体管的导通程度响应于所述充电电压而受到控制;和

二极管,所述二极管的阳极端子连接至所述发送输出信号的输出端子,所述二极管的阴极端子连接至所述开放漏极晶体管的漏极端子,

所述二极管形成在浮置区中,所述浮置区由在半导体衬底的区域上形成的嵌入式绝缘层以及在所述嵌入式绝缘层的上部周围形成的集电极壁所围绕。

6. 一种接口装置,包括:

形成在信号发送路径上的发送器;和

形成在信号接收路径上的接收器;

其中,所述发送器包括:

电容器,从所述电容器的一端引出充电电压;

第一恒流源,所述第一恒流源用于生成所述电容器的充电电流;

第二恒流源,所述第二恒流源用于生成所述电容器的放电电流;

充电/放电控制器,所述充电/放电控制器用于基于发送输入信号的逻辑电平以及所述充电电压与基准电压之间的比较结果,来执行对所述电容器的充电/放电控制;

输出级,所述输出级用于生成发送输出信号,其中,所述发送输出信号的转换速率响应于所述充电电压而设定,所述发送输出信号的幅度响应于输出侧电源电压而设定;

基准电压生成器,所述基准电压生成器用于使所述基准电压依赖于所述输出侧电源电压而波动;和

恒流控制器,所述恒流控制器用于使所述充电电流和所述放电电流的电流值依赖于所述基准电压而波动,

所述接收器包括:

一对第一晶体管和第三晶体管,所述第一晶体管和第三晶体管的源极端子相互连接,其中接收输出信号从所述第一晶体管和第三晶体管中的一个晶体管的漏极端子提供;

第二晶体管,所述第二晶体管的栅极端子连接至接收输入信号的输入端子,所述第二晶体管的源极端子连接至第一晶体管的栅极端子;

第四晶体管,所述第四晶体管的栅极端子连接至接收基准电压的输入端子,所述第四晶体管的源极端子连接至第二晶体管的栅极端子;

第一齐纳二极管,所述第一齐纳二极管的阴极端子连接至所述第一晶体管的栅极端子,所述第一齐纳二极管的阳极端子连接至所述第一晶体管的源极端子;

第二齐纳二极管,所述第二齐纳二极管的阴极端子连接至所述第二晶体管的栅极端子,所述第二齐纳二极管的阳极端子连接至所述第二晶体管的源极端子;

第三齐纳二极管,所述第三齐纳二极管的阴极端子连接至所述第三晶体管的栅极端子,所述第三齐纳二极管的阳极端子连接至所述第三晶体管的源极端子;

第四齐纳二极管,所述第四齐纳二极管的阴极端子连接至所述第四晶体管的栅极端子,所述第四齐纳二极管的阳极端子连接至所述第四晶体管的源极端子;

第一电流源,所述第一电流源用于生成所述第一晶体管和所述第二晶体管的源极电流;

第二电流源,所述第二电流源用于生成所述第三晶体管的源极电流;和

第三电流源,所述第三电流源用于生成所述第四晶体管的源极电流。

7. 根据权利要求 6 所述的接口装置,其中,所述接收器还包括:

插入在所述第一晶体管的栅极端子和所述第三晶体管的源极端子之间的限流电阻器。

8. 一种接口装置,包括:

形成在信号发送路径上的发送器;和

形成在信号接收路径上的接收器;

其中,所述发送器包括:

电容器,从所述电容器的一端引出充电电压;

第一恒流源,所述第一恒流源用于生成所述电容器的充电电流;

第二恒流源,所述第二恒流源用于生成所述电容器的放电电流;

充电/放电控制器,所述充电/放电控制器用于基于发送输入信号的逻辑电平以及所述充电电压与基准电压之间的比较结果,来执行对所述电容器的充电/放电控制;

输出级,所述输出级用于生成发送输出信号,其中,所述发送输出信号的转换速率响应于所述充电电压而设定,所述发送输出信号的幅度响应于输出侧电源电压而设定;

基准电压生成器,所述基准电压生成器用于使所述基准电压依赖于所述输出侧电源电压而波动;和

恒流控制器,所述恒流控制器用于使所述充电电流和所述放电电流的电流值依赖于所述基准电压而波动,

所述接收器包括:

一对第一晶体管和第三晶体管,所述第一晶体管和第三晶体管的源极端子相互连接,其中接收输出信号从所述第一晶体管和第三晶体管中的一个晶体管的漏极端子提供;

第一齐纳二极管,所述第一齐纳二极管的阴极端子连接至所述第一晶体管的栅极端子,所述第一齐纳二极管的阳极端子连接至所述第一晶体管的源极端子;

第二齐纳二极管,所述第二齐纳二极管的阴极端子连接至所述第二晶体管的栅极端子,所述第二齐纳二极管的阳极端子连接至所述第二晶体管的源极端子;

电流源,所述电流源用于生成所述第一晶体管和所述第二晶体管的源极电流;

第一二极管,所述第一二极管的阳极端子连接至所述第一晶体管的源极端子,所述第一二极管的阴极端子连接至所述电流源;和

第二二极管,所述第二二极管的阳极端子连接至所述第二晶体管的源极端子,所述第二二极管的阴极端子连接至所述电流源。

9. 根据权利要求 8 所述的接口装置,其中,所述第一二极管和所述第二二极管是二极管连接的 PNP 双极晶体管。

10. 一种车载通信系统,包括:

电子控制单元;

总线;和

用于控制所述电子控制单元和所述总线之间的双向通信的接口装置;

其中,所述接口装置包括:

形成在信号发送路径上的权利要求 1 ~ 5 中任一项所述的发送器;和形成在信号接收路径上的接收器。

发送器、接口装置和车载通信系统

技术领域

[0001] 本发明涉及一种具有转换速率(slew rate)控制功能的发送器和使用该发送器的接口装置及车载通信系统。

背景技术

[0002] 图6是示出根据现有技术的具有转换速率控制功能的发送器的电路图。对于根据现有技术的发送器,切换控制器306响应于输入信号IN的上升沿操作,接通开关301,切断开关302。根据这种切换控制,充电电流I1(电流值=+I)从恒流源303经由开关301流入到电容器305(电容=C)中。因此,从电容305的一端(高电势侧)得出的输出信号OUT的电压值响应于充电电流I1的电流值和电容器305的电容开始以恒定的转换速率SR1($SR1 = +I/C[V/S]$)上升。

[0003] 当输出信号OUT的电压值达到基准电压Vref时,切换控制器306切断开关301。由于这种切换控制,输出电压VOUT由电容器305保持成与基准电压Vref近似相同。

[0004] 切换控制器306响应于输入信号IN的下降沿切断开关301,接通开关302。由于该切换控制,放电电流I2(电流值=-I)从电容器305经由开关302提供给恒流源304。因此,输出信号OUT的电压值响应于放电电流I2的电流值和电容器305的电容开始以恒定的转换速率SR2($SR2 = -I/C[V/S]$)下降。

[0005] 车载通信系统的现有技术在日本专利公布No. 2009-202720中公开。

发明内容

[0006] 在根据现有技术的上述发送器中,充电电流I1的电流值和放电电流I2的电流值被设为预定值,关于输出信号OUT的上升沿转换速率SR1和下降沿转换速率SR2设为预定值。因此,如果基准电压Vref保持恒定值,则输出信号OUT的上升时间和下降时间保持为恒定值。然而,如果基准电压Vref较大地波动,则输出信号OUT的上升时间和下降时间也较大地波动,如图7所示。于是,造成了输入信号IN和输出信号OUT之间的占空比的波动。

[0007] 在一些实施方式中,本发明提供了一种发送器,所述发送器减小了由电源电压的波动造成的输入信号和输出信号的占空比波动。在一些实施方式中,本发明也提供了一种使用该发送器的接口装置和车载通信系统。

[0008] 在一个方面中,所述发送器包括:电容器,从所述电容器的一端引出充电电压;第一恒流源,所述第一恒流源用于生成所述电容器的充电电流;第二恒流源,所述第二恒流源用于生成所述电容器的放电电流;充电/放电控制器,所述充电/放电控制器用于基于发送输入信号的逻辑电平以及充电电压和基准电压之间的比较结果,来执行对所述电容器的充电/放电控制;输出级,所述输出级用于生成发送输出信号,发送输出信号的转换速率响应于充电电压而设定,所述发送输出信号的幅度响应于输出侧电源电压而设定。所述发送器还包括:基准电压生成器,用于使基准电压依赖于输出侧电源电压而波动;和恒流控制器,用于使充电电流和放电电流的电流值依赖于基准电压而波动。

[0009] 根据以下的描述和附图,将清楚其它的特征、元件、步骤、优势和特点。

附图说明

- [0010] 图 1 是示出车载通信系统的结构示例的框图。
- [0011] 图 2 是示出发送器 10 的示意性结构的电路图。
- [0012] 图 3 是示出发送器 10 的前端具体结构的电路图。
- [0013] 图 4 是用于解释发送器 10 的操作的信号波形图。
- [0014] 图 5 是示出发送器 10 的后端的另一示例的电路图。
- [0015] 图 6 是示出根据现有技术的具有转换速率控制功能的发送器的电路图。
- [0016] 图 7 是用于解释占空比的波动的信号波形图。
- [0017] 图 8 是示出开放漏极输出级的第一结构示例的电路图。
- [0018] 图 9 是示出开放漏极输出级的第二结构示例的电路图。
- [0019] 图 10 是示出二极管 122 的模式结构的竖直剖视图。
- [0020] 图 11 是示出开放漏极输出级的第三结构示例的电路图。
- [0021] 图 12 是示出接收器 20 的第一结构示例的电路图。
- [0022] 图 13 是示出接收器 20 的第二结构示例的电路图。
- [0023] 图 14 是示出接收器 20 的第三结构示例的电路图。
- [0024] 图 15 是示出以 PNP 双极晶体管形成的二极管的图。

具体实施方式

[0025] 图 1 是示出车载通信系统的结构示例的框图。在该图中示出的车载通信系统包括 ECU(电子控制单元)1、LIN(本地互联网,Local Interconnect Network)接口部 2 和 LIN 总线 3。

[0026] ECU 1 是用于控制车载装置的微机单元。连接至 LIN 总线 3 的 ECU1 嵌入到不需要高速响应的装置(例如,操控部、门反射镜的驱动器、电动车窗的驱动器)中。

[0027] LIN 接口部 2 是用于控制 ECU 1 和 LIN 总线 3 之间的双向通信的接口装置,包括发送器 10 和接收器 20。发送器 10 形成在从 ECU 1 至 LIN 总线 3 的信号发送路径上。发送数据 Tx_D 被提供给发送器 10,发送器 10 将总线信号 SB 提供给 LIN 总线 3。接收器 20 形成在从 LIN 总线 3 至 ECU 1 的信号接收路径上。总线信号 SB 被提供至接收器 20,接收器 20 提供接收数据 Rx_D。发送器 10 和接收器 20 的结构和操作将在下文更详细地描述。

[0028] 当向 LIN 总线 3 提供总线信号 SB 时,从 ECU 1 提供至发送器 10 的使能控制信号 EN 被转换成允许从发送器 10 进行输出的逻辑电平,且发送器 10 的输出级成为允许输出的状态。当从 LIN 总线 3 提供总线信号 SB 时,使能控制信号 EN 被转换成禁止从发送器 10 进行输出的逻辑电平,且发送器 10 的输出级成为禁止输出的状态(即,高阻抗状态)。

[0029] 在典型的实施方式中,对于用于 ECU 1 的发送数据 Tx_D 和接收数据 Rx_D(ECU 1 以 3V 或 5V 驱动),信号的高电平等于 ECU 侧电源电压 V₁,信号的 low 电平等于地电压。这两种信号都是小幅度信号(例如,LVTTL(低电压晶体管-晶体管逻辑)信号,其高电平小于 2V,其 low 电平小于 0.8V)。另一方面,对于总线信号 SB,该信号的高电平等于总线侧电源电压 V₂(例如,5V 至 27V),该信号的 low 电平等于地电压,该信号是大幅度信号。因此,在发送器

10 和接收器 20 中设置有电平移动功能。在发送器 10 中设置有转换速率控制功能。

[0030] LIN 总线 3 是用于车载通信网络 (LIN) 的低成本串行信号传输线路,其与 CAN(控制器局域网)或 FlexRay 的功能相比,不需要宽的带宽或多用途。对于 LIN 总线 3,使用主-从控制技术。LIN 主设备和 LIN 从设备(或多个从设备)用于主-从控制技术。总线信号 SB 经由 LIN 总线 3 通信的传输速率低(最多 20kb/s)。

[0031] 图 2 所示的发送器 10 包括:开关 101 和 102、恒流源 103 和 104、电容器 105、切换控制器 106、基准电压生成器 107、恒流控制器 108、放大器 109、NMOS FET 110-112、PMOS FET 113 和 114、以及电阻器 115 和 116。

[0032] 开关 101 基于来自于切换控制器 106 的指令来导通或截止电容器 105 和恒流源 103 之间的连接节点。开关 102 基于来自于切换控制器 106 的指令来导通或截止电容器 105 和恒流源 104 之间的连接节点。

[0033] 恒流源 103 生成用于电容器 105 的充电电流 I1。恒流源 103 的一端连接至 ECU 侧电源电压 V1 的电压供给端子,恒流源 103 的另一端连接至开关 101。恒流源 104 生成用于电容器 105 的放电电流 I2。恒流源 104 的一端连接至开关 102,恒流源 104 的另一端连接至地端子。充电电压 Va 从电容器 105 的一端(高电势侧)获得(提供)。

[0034] 切换控制器 106 响应于 ECU 侧电源电压 V1 的输入进行操作,并响应于发送输入信号 IN(IN 等价于图 1 中所示的发送数据 TxD)的逻辑电平且响应于充电电压 Va 和基准电压 Vref 之间的比较结果来执行对开关 101 和 102 的通-断控制。当开关 101 接通而开关 102 断开时,充电电流 I1 流入电容器 105 中。当开关 101 断开而开关 102 接通时,放电电流 I2 从电容器 105 获得(提供)。当充电电压 Va 被充电至电容器 105 时,如果开关 101 和 102 断开,则电容器 105 的充电电压 Va 保持为恒定值。因此,形成充电/放电控制器,其借助于开关 101、102 和切换控制器 106 来控制电容器 105 的充电和放电。之后将对充电/放电控制器(101、102 和 106)的操作和结构进行描述。

[0035] 基准电压生成器 107 依赖于总线侧电源电压 V2 来控制基准电压 Vref。恒流控制器 108 响应于 ECU 侧电源电压 V1 的输入进行操作,控制充电电流 I1 和放电电流 I2 的电流值。之后将对基准电压生成器 107 和恒流控制器 108 的操作和结构进行描述。

[0036] 放大器 109、晶体管 110-114 以及电阻器 115 和 116 是构成发送器 10 的输出级的电路元件。放大器 109 的非反相输入端子(+)连接至提供充电电压 Va 的电压供给端子(电容器 105 的高电势端子)。反相输入端子(-)连接至电阻器 115 的第一端子。放大器 109 的输出连接至晶体管 110 的栅极端子。放大器 109 的上侧电源端子连接至 ECU 侧电源电压 V1。放大器 109 的下侧电源端子连接至地端子。晶体管 110 的源极端子和晶体管 110 的背栅极都连接至电阻器 115 的第一端子。电阻器 115 的第二端子连接至地端子。晶体管 110 的漏极端子连接至晶体管 113 的漏极端子。晶体管 113 的源极端子和晶体管 113 的背栅极都连接至 ECU 侧电源电压 V1。晶体管 114 的源极端子和晶体管 114 的背栅极都连接至 ECU 侧电源电压 V1。晶体管 113 的栅极端子和晶体管 114 的栅极端子都连接至晶体管 113 的源极端子。晶体管 114 的漏极端子连接至晶体管 111 的漏极端子。晶体管 111 的源极端子和晶体管 112 的源极端子都连接至地端子。晶体管 111 的背栅极和晶体管 112 的背栅极都连接至地端子。晶体管 111 和 112 的栅极端子都连接至晶体管 111 的源极端子。晶体管 112 的漏极端子连接至从中提供发送输出信号 OUT 的输出端子。晶体管 112 的漏极端子经由电

阻器 116 连接至总线侧电源电压 V2。

[0037] 对晶体管 110 的栅极信号的反馈控制由放大器 109 来实现,以使提供给电阻器 115(电阻值 = R_{115}) 的第一端子的电压与充电电压 V_a 相等。于是,流过晶体管 113 的电流 I3 被调整成与充电电压 V_a 成比例的电流值(最大电流值 = V_{ref}/R_{115})。晶体管 113 和 114 形成电流镜像电路(镜像比 = 1 : 1),电流 I3 被复制为流过晶体管 114 的电流 I4。因此,电流 I4 也成为与充电电压 V_a 成比例的电流值(最大电流值 = V_{ref}/R_{115})。晶体管 111 和 112 形成电流镜像电路(镜像比 = 1 : 1),晶体管 112 的栅极电压响应于电流 I4 的电流值受到控制。于是,如果电流 I4 的电流值增加,则晶体管 112 的栅极电压增加,晶体管 112 的导通程度变高。于是,晶体管 112 是开放漏极(open drain)晶体管,其导通程度根据充电电压 V_a 受到控制。从晶体管 112 的漏极端子提供的发送输出信号 OUT 的转换速率根据充电电压 V_a 设定。发送输出信号 OUT 的幅度根据总线侧电源电压 V2 设定。

[0038] 图 3 是示出发送器 10 的具体结构(在前端形成的充电电压 V_a 的生成器)的电路图。

[0039] PMOS FET P1 用作开关 101。NMOS FET N1 用作开关 102。PMOSFET P2 用作恒流源 103。NMOS FET N2 用作恒流源 104。

[0040] 晶体管 P1 的源极端子和背栅极连接至晶体管 P2 的漏极端子。晶体管 P2 的源极连接至 ECU 侧电源电压 V1。晶体管 P2 的背栅极连接至 ECU 侧电源电压 V1。晶体管 P1 和晶体管 N1 的漏极端子都连接至充电电压 V_a 的电压供给端子。晶体管 N1 的源极和晶体管 N1 的背栅极都连接至晶体管 N2 的漏极端子。晶体管 N2 的源极端子和背栅极都连接至地端子。

[0041] 切换控制器 106 包括比较器 CMP1 和逻辑和运算电路 OR1。比较器 CMP1 的非反相输入端子(+)连接至充电电压 V_a 的电压供给端子。比较器 CMP1 的反相输入端子(-)连接至基准电压 V_{ref} 的电压供给端子。比较器 CMP1 的上侧电源端子连接至 ECU 侧电源电压 V1 的电压供给端子。比较器 CMP1 的下侧电源端子连接至地端子。逻辑和运算电路 OR 的第一输入端子连接至比较器 CMP1 的输出端子。逻辑和运算电路 OR 的第二输入端子连接至发送输入信号 IN 的输入端子。发送输入信号 IN 的输入端子也连接至晶体管 N1 的栅极端子。逻辑和运算电路 OR1 的输出端子连接至晶体管 P1 的栅极端子。逻辑和运算电路 OR1 的上侧电源端子连接至 ECU 侧电源电压 V1。逻辑和运算电路 OR1 的下侧电源端子连接至地端子。

[0042] 基准电压生成器 107 包括电阻器 R1 和电阻器 R2,这两个电阻器串联连接在总线侧电源电压 V2 和地端子之间,基准电压 V_{ref} 从电阻器的连接节点获得(提供)。通过电阻梯形电路,总线侧电源电压 V2 被除以预定比率 α ,从而生成基准电压 V_{ref} 。该比率 α (例如 $\alpha = 1/2$)基于将 R2 除以 $R1+R2$ 的计算而设定,因此 V_{ref} 基于 α 乘以 V2 的计算而设定。因此,基准电压 $V_{ref}(= \alpha * V2)$ 易于根据总线侧电源电压 V2(与总线侧电源电压 V2 成比例)来控制。

[0043] 恒流控制器 108 包括放大器 AMP1, NMOS FET N3 和 N4, PMOSFET P3 和 P4 以及电阻器 R3。放大器 AMP1 的非反相输入端子(+)连接至基准电压 V_{ref} 的电压供给端子。放大器 AMP1 的反向输入端子(-)连接至电阻器 R3 的第一端。放大器 AMP1 的输出端子连接至晶体管 N3 的栅极端子。放大器 AMP1 的上侧电源端子连接至 ECU 侧电源电压 V1 的输入端子。放大器 AMP1 的下侧电源端子连接至地端子。晶体管 N3 的源极端子和晶体管 N3 的背

栅极都连接至晶体管 R3 的第一端。电阻器 R3 的第二端连接至地端子。晶体管 N3 的漏极端子连接至晶体管 P3 的漏极端子。晶体管 P3 的源极端子和背栅极都连接至 ECU 侧电源电压 V1。晶体管 P4 的源极端子和背栅极都连接至 ECU 侧电源电压 V1。晶体管 P2 至 P4 的栅极端子中的每一个均连接至晶体管 N3 的源极端子。晶体管 P4 的漏极端子连接至晶体管 N4 的漏极端子。晶体管 N4 的源极端子和背栅极都连接至地端子。晶体管 N2 的栅极端子和晶体管 N4 的栅极端子都连接至晶体管 N4 的源极端子。

[0044] 对晶体管 N3 的栅极信号的反馈控制由放大器 AMP1 来进行,以使提供给电阻器 R3 的第一端的电压与基准电压 Vref 相等。于是,流过晶体管 P3 的基准电流 I0 被调整成与基准电压 Vref 成比例的电流值 I ($I = V_{ref}/R3 = (\alpha * V2)/R3$)。晶体管 P2 和 P3 形成电流镜像电路 (镜像比 = 1 : 1),基准电流 I0 被复制为流过晶体管 P2 的充电电流 I1。晶体管 P3 和 P4 形成电流镜像电路 (镜像比 = 1 : 1),晶体管 N2 和 N4 形成电流镜像电路 (镜像比 = 1 : 1)。基准电流 I0 被复制为流过晶体管 N2 的放电电流 I2。

[0045] 于是,恒流控制器 108 包括基准电流生成器 (AMP1 和 N3 和 R3),所述基准电流生成器基于从电压至电流的转换将基准电压 Vref 转换成基准电流 I0。恒流控制器 108 还包括电流镜像电路 (P3 和 P4 和 N4),所述电流镜像电路将基准电流 I0 复制,并生成充电电流 I1 和放电电流 I2。

[0046] 图 4 是用于解释发送器 10 (以图 2 和图 3 所示的结构形成) 的操作的信号波形图,依次示出了发送输入信号 IN、比较器 CMP1 的比较信号 Scmp、晶体管 P1 的栅极信号 G1、晶体管 N1 的栅极信号 G2、充电电压 Va 和发送输出信号 OUT。

[0047] 在时刻 t11 之前,发送输入信号 IN 保持在高电平,输出信号 OUT 保持在高电平 (= 总线侧电源电压 V2)。

[0048] 在时刻 t11,发送输入信号 IN 从高电平变为低电平,然后栅极信号 G1 和 G2 都变为低电平。结果,晶体管 P1 导通,晶体管 N1 截止。基于该切换控制,充电电流 I1 (电流值 = +I) 从晶体管 P2 经由晶体管 P1 流入电容器 105 (电容 = C)。结果,从电容器 105 的一端 (高电势侧) 获得 (提供) 的充电电压 Va 开始以恒定的转换速率 SR1 上升。转换速率 SR1 ($= +I/C[V/S]$) 基于充电电流 I1 的电流值和电容器 105 的电容。此时,充电电压 Va 没有达到基准电压 Vref,比较信号 Scmp 保持在低电平。对于流过输出级的电流 I3 和 I4,这两个电流都具有与充电电压 Va 成比例的电流值,晶体管 112 的导通程度根据充电电压 Va 的上升而变高,发送输出信号 OUT 开始从高电平 (= 总线侧电源电压 V2) 以恒定的转换速率 SR3 下降。因此,发送输出信号 OUT 下降时的转换速率 SR3 根据充电电压 Va 而设定。

[0049] 然后,在时刻 t12,当充电电压 Va 达到基准电压 Vref 时,比较信号 Scmp 从低电平变成高电平。从逻辑和运算电路 OR1 提供的栅极信号 G1 变成高电平,而与发送输入信号 IN 的逻辑电平无关。因此,晶体管 P1 截止,充电电压 Va 由电容器 105 保持在基准电压 Vref。期望比较器 CMP1 具有迟滞特性,以保持比较信号 Scmp 的逻辑电平稳定。而且,在时刻 t12,发送输出信号 OUT 下降至低电平 (= 几乎为 0V)。

[0050] 在时刻 t13,当发送输入信号 IN 从低电平上升到高电平时,两个栅极信号 G1 和 G2 都上升到高电平 (即,在时刻 t13 之前,栅极信号 G1 是高电平)。结果,晶体管 P1 保持在截止状态,晶体管 N1 导通。根据该切换控制,放电电流 I2 (电流值 = -I) 从电容器 105 经由晶体管 N1 提供给晶体管 N2。因此,充电电压 Va 开始以恒定的转换速率 SR2 下降。转换速率

SR2(= $-I/C[V/S]$) 基于放电电流 I2 的电流值和电容器 105 的电容。此时, 比较信号 Scmp 从高电平变成低电平。晶体管 112 的导通程度根据充电电压 Va 而变低, 发送输出信号 OUT 开始从低电平以恒定的转换速率 SR4 上升。所述转换速率 SR4 基于充电电压 Va 而设定。

[0051] 然后, 在时刻 t14, 构成输出级的晶体管 112 的导通程度变成零, 发送输出信号 OUT 达到高电平 (即, 总线侧电源电压 V2)。此时, 电容器 105 的电容被完全放电, 充电电压 Va 是 0V。该状态与时刻 t11 之前的状态相同。如果发送输入信号 IN 在时刻 t15 从高电平变成低电平, 则重复如上所述的同样操作。

[0052] 基准电压 Vref 基于总线侧电源电压 V2 来调整, 基准电流 I0 (进而充电电流 I1 和放电电流 I2) 基于基准电压 Vref (进而总线侧电源电压 V2) 来调整。因此, 充电电压 Va 的转换速率 SR1 和 SR2 (进而发送输出信号 OUT 的转换速率 SR3 和 SR4) 都具有对于 V2 的依赖特性。该依赖特性可以通过参照图 4 中的实线和虚线之间的比较来确认。

[0053] 这种结构能够消除基准电压 Vref 和基准电流 I0 (进而充电电流 I1 和放电电流 I2) 两者对于 V2 的依赖特性。于是, 如果总线侧电源电压 V2 (发送输出信号 OUT 的信号幅度) 根据车载装置的驱动情况或充电情况而较大地波动, 则充电电压 Va (进而发送输出信号 OUT) 的上升时间 T 和下降时间 T ($T = C \cdot V_{ref} / I = C \cdot R3$) 保持在恒定值。因此, 减小了发送输入信号 IN 和发送输出信号 OUT 之间的占空比的波动。

[0054] 上述结构能够易于基于上述计算 ($T = C \cdot V_{ref} / I = C \cdot R3$) 设定上升时间 T 和下降时间 T。例如, 如果期望将上升时间 T 和下降时间 T 均设定成相对长的时间, 则充电电压 Va 的转换速率 SR1 和 SR2 都应当设定成较小值。相应地, 基准电流 I0 应当基于电阻器 R3 的电阻的增大而减小, 或电容器 105 的电容值 C 应当增大。如果期望将上升时间 T 和下降时间 T 均设定成相对短的时间, 则充电电压 Va 的转换速率 SR1 和 SR2 都应当被设定成较大值。相应地, 基准电流 I0 应当基于电阻器 R3 的电阻的减小而增大, 或者基于电容器 105 的电容值 C 的减小而增大。

[0055] 具有转换速率控制功能的上述 LIN 接口 2 被广泛地应用, 不论总线侧电源电压 V2 根据汽车种类如何变化。于是, LIN 接口 2 或使用该 LIN 接口 2 的车载装置的生产率都增加, 且实现成本下降。

[0056] 上述转换速率控制技术不仅可用于增强所说明的车载通信系统的可靠性, 而且可用于增强要求占空比精度的一般应用的可靠性。

[0057] 发送器 10 的另一个示例将在下文参照图 5 进行描述。图 5 是示出发送器 10 的后端的另一示例的电路图。

[0058] 对于 LIN 标准, 可以连接三种负载 ($500 \Omega / 10nF$ 、 $660 \Omega / 6.8nF$ 、 $1000 \Omega / 1nF$)。然而, 如果连接至 LIN 总线 3 的负载的特性发生变化, 则存在由发送器 10 生成的发送输出信号 OUT 的转换速率 SR3 和 SR4 出现不期望的波动的可能性。如果负载相对大, 则发送输出信号 OUT 的上升变慢。

[0059] 该示例的发送器 10 将加强电流 Ibst 加到放电电流 I2, 直到开放漏极晶体管 112 成为工作于其饱和区的状态。如果开放漏极晶体管 112 成为工作于其饱和区的状态, 则停止加强电流 Ibst。换句话说, 如果晶体管 112 的漏极 - 源极电压 Vds 超过基于从晶体管 112 的栅极 - 源极电压 Vgs 减去晶体管 112 的导通阈值电压得到的值, 则停止加强电流 Ibst。为了生成和停止加强电流 Ibst, 发送器 10 还包括加强装置 BST。

[0060] 加强装置 BST 包括 NMOS FET 117、恒流源 118 和 119、开关 120 和比较器 121。晶体管 117 是由与晶体管 112 相同的制造工艺设计的监控晶体管,以具有与晶体管 112 相同的导通阈值电压 V_{th} 。恒流源 118 生成至晶体管 112 的小电流(例如 100nA)。恒流源 119 生成加强电流 I_{bst} 。开关 120 使加强电流 I_{bst} 所流经的电流通道导通或截止。比较器 121 将从晶体管 117 的源极端子获得的电压信号 $V_x (= V_{gs} - V_{th})$ 与从晶体管 112 的漏极端子获得的电压信号 $V_y (= V_{ds})$ 进行比较,然后基于比较的结果来进行对开关 120 的通-断控制。

[0061] 下文描述电路元件的连接关系。晶体管 117 的漏极端子连接至 ECU 侧电源电压 V_1 。晶体管 117 的源极端子和背栅极都连接至比较器 121 的反相输入端子(-)和恒流源 118 的第一端子。晶体管 117 的栅极端子连接至晶体管 111 的漏极端子。晶体管 111 和 112 的栅极端子都连接至晶体管 111 的漏极端子。恒流源 118 的第二端子连接至地端子。比较器 121 的非反相输入端子(+)连接至晶体管 112 的漏极端子(即,发送输出信号 OUT 的输出端子)。比较器 121 的输出端子连接至开关 120 的控制端子。比较器 121 的上电源端子连接至 ECU 侧电源电压 V_1 。比较器 121 的下电源端子连接至地端子。开关 120 的第一端子连接至开关 102 和恒流源 104 之间的连接节点。开关 120 的第二端子连接至恒流源 119 的第一端子。恒流源 119 的第二端子连接至地端子。

[0062] 对于上述加强装置 BST,晶体管 112 的栅极-源极电压 V_{gs} 被提供至晶体管 117 的栅极端子。如上所述,晶体管 117 由与晶体管 112 相同的制造工艺来设计,以具有与晶体管 112 相同的导通阈值电压 V_{th} 。于是,如果晶体管 112 和 117 导通,则从晶体管 117 的漏极端子获得的电压信号 V_x 成为基于从晶体管 112 的栅极-源极电压 V_{gs} 减去晶体管 112 的导通阈值电压 V_{th} 获得的值。另一方面,从晶体管 112 的漏极端子获得的电压信号 V_y 等于晶体管 112 的漏极-源极电压 V_{ds} 。因此,比较器 121 将 V_{ds} 与“ $V_{gs} - V_{th}$ ”进行比较,进而判断晶体管 112 是否成为工作于其饱和区的状态。

[0063] 因此,电容器 105 的放电由加强放电电流 I_2' 来实现,直到晶体管 112 成为工作于其饱和区的状态,所述加强放电电流 I_2' 是放电电流 I_2 和加强电流 I_{bst} 之和。当晶体管 112 成为工作于其饱和区的状态时,根据比较器 121 的输出来进行开关 120 的通-断控制,以停止加强电流 I_{bst} 。因此,即使大负载连接至 LIN 总线 3,发送输出信号 OUT(总线信号 SB)也不会变慢。因此,可以保持期望的转换速率。

[0064] 图 8 是示出开放漏极输出级的第一结构示例的电路图,再次描述包括图 2 和图 5 所示开放漏极晶体管的输出级。如图 8 所示,在晶体管 112 的漏极端子和源极端子之间伴生寄生二极管 D_p 。因此,如果负电势的浪涌电压被提供给发送输出信号 OUT 的输出端子,则大电流在从地端子到寄生二极管 D_p 的路径中流过。因此,存在击穿晶体管 112 的可能性。

[0065] 图 9 是示出开放漏极输出级的第二结构示例的电路图。为了增强承受上述负电势浪涌电压的容许度,第二结构示例的开放漏极输出级包括二极管 122。二极管 122 的阳极端子连接至发送输出信号 OUT 的输出端子。二极管 122 的阴极端子连接至晶体管 112 的漏极端子。如果负电势的浪涌电压被提供给发送输出信号 OUT 的输出端子,则该结构能够通过二极管 122 使从地端子流至寄生二极管 D_p 的电流截止,所述二极管 122 的状态是反向偏置。因此,避免了流过寄生二极管 D_p 的正向大电流,且可以防止晶体管 112 被击穿。

[0066] 如果 SOI(绝缘体上硅)工艺用于半导体制造工艺,则用于形成电路的外延膜形成

层和半导体衬底 (GND) 完全由中间绝缘层分离, 上述二极管 122 易于制造。然而, 如果将常用的 CMOS 工艺或 BiCMOS 工艺用于制造半导体, 则不能充分获得由二极管 122 所导致的击穿电压性能, 这是因为在半导体衬底和二极管 122 之间伴生有寄生元件。因此, 为了解决这个问题, 二极管 122 的结构必须慎重设计。

[0067] 图 10 是示出二极管 122 的模式结构的竖直剖视图。该示例中的二极管 122 形成在浮置区域中, 所述浮置区域由在 P- 型的半导体衬底 P-sub 的区域上形成的 n+ 型的嵌入式绝缘层 B/L (埋入层) 所围绕, 且由在所述嵌入式绝缘层 B/L 的上部周围形成的集电极壁 (collector wall) C/W (n- 型) 所围绕。该结构能够将二极管 122 与半导体衬底 P-sub 电隔离, 防止在半导体衬底 P-sub 和二极管 122 之间出现寄生电容。于是, 二极管 122 能够充分实现击穿电压性能。

[0068] 接下来对图 10 中所述的符号进行解释。L/I 和第一 LI 表示 P- 型低绝缘层 (低隔离)。符号 “Epi” 表示 n- 型外延膜形成层。符号 “Pwell” 表示 p+ 型阱区。符号 “N 体” 表示 n+ 型体区。

[0069] 图 11 示出了开放漏极输出级的第三结构示例。开放漏极输出级的负电势击穿电压可以如图 9 所示通过插入二极管 122 来增强。然而, 如果正电势被提供给发送输出信号 OUT 的输出端子, 则二极管 122 成为正向偏置状态。因此, 如果晶体管 112 的漏极端子和源极端子之间的击穿电压没有设计成高电压, 则晶体管 112 可能被击穿。然而, 在由 CMOS 工艺制造的开放漏极输出级中, 如果仅仅晶体管 112 由 DMOS 工艺 (一种高击穿电压工艺) 来制造, 则用于形成电流镜像电路的晶体管 111 和晶体管 112 之间的耦合特性变差, 则转换速率控制难于进行控制。

[0070] 因此, 第三结构示例的开放漏极输出级包括由 DMOS 工艺制造的 NMOS FET 123。NMOS FET 123 形成在由 CMOS 工艺制造的晶体管 112 的漏极端子和由 CMOS 工艺制造的二极管 122 的阴极端子之间。于是, 对于该第三结构示例的开放漏极输出级, 为了增强正电势击穿电压, 漏极端子和源极端子之间的击穿电压为高电压的晶体管 123 可以用作源极跟随器。该结构能够增强使用由常用 CMOS 工艺制造的晶体管 112 的开放漏极输出级的正电势击穿电压。

[0071] 用于使晶体管 112 工作于其饱和区的偏置电压 BIAS (BIAS 大于或等于 $[V_{gsC} - V_{thC} + V_{gsD}]$) 被提供给晶体管 123 的栅极端子。参数 V_{gsC} 表示晶体管 112 的栅极端子和源极端子之间的电压。参数 V_{thC} 表示晶体管 112 的导通阈值电压。参数 V_{gsD} 表示晶体管 123 的栅极端子和源极端子之间的电压。如此提供偏置电压 BIAS 能够使晶体管 112 工作于其饱和区, 而与连接至 LIN 总线 3 的负载的状态无关, 于是可以去除如图 5 所示的加强装置 BST。

[0072] 为了实现如图 9 至图 11 所示的结构, 对于半导体制造工艺, 就成本而言, 可以采用优于 SOI 工艺的 BiCDMOS 工艺。于是, 在不使用成本高的 SOI 工艺的情况下, 可以实现开放漏极输出级, 所述开放漏极输出级的击穿电压相对较高以应对正电势浪涌和负电势浪涌。

[0073] 在正方向和负方向上的高击穿电压 (例如, -27V 至 40V) 对于 LIN 接口 2 是需要的。使用上述开放漏极输出级通常满足这种要求。

[0074] 用于增大击穿电压的上述技术用于车载通信系统, 也用于需要高击穿电压的一般开放漏极输出级。

[0075] 图 12 是示出接收器 20 的第一结构示例的电路图。如图 12 所示,接收器 20 包括 NMOS FET 晶体管 201 和 202、电阻器 203 和 204、恒流源 205 和电平转移器 206。

[0076] 晶体管 201 的漏极端子经由电阻器 203 连接至总线侧电源电压 V2。晶体管 202 的漏极端子经由电阻器 204 连接至总线侧电源电压 V2。晶体管 201 的源极端子和背栅极经由恒流源 205 连接至地端子。晶体管 202 的源极端子和背栅极经由恒流源 205 连接至地端子。晶体管 201 的栅极端子连接至接收输入信号 RIN(RIN 等价于图 1 中的总线信号 SB) 的输入端子。晶体管 202 的栅极端子连接至接收基准电压 VREF 的输入端子。电平转移器 206 的输入端子连接至晶体管 202 的漏极端子。电平转移器 206 的输出端子连接至接收输出信号 ROUT(ROUT 等价于图 1 中的接收数据 RxD) 的输出端子。

[0077] 电平转移器 206 接收从晶体管 202 的漏极端子得到的电压信号(大幅度信号,该大幅度信号的高电平是总线侧电源电压 V2,低电平是地电压)的输入,并将其转换成接收输出信号 ROUT(小幅度信号,该小幅度信号的高电平是 ECU 侧电源电压 V1,低电平是地电压)。

[0078] 然而,对于第一结构示例的接收器 20,如果接收输入信号 RIN 成为总线侧电源电压 V2,则源极电压 $[V2-V_{gs1}]$ (即,基于从总线侧电源电压 V2 减去栅极-源极电压 V_{gs1} 得到的电压)出现在晶体管 201 和 202 两者的源极端子上。于是,栅极-源极电压 $[V2-V_{gs1}-V_{REF}]$ (即基于从源极电压 $[V2-V_{gs1}]$ 减去接收基准电压 VREF 得到的电压)被供给为晶体管 202 的栅极-源极电压。如果栅极-源极电压 $[V2-V_{gs1}-V_{REF}]$ 超过晶体管 202 的栅极-源极击穿电压,则晶体管 202 可能被击穿。

[0079] 图 13 是示出接收器 20 的第二结构示例的电路图。第二结构示例的接收器 20 除第一结构示例的电路元件 201 至 206 之外,还包括 NMOSFET 207 和 208、恒流源 209 和 210、齐纳二极管 211-214 以及电阻器 215。

[0080] 晶体管 207 的漏极连接至总线侧电源电压 V2 的电压供给端子。晶体管 207 的源极端子和背栅极经由恒流源 209 连接至地端子,并经由电阻器 215 连接至晶体管 201 的栅极端子。晶体管 207 的栅极端子(而不是晶体管 201 的栅极端子)连接至接收输入信号 RIN 的输入端子。晶体管 208 的漏极端子连接至总线侧电源电压 V2 的电压供给端子。晶体管 208 的源极端子和背栅极经由恒流源 210 连接至地端子,还连接至晶体管 202 的栅极端子。晶体管 208 的栅极端子(而不是晶体管 202 的栅极端子)连接至接收基准电压 VREF 的输入端子。

[0081] 齐纳二极管 211 的阴极端子连接至晶体管 201 的栅极端子。齐纳二极管 211 的阳极端子连接至晶体管 201 的源极端子。齐纳二极管 212 的阴极端子连接至晶体管 202 的栅极端子。齐纳二极管 212 的阳极端子连接至晶体管 202 的源极端子。齐纳二极管 213 的阴极端子连接至晶体管 207 的栅极端子。齐纳二极管 213 的阳极端子连接至晶体管 207 的源极端子。齐纳二极管 214 的阴极端子连接至晶体管 208 的栅极端子。齐纳二极管 214 的阳极端子连接至晶体管 208 的源极端子。

[0082] 第二结构示例的接收器 20 包括一对晶体管 201 和 202,该对晶体管 201 和 202 的源极端子相互连接,接收输出信号 ROUT 从其中一个晶体管的漏极端子提供。接收器 20 还包括晶体管 207,晶体管 207 的栅极端子连接至接收输入信号 RIN 的输入端子,晶体管 207 的源极端子连接至晶体管 201 的栅极端子。接收器 20 还包括晶体管 208,晶体管 208 的栅极

端子连接至接收基准电压 VREF 的输入端子,晶体管 208 的源极端子连接至晶体管 202 的栅极端子。接收器 20 还包括齐纳二极管 211,齐纳二极管 211 的阴极端子连接至晶体管 201 的栅极端子,齐纳二极管 211 的阳极端子连接至晶体管 201 的源极端子。接收器 20 还包括齐纳二极管 212,齐纳二极管 212 的阴极端子连接至晶体管 202 的栅极端子,齐纳二极管 212 的阳极端子连接至晶体管 202 的源极端子。接收器 20 还包括齐纳二极管 213,齐纳二极管 213 的阴极端子连接至晶体管 207 的栅极端子,齐纳二极管 213 的阳极端子连接至晶体管 207 的源极端子。接收器 20 还包括齐纳二极管 214,齐纳二极管 214 的阴极端子连接至晶体管 208 的栅极端子,齐纳二极管 214 的阳极端子连接至晶体管 208 的源极端子。接收器 20 还包括用于生成晶体管 201 和 202 的源极电流的电流源 205、用于生成晶体管 207 的源极电流的电流源 209 以及用于生成晶体管 208 的源极电流的电流源 210。

[0083] 齐纳二极管 211 至 214 各自的齐纳电压被设计成分别不超过 NMOSFET 201、202、207 和 208 的栅极-源极击穿电压 (=约 5V)。

[0084] 除去构成晶体管对的晶体管 201 和 202 之外,将晶体管 207 和 208 用作源极跟随器,且接收输入信号 RIN 和接收基准电压 VREF 分别提供给晶体管 207 和 208 各自的栅极端子。齐纳二极管 211 至 214 分别连接在晶体管 201、202、207 和 208 各自的栅极端子和源极端子之间。因此,晶体管 201、202、207 和 208 各自的栅极-源极电压被钳位为不超过晶体管的击穿电压。因此,防止了晶体管的击穿,且总线侧电源电压 V2 的动态范围与第一结构示例的接收器 20 相比可以加宽。而且,对于晶体管 201 和 202 的制造,不需要高击穿电压元件 (即,低速元件),于是改善了 LIN 接口 2 的速度。

[0085] 第二结构示例的接收器 20 包括连接在晶体管 201 的栅极端子和晶体管 207 的源极端子之间的限流电阻器 215。该结构能够限制从接收输入信号 RIN 的输入端子经由被钳位的齐纳二极管 213 和 211 以及正向偏置的齐纳二极管 212 和 214 流到接收基准电压 VREF 的输入端子的电流。而且,该结构还能够限制从接收基准电压 VREF 的输入端子经由被钳位的齐纳二极管 214 和 212 以及正向偏置的齐纳二极管 211 和 213 流到接收输入信号 RIN 的输入端子的电流。

[0086] 图 14 是示出接收器 20 的第三结构示例的电路图。第三结构示例的接收器 20 除了第一结构示例的电路元件 201 至 206 之外,还包括齐纳二极管 211 和 212 以及二极管 216 和 217。

[0087] 齐纳二极管 211 的阴极端子连接至晶体管 201 的栅极端子。齐纳二极管 211 和 216 各自的阳极端子连接至晶体管 201 的源极端子。齐纳二极管 212 的阴极端子连接至晶体管 202 的栅极端子。齐纳二极管 212 和二极管 217 各自的阳极端子连接至晶体管 202 的源极端子。二极管 216 和 217 各自的阴极端子连接至恒流源 205。

[0088] 第三结构示例的接收器 20 包括一对第一晶体管 201 和 202,该对第一晶体管 201 和 202 的源极端子相互连接,接收输出信号 ROUT 从其中一个晶体管的漏极端子提供。接收器 20 还包括齐纳二极管 211,齐纳二极管 211 的阴极端子连接至晶体管 201 的栅极端子,齐纳二极管 211 的阳极端子连接至晶体管 201 的源极端子。接收器 20 还包括齐纳二极管 212,齐纳二极管 212 的阴极端子连接至晶体管 202 的栅极端子,齐纳二极管 212 的阳极端子连接至晶体管 202 的源极端子。接收器 20 还包括用于生成晶体管 201 和 202 的源极电流的恒流源 205。接收器 20 还包括二极管 216,二极管 216 的阳极端子连接至晶体管 201 的

源极端子,二极管 216 的阴极端子连接至恒流源 205。接收器 20 还包括二极管 217,二极管 217 的阳极端子连接至晶体管 202 的源极端子,二极管 217 的阴极端子连接至恒流源 205。

[0089] 对于接收器 20,作为钳位元件,齐纳二极管 211 和 212 分别连接在晶体管 201 和 202 各自的栅极端子和源极端子之间。因此,晶体管 201 和 202 各自的栅极-源极电压被钳位为不超过晶体管的击穿电压,与第二结构示例相同,从而可以防止晶体管的击穿。

[0090] 二极管 216 插入到晶体管 201 的源极端子和恒流源 205 之间。该结构能够使从接收基准电压 VREF 的输入端子经由击穿的齐纳二极管 212 和正向偏置的二极管 217 流向接收输入信号 RIN 的输入端子的电流截止。二极管 217 插入到晶体管 202 的源极端子和恒流源 205 之间。该结构能够使从接收输入信号 RIN 的输入端子经由击穿的齐纳二极管 211 和正向偏置的二极管 216 流向接收基准信号 VREF 的输入端子的电流截止。

[0091] 于是,第三结构示例的接收器 20 能够以比第二结构示例更少的元件,至少实现与第二结构示例相同的效果。

[0092] 对于第三结构示例的接收器 20,期望通过如图 15 所示的二极管连接的 PNP 双极晶体管来构造二极管 216 和 217,这是因为其在正向上的击穿电压高(例如,大约 50V)。该结构甚至能够在供给高的反向偏置电压的情况下使电流截止而不发生故障。

[0093] 正电压和负电压的高击穿电压(例如,-27V 至 40V)对于 LIN 接口部 2 是需要的。第三结构示例的接收器 20 满足该要求。

[0094] 用于增大击穿电压的上述技术不仅用于所示的车载通信系统,而且用于接收大幅度信号的接收器。

[0095] 在一个方面中,发送器包括:电容器,从所述电容器的一端引出充电电压;第一恒流源,所述第一恒流源用于生成所述电容器的充电电流;第二恒流源,所述第二恒流源用于生成所述电容器的放电电流;充电/放电控制器,所述充电/放电控制器用于基于发送输入信号的逻辑电平以及充电电压与基准电压之间的比较结果,来执行对所述电容器的充电/放电控制;输出级,所述输出级用于生成发送输出信号,发送输出信号的转换速率响应于充电电压而设定,所述发送输出信号的幅度响应于输出侧电源电压而设定。所述发送器还包括:基准电压生成器,用于使基准电压依赖于输出侧电源电压而波动;和恒流控制器,用于使充电电流和放电电流的电流值依赖于基准电压而波动。

[0096] 在一些实施方式中,输出级包括开放漏极晶体管,其导通程度响应于充电电压而受到控制。

[0097] 在一些实施方式中,发送器包括加强装置,用于将加强电流提供给开放漏极晶体管直到所述开放漏极晶体管可以工作于其饱和区,并在开放漏极晶体管变为可以工作于其饱和区的状态时停止供给加强电流。

[0098] 在一些实施方式中,充电/放电控制器包括:用于使电容器和第一恒流源之间的连接节点导通或截止的第一开关;用于使电容器和第二恒流源之间的连接节点导通或截止的第二开关;和用于对第一开关和第二开关进行通-断控制的切换控制器。

[0099] 在一些实施方式中,基准电压生成器是电阻梯形电路(resistor ladder),其通过对输出侧电源电压进行分压来生成基准电压。

[0100] 在一些实施方式中,恒流控制器包括:用于进行电压/电流转换以及从基准电压生成基准电流的基准电流生成器;以及用于将基准电流复制为充电电流和放电电流的电流

镜像电路。

[0101] 在一些实施方式中,输出级包括:二极管,所述二极管的阳极端子连接至发送输出信号的输出端子,所述二极管的阴极端子连接至开放漏极晶体管的漏极端子。

[0102] 在一些实施方式中,所述二极管形成在浮置区中,所述浮置区由在半导体衬底的区域上形成的嵌入式绝缘层以及在所述嵌入式绝缘层的上部周围形成的集电极壁(collector wall)所围绕。

[0103] 在一些实施方式中,输出级包括连接在开放漏极晶体管的漏极端子和二极管的阴极端子之间的双扩散型 MOS FET。

[0104] 在一些实施方式中,接口装置包括根据本发明形成在信号发送路径上的发送器和形成在信号接收路径上的接收器。

[0105] 根据另一方面,接收器包括一对第一晶体管和第二晶体管,所述第一晶体管和第二晶体管的源极端子相互连接,接收输出信号从所述第一晶体管和第二晶体管中的一个晶体管的漏极端子提供。接收器还包括第三晶体管,所述第三晶体管的栅极端子连接至接收输入信号的输入端子,所述第三晶体管的源极端子连接至第一晶体管的栅极端子。接收器还包括第四晶体管,所述第四晶体管的栅极端子连接至接收基准电压的输入端子,所述第四晶体管的源极端子连接至第二晶体管的栅极端子。接收器还包括第一齐纳二极管,所述第一齐纳二极管的阴极端子连接至第一晶体管的栅极端子,所述第一齐纳二极管的阳极端子连接至第一晶体管的源极端子。接收器还包括第二齐纳二极管,所述第二齐纳二极管的阴极端子连接至第二晶体管的栅极端子,所述第二齐纳二极管的阳极端子连接至第二晶体管的源极端子。接收器还包括第三齐纳二极管,所述第三齐纳二极管的阴极端子连接至第三晶体管的栅极端子,所述第三齐纳二极管的阳极端子连接至第三晶体管的源极端子。接收器还包括第四齐纳二极管,所述第四齐纳二极管的阴极端子连接至第四晶体管的栅极端子,所述第四齐纳二极管的阳极端子连接至第四晶体管的源极端子。接收器还包括用于生成第一晶体管和第二晶体管的源极电流的第一电流源、用于生成第三晶体管的源极电流的第二电流源以及用于生成第四晶体管的源极电流的第三电流源。

[0106] 在一些实施方式中,接收器还包括连接在第一晶体管的栅极端子和第三晶体管的源极端子之间的限流电阻器。

[0107] 在一些实施方式中,接收器包括一对第一晶体管和第二晶体管,所述第一晶体管和第二晶体管的源极端子相互连接,接收输出信号从所述第一晶体管和第二晶体管中的一个晶体管的漏极端子提供。接收器还包括第一齐纳二极管,所述第一齐纳二极管的阴极端子连接至第一晶体管的栅极端子,所述第一齐纳二极管的阳极端子连接至第一晶体管的源极端子。接收器还包括第二齐纳二极管,所述第二齐纳二极管的阴极端子连接至第二晶体管的栅极端子,所述第二齐纳二极管的阳极端子连接至第二晶体管的源极端子。接收器还包括用于生成第一晶体管和第二晶体管的源极电流的电流源。接收器还包括第一二极管,所述第一二极管的阳极端子连接至第一晶体管的源极端子,所述第一二极管的阴极端子连接至电流源。接收器还包括第二二极管,所述第二二极管的阳极端子连接至第二晶体管的源极端子,所述第二二极管的阴极端子连接至电流源。

[0108] 在一些实施方式中,第一二极管和第二二极管是二极管连接的 PNP 双极晶体管。

[0109] 根据另一方面,一种车载通信系统包括:电子控制单元、总线和根据本发明的用于

控制所述电子控制单元和所述总线之间的双向通信的接口装置。

[0110] 所述发送器、接口装置和车载通信系统可以防止输入信号和输出信号的占空比根据电源电压的波动而波动。

[0111] 在本发明中所示出的技术可以用于增强车载通信系统的可靠性。

[0112] 已经描述了本发明的多种实施方式。然而,可以在不背离本发明的精神和范围的情况下进行多种修改。相应地,其它的实施方式在权利要求的保护范围内。

[0113] 参考标记列表

[0114] 1 ECU[电子控制单元]

[0115] 2 LIN(本地互联网) 接口部

[0116] 3 LIN 总线

[0117] 4 操控部

[0118] 5 门反射镜驱动器

[0119] 6 电动车窗驱动器

[0120] 10 发送器

[0121] 20 接收器

[0122] 101、102 开关

[0123] 103、104 恒流源

[0124] 105 电容器

[0125] 106 切换控制器

[0126] 107 基准电压生成器

[0127] 108 恒流控制器

[0128] 109 放大器

[0129] 110 ~ 112 NMOS FET

[0130] 113、114 PMOS FET

[0131] 115、116 电阻器

[0132] 117 NMOS FET

[0133] 118、119 恒流源

[0134] 120 开关

[0135] 121 比较器

[0136] 122 二极管

[0137] 123 双扩散型 NMOS FET

[0138] 201、202 NMOS FET

[0139] 203、204 电阻器

[0140] 205 恒流源

[0141] 206 电平转移器

[0142] 207、208 NMOS FET

[0143] 209、210 恒流源

[0144] 211 ~ 214 齐纳二极管

[0145] 215 电阻器

-
- [0146] 216、217 二极管
 - [0147] N1 ~ N4 NMOS FET
 - [0148] P1 ~ P4 PMOS FET
 - [0149] R1 ~ R4 电阻器
 - [0150] AMP1 放大器
 - [0151] CMP1 比较器
 - [0152] OR1 逻辑和运算
 - [0153] BST 加强装置
 - [0154] Dp 寄生二极管

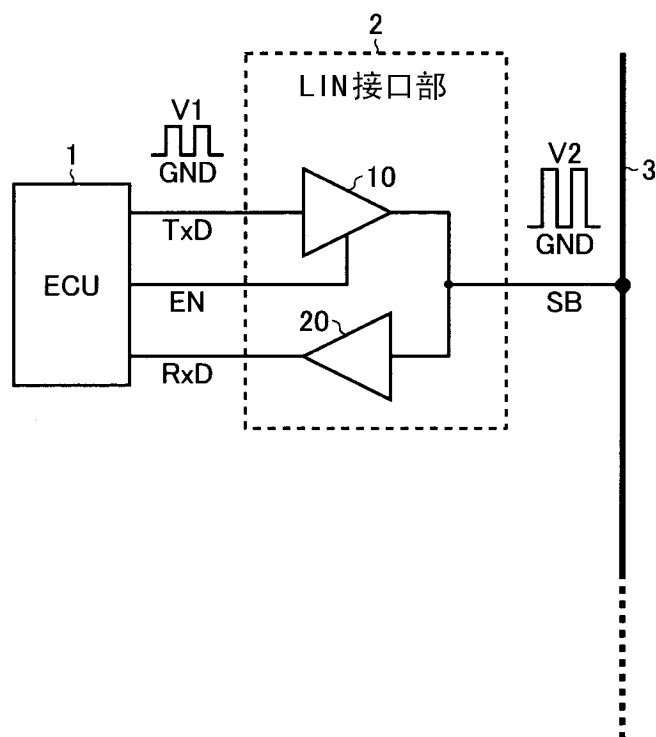


图 1

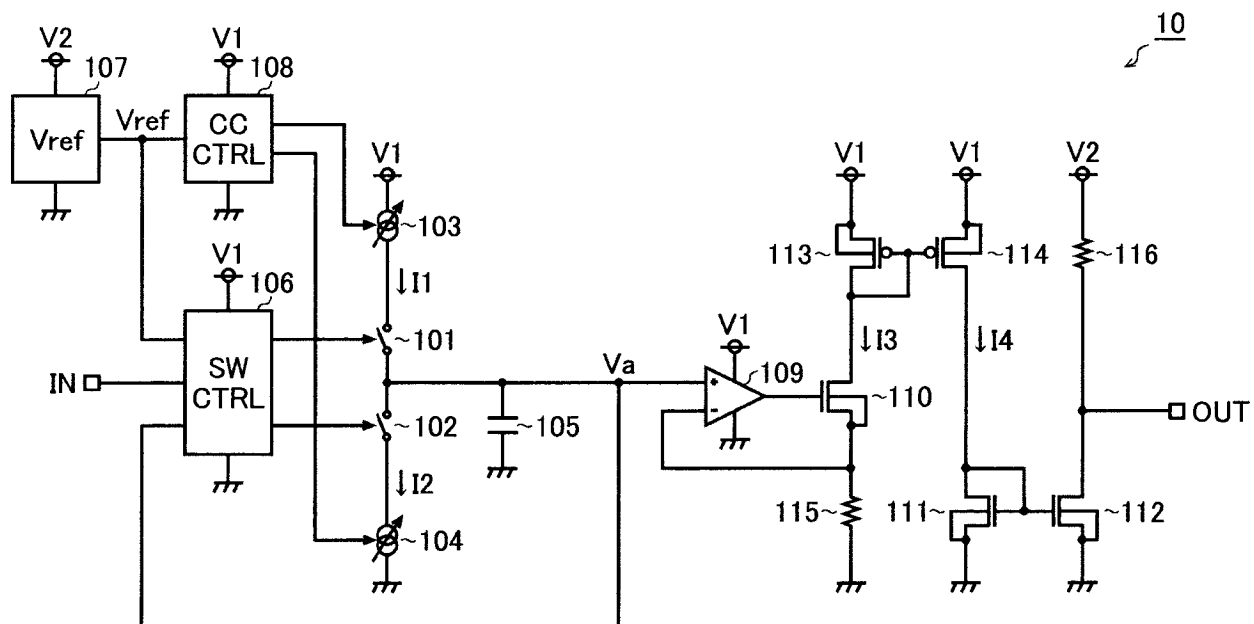


图 2

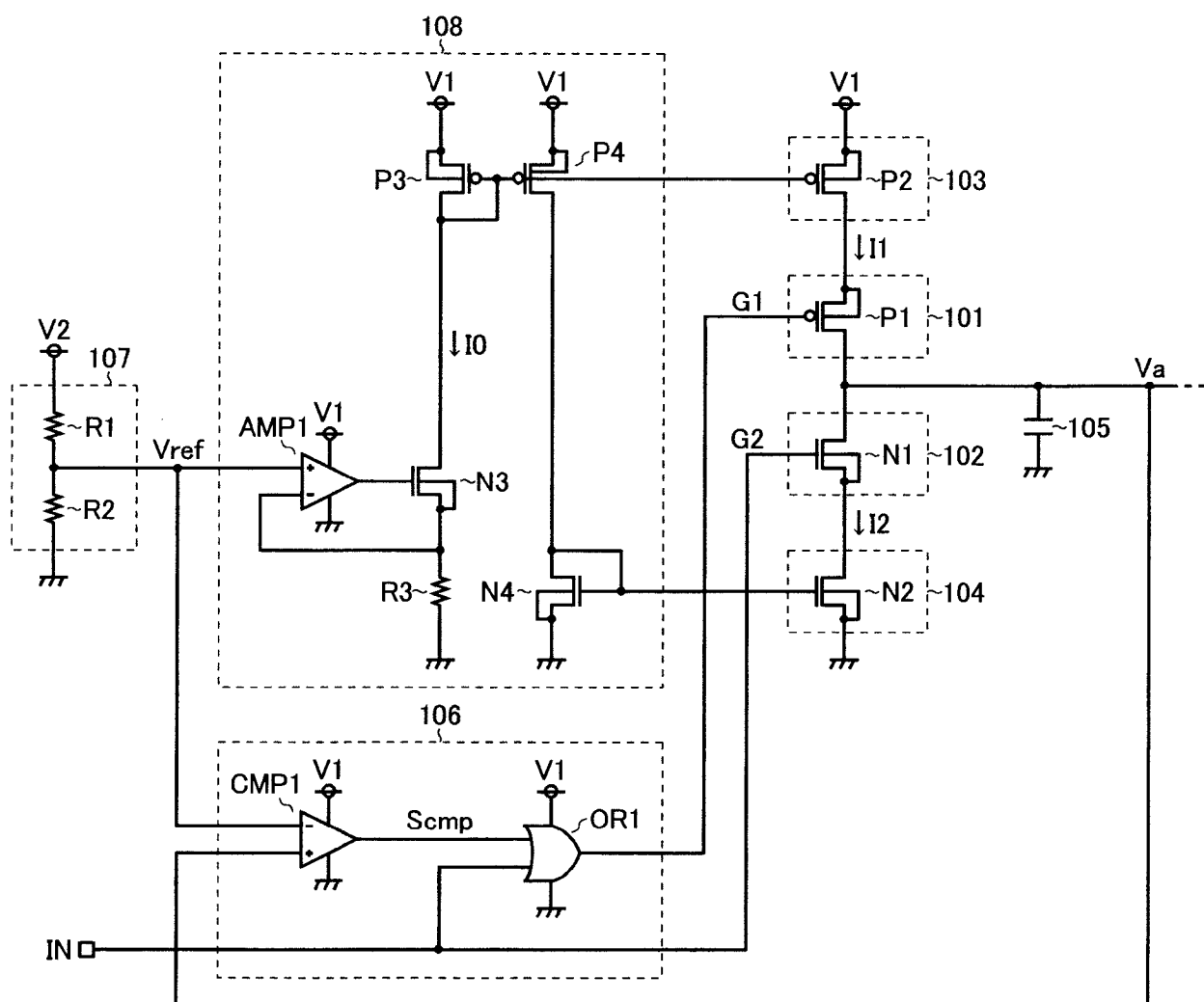


图 3

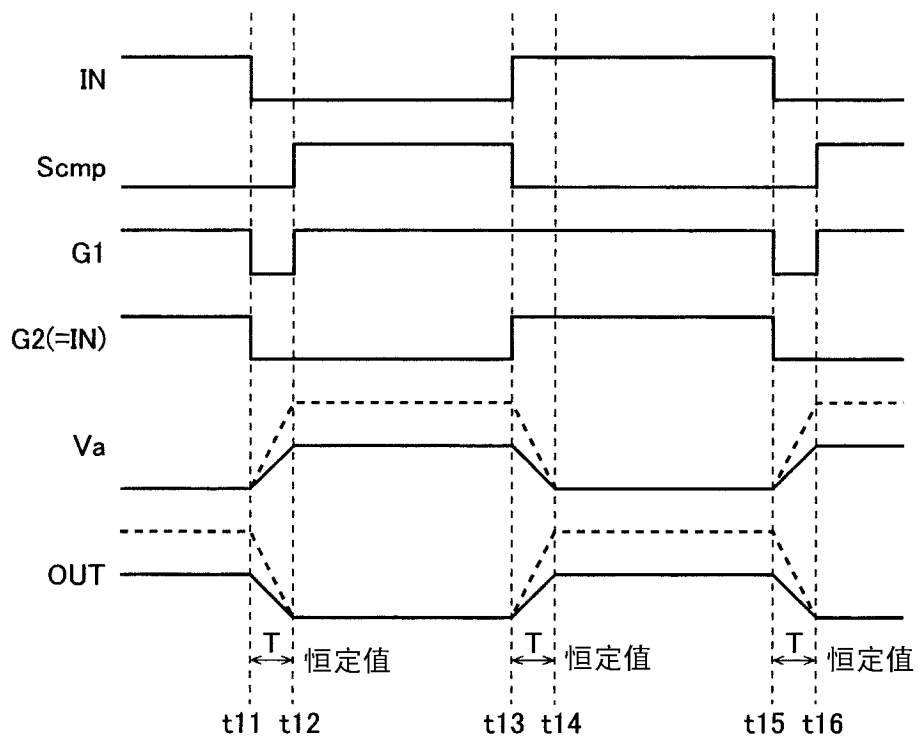


图 4

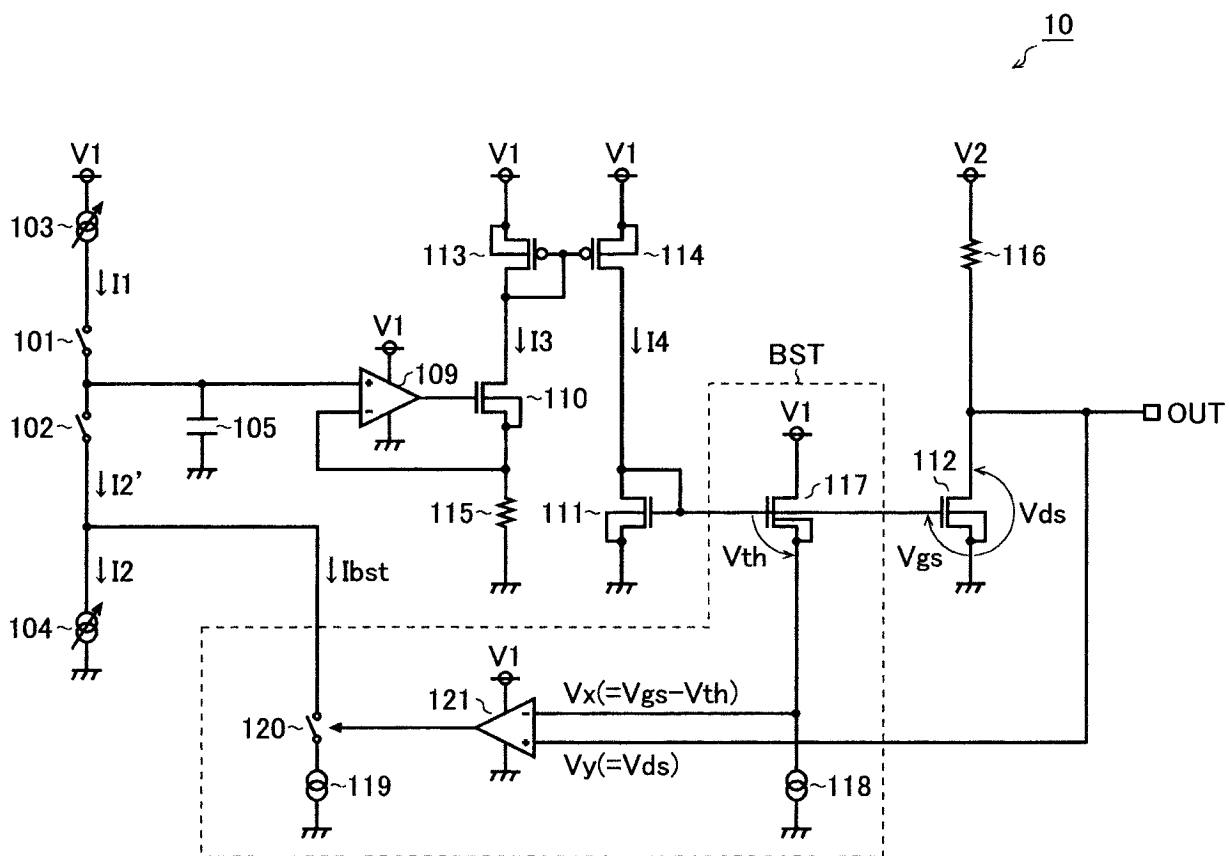


图 5

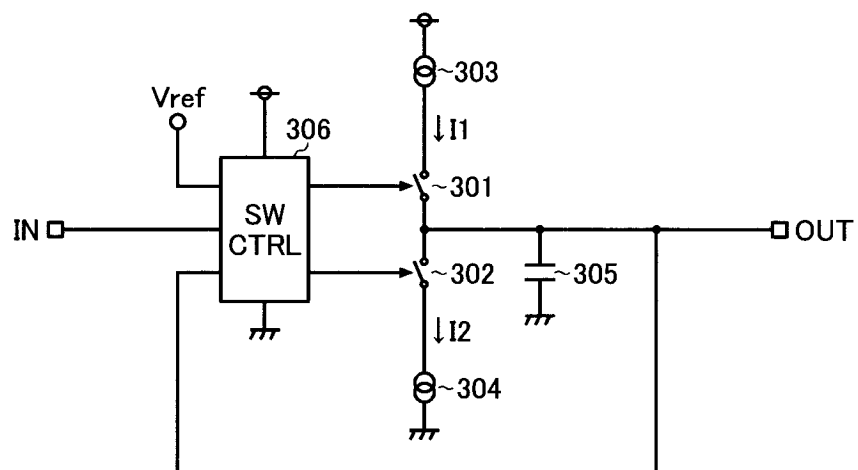


图 6

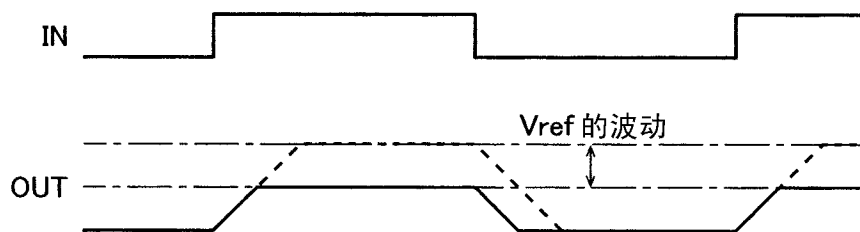


图 7

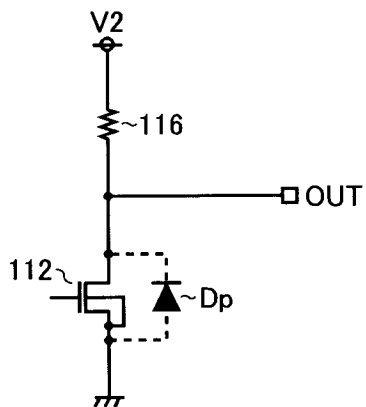


图 8

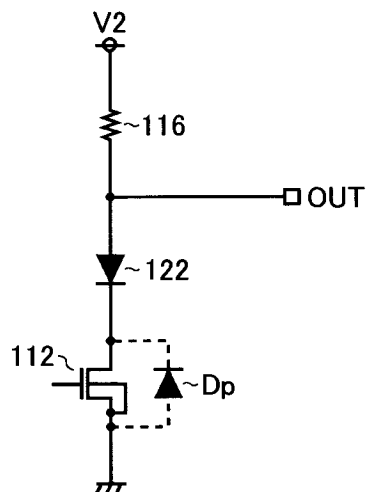


图 9

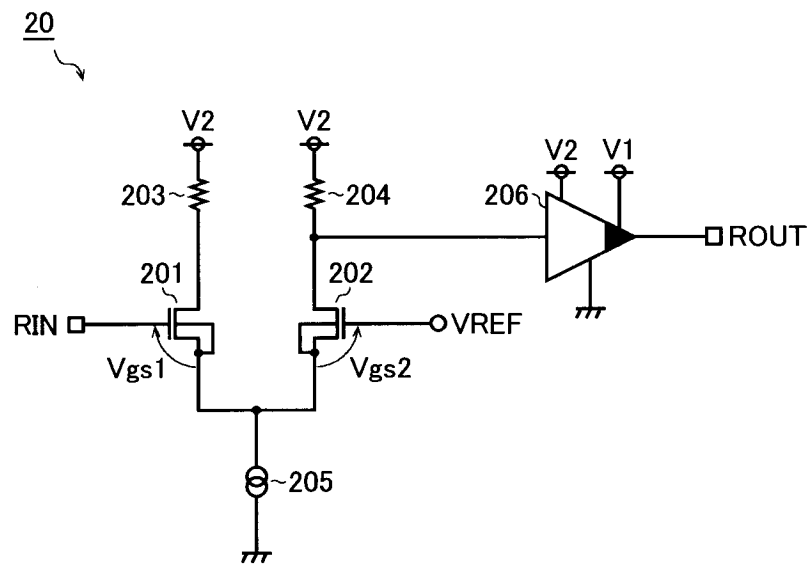


图 12

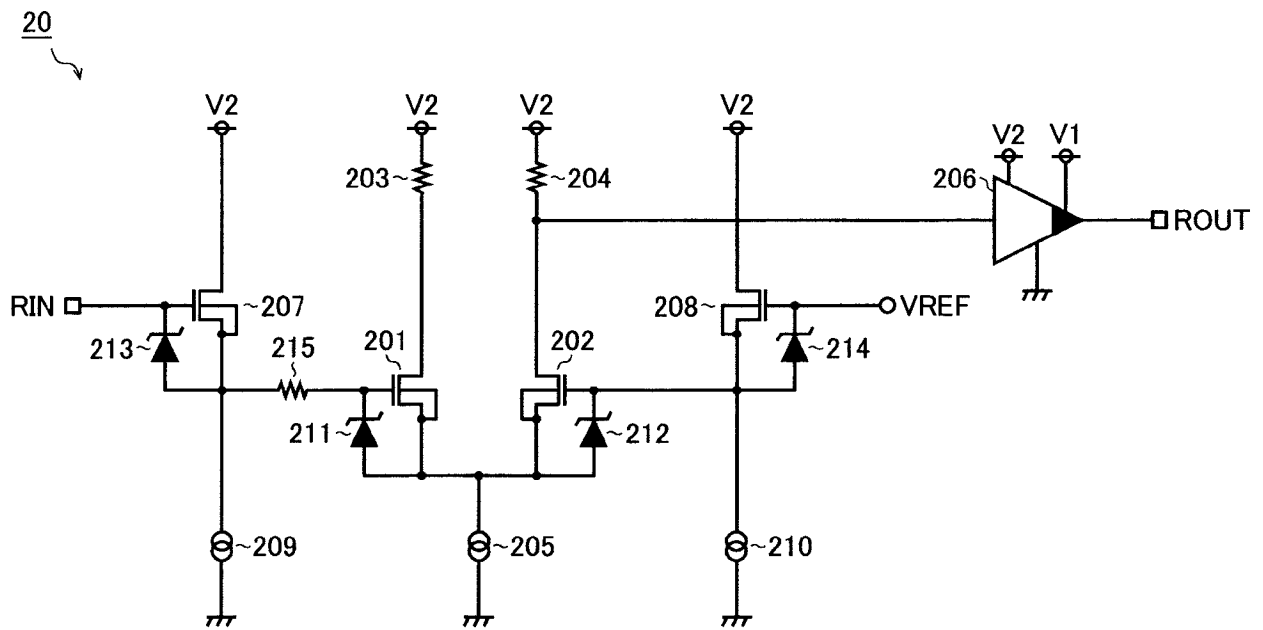


图 13

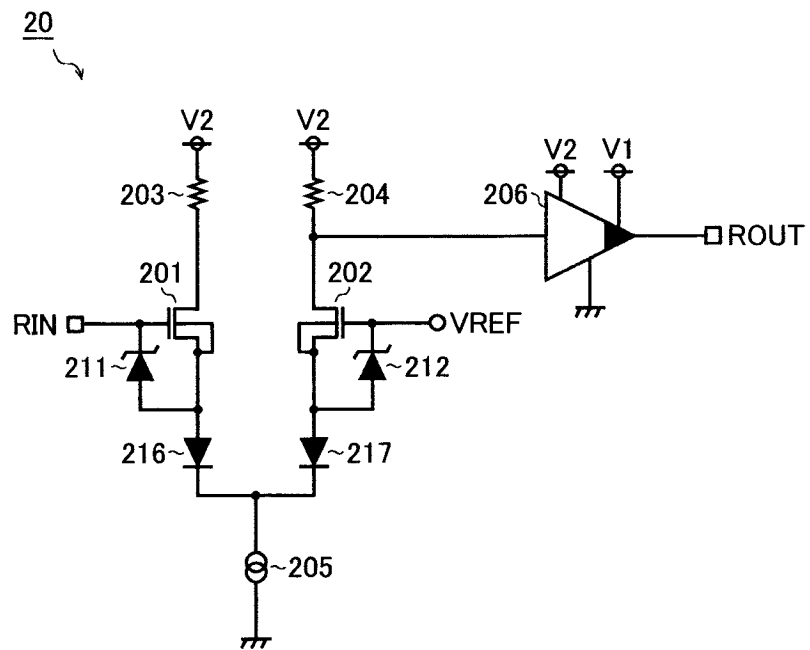


图 14

216, 217

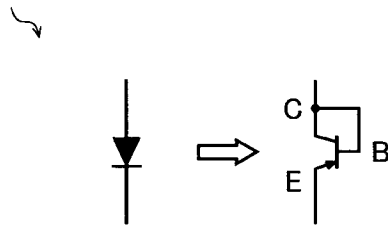


图 15