

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2009-506472

(P2009-506472A)

(43) 公表日 平成21年2月12日 (2009.2.12)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 1 E	5 B 1 2 5
H O 1 L 21/8247 (2006.01)	H O 1 L 27/10 4 3 4	5 F 0 8 3
H O 1 L 27/115 (2006.01)	H O 1 L 29/78 3 7 1	5 F 1 0 1
H O 1 L 29/788 (2006.01)	G 1 1 C 17/00 6 3 5	
H O 1 L 29/792 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 14 頁) 最終頁に続く

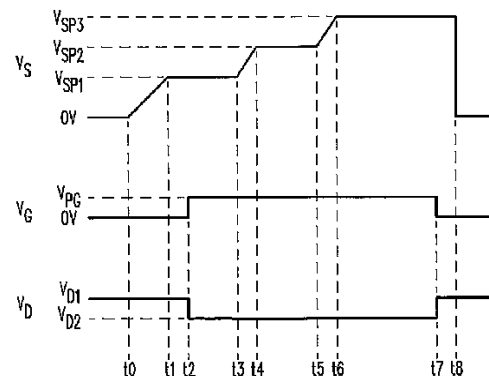
(21) 出願番号	特願2008-527982 (P2008-527982)	(71) 出願人	504199127
(86) (22) 出願日	平成18年8月16日 (2006.8.16)		フリースケール セミコンダクター イン
(85) 翻訳文提出日	平成20年2月20日 (2008.2.20)		コーポレイテッド
(86) 国際出願番号	PCT/US2006/031840		アメリカ合衆国 7 8 7 3 5 テキサス州
(87) 国際公開番号	W02007/024565		オースティン ウィリアム キャノン
(87) 国際公開日	平成19年3月1日 (2007.3.1)		ドライブ ウェスト 6 5 0 1
(31) 優先権主張番号	11/209,294	(74) 代理人	100089705
(32) 優先日	平成17年8月23日 (2005.8.23)		弁理士 社本 一夫
(33) 優先権主張国	米国 (US)	(74) 代理人	100140109
			弁理士 小野 新次郎
		(74) 代理人	100075270
			弁理士 小林 泰
		(74) 代理人	100080137
			弁理士 千葉 昭男

最終頁に続く

(54) 【発明の名称】 不揮発性メモリ・セルのプログラミング

(57) 【要約】

不揮発性 (NVM) セル (110) をプログラミングする方法は、増大する電圧を、読み出し中にソースとして用いている電流電極 (118) に印加するステップを含む。初期プログラミング・ソース電圧は、比較的少数の電子が蓄積層に注入されることをもたらす。比較的低い初期電圧レベルのため、ゲート電極に跨る垂直電界が、低減される。ソース電圧の後続の上昇は、蓄積層の中の電子が垂直電界を低減する電界を確立することに起因して垂直電界を著しくは上昇させない。プログラミング中でのゲート電極の損傷が少ないことにより、NVMセルの耐久性が改善される。



【特許請求の範囲】**【請求項 1】**

読み出し動作中にソースとして機能する第 1 の電流電極と、読み出し動作中にドレインとして機能する第 2 の電流電極と、バイアスするゲートとして機能する制御電極とを含む不揮発性メモリ (NVM) セルをプログラミングする方法であって、

第 1 のプログラミング電圧を前記第 1 の電流電極に印加するステップと、

前記第 1 のプログラミング電圧を印加した後で、当該第 1 のプログラミング電圧より大きい第 2 のプログラミング電圧を前記第 1 の電流電極に印加するステップと、

第 1 のプログラミング電圧を印加する前記ステップ中にプログラミング電圧を前記制御電圧に印加し、且つ第 2 のプログラミング電圧を印加する前記ステップ中にプログラミング電圧を前記制御電圧に印加するステップとを備える方法。

10

【請求項 2】

第 1 のプログラミング電圧を印加する前記ステップが、前記第 1 のプログラミング電圧までランプアップすることにより実行されるよう特徴付けられる請求項 1 記載の方法。

【請求項 3】

第 2 のプログラミング電圧を印加する前記ステップが、前記第 1 のプログラミング電圧から前記第 2 のプログラミング電圧までランプすることにより実行されるよう特徴付けられる請求項 2 記載の方法。

【請求項 4】

前記第 1 のプログラミング電圧が、第 1 の持続時間にわたり印加され、
前記第 2 のプログラミング電圧が、第 2 の持続時間にわたり印加される
請求項 1 記載の方法。

20

【請求項 5】

前記第 2 の持続時間が、前記第 1 の持続時間より長い請求項 4 記載の方法。

【請求項 6】

前記 NVM セルが、前記第 1 のプログラミング電圧を印加することと前記第 2 のプログラミング電圧を印加することとの間で選択解除される請求項 1 記載の方法。

【請求項 7】

前記第 1 のプログラミング電圧及び第 2 のプログラミング電圧が、第 1 のプログラミング電圧を第 1 の電流電極に印加する前記ステップ及び第 2 のプログラミング電圧を第 1 の電流電極に印加する前記ステップ中に前記制御電極に印加される電圧より大きい請求項 1 記載の方法。

30

【請求項 8】

前記第 2 の電流電極が、第 1 のプログラミング電圧を第 1 の電流電極に印加する前記ステップ前に第 3 の電圧であり、

前記第 2 の電流電極が、第 1 のプログラミング電圧を第 1 の電流電極に印加する前記ステップ中に前記第 3 の電圧とは異なる電圧であり、

前記第 2 の電流電極が、第 2 のプログラミング電圧を第 1 の電流電極に印加する前記ステップ中に前記第 3 の電圧とは異なる電圧である
請求項 1 記載の方法。

40

【請求項 9】

第 2 のプログラミング電圧を印加する前記ステップが、第 1 のプログラミング電圧を印加する前記ステップからとぎれなく続く請求項 1 記載の方法。

【請求項 10】

第 1 のプログラミング電圧を印加する前記ステップの後に、前記第 2 のプログラミング電圧より大きい第 3 のプログラミング電圧を前記第 1 の制御電極に印加するステップを更に備える請求項 1 記載の方法。

【請求項 11】

第 3 のプログラミング電圧を印加する前記ステップが更に、前記第 2 のプログラミング

50

電圧から前記第 3 のプログラミング電圧へランブすることにより実行されるよう特徴付けられる請求項 10 記載の方法。

【請求項 12】

第 3 のプログラミング電圧を印加する前記ステップが、第 2 のプログラミングを印加する前記ステップからとぎれなく続く請求項 10 記載の方法。

【請求項 13】

前記第 1 のプログラミング電圧が、第 1 の持続時間にわたり印加され、
前記第 2 のプログラミング電圧が、第 2 の持続時間にわたり印加され、
前記第 3 のプログラミング電圧が、第 3 の持続時間にわたり印加される

請求項 10 記載の方法。

10

【請求項 14】

前記第 3 の持続時間が、前記第 1 の持続時間より長く、
前記第 3 の持続時間が、前記第 2 の持続時間より長い

請求項 13 記載の方法。

【請求項 15】

前記 N V M のセルを前記第 2 のプログラミング電圧を印加することと前記第 3 のプログラミング電圧を印加することとの間で選択解除するステップを更に備える請求項 10 記載の方法。

【請求項 16】

前記 N V M のセルが、金属層、ポリシリコン層、ナノ結晶の層、及び電荷蓄積誘電体層から成るグループから選択された蓄積層を有する請求項 1 記載の方法。

20

【請求項 17】

第 1 のプログラミング電圧を第 1 の電流電極に印加する前記ステップ及び第 2 のプログラミング電圧を第 1 の電流電極に印加する前記ステップが、前記第 1 のプログラミング電圧を通して前記第 2 のプログラミング電圧へランブすることにより実行されるように特徴付けられる請求項 1 記載の方法。

【請求項 18】

不揮発性 (N V M) セルを読み出すためのバイアスするゲート、ソース及びドレインを含む当該不揮発性 (N V M) セルをプログラミングする方法であって、

第 1 の電圧を前記ソースに第 1 の持続時間にわたり印加するステップと、

30

第 1 の電圧を印加する前記ステップ後で且つ前記 N V M セルの読み出しを実行する前に、前記第 1 の電圧より大きい第 2 の電圧を前記ソースに第 2 の持続時間にわたり印加するステップと、

第 2 の電圧を印加する前記ステップ後で且つ前記 N V M セルの読み出しを実行する前に、前記第 2 の電圧より大きい第 3 の電圧を前記ソースに第 3 の持続時間にわたり印加するステップと

を備える方法。

【請求項 19】

前記第 3 の持続時間が、前記第 1 の持続時間より長く、

前記第 3 の持続時間が、前記第 2 の持続時間より長い

40

請求項 18 記載の方法。

【請求項 20】

読み出すためのバイアスするゲート、ソース及びソースを含む不揮発性 (N V M) セルをプログラミングする方法であって、

第 1 の電圧を前記ソースに印加するステップと、

前記第 1 の電圧より大きい第 2 の電圧を前記ソースに印加するステップと、

前記第 2 の電圧より大きい第 3 の電圧を前記ソースに印加するステップと、

第 1 の電圧を前記ソースに印加する前記ステップ中に電圧を前記バイアスするゲートに印加し、第 2 の電圧を前記ソースに印加する前記ステップ中に電圧を前記バイアスするゲートに印加し、且つ第 3 の電圧を前記ソースに印加する前記ステップ中に電圧を前記バイ

50

アスするゲートに印加するステップと、を備えるとぎれなしの部分を含む方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的に不揮発性メモリに関し、詳細には不揮発性メモリ・セルをプログラミングする方法に関する。

【背景技術】

【0002】

不揮発性メモリ（NVM）は、電力がメモリから取り去られた後にも保持される論理値を格納するためのメモリ・セルを含む。

【0003】

一部のタイプのNVMセルは、例えば、セルに格納されている論理値（或るタイプのNVMセルでは複数の論理値）を示す電荷を格納するためのフローティング・ゲートのような電荷を格納する構造を利用する。或るタイプのNVMセルの場合、電荷蓄積構造に格納される電荷のレベルは、電圧読み出し中にセルのトランジスタの電圧スレッシュホールドに影響を与える。一例では、高電圧スレッシュホールドを有するセルは、論理「1」を格納しているとみなされ、そして低電圧スレッシュホールドを有するセルは、論理「0」を格納しているとみなされるであろう。従来のメモリ回路（例えば、センス増幅器）をメモリ・セルの読み出し中に用いて、メモリ・セルの電荷蓄積構造に格納された電荷レベルに起因した高電圧スレッシュホールドと低電圧スレッシュホールドとを識別することができる。

【0004】

論理値は、電荷を電荷蓄積構造に加えることによりメモリに格納される。値をNVMに書き込む一例では、NVMの全てのセルが、最初に消去される。次いで、論理値（例えば、論理的1）が格納されることになるセルは、電荷をセルの電荷蓄積構造に加えることによりプログラミングされるであろう。別の論理値（例えば、論理的0）を格納することが希望されるセルには電荷は加えられないであろう。従って、これらのセルの電荷蓄積構造は、消去された電荷レベルのままである。

【0005】

NVMセルをプログラミングする1つのタイプは、一般的に、ホット・キャリア注入と呼ばれる。ホット・キャリア注入を用いることにより、NVMメモリ・セルの電流電極（例えば、ソース又はドレイン）は、比較的高い電圧でバイアスされ、そしてバイアス・ゲート（例えば、選択ゲート又は制御ゲート）は、比較的高い電圧でバイアスされる。他の電流電極（例えば、上記ソース又はドレインのうちの他方）は、電流源又は比較的低い電圧に結合される。そのような状態の下では、電子は、チャネル領域を越えて、バイアスされた電流電極へ移動し、そして電子は、電荷蓄積構造に注入されて、電荷蓄積構造を充電する。

【発明の開示】

【発明が解決しようとする課題】

【0006】

従来のホット・キャリア注入プログラミングに関わる1つの問題は、それが論理値を格納するNVMセル能力を損なう可能性があることである。従って、セルをプログラミングして更には動作可能な状態にある回数が、制限される。

【0007】

必要とされることは、不揮発性メモリ・セルをプログラミングする方法の改良である。

【課題を解決するための手段】

【0008】

本発明により、添付の特許請求の範囲に記載された方法が提供される。

【0009】

本発明は、添付の図面を参照することにより一層よく理解され、そしてその多数の課題、特徴及び利点が、当業者に明らかにされるであろう。

10

20

30

40

50

【 0 0 1 0 】

異なる図面の中の同じ参照番号の使用は、注記しない場合同じ構成要素を示す。図面は、必ずしも尺度通り描かれていない。

【 発明を実施するための最良の形態 】

【 0 0 1 1 】

以下に、本発明を実行するモードの詳細な説明を記述する。その記述は、本発明の例示であることを意図し、限定であるとするべきでない。

【 0 0 1 2 】

図 1 は、図 2 及び図 3 のタイミング図に示される具体的实例に従ってプログラミングされる不揮発性メモリ・セル 1 1 0 の一例の部分側面図である。図示の実施形態において、メモリ・セル 1 1 0 は、集積回路 1 0 8 の不揮発性メモリ・アレイ（図示せず）に形成された N V M セルである。一実施形態においては、メモリ・アレイは、スタンドアロン型メモリ回路である。他の実施形態においては、メモリ・アレイは、プロセッサ（図示せず）と共に又は他のタイプの回路と共に集積回路に組み込まれている。

【 0 0 1 3 】

図示の実施形態において、メモリ・セル 1 1 0 は、誘電性材料（図 1 に図示せず）により基板 1 1 2 から分離された電荷蓄積構造 1 1 4（例えば、フローティング・ゲート）を有するスプリット・ゲート・メモリ・セルである。メモリ・セル 1 1 0 はまた誘電性材料により電荷蓄積構造 1 1 4 から分離された部分と誘電性材料により基板 1 1 2 から分離された部分とを有する選択ゲート 1 1 6 とを含む。一実施形態において、選択ゲート 1 1 6 は、電荷蓄積構造 1 1 4 の上に更に（図 1 の図の左へ）延在し、そして制御ゲートとして用いられる。メモリ・セル 1 1 0 は、ドレイン 1 2 0 及びソース 1 1 8 を含み、これらドレイン 1 2 0 及びソース 1 1 8 の両方は、図示の実施形態では基板 1 1 2 に配置されている。一実施形態においては、ソース 1 1 8 及びドレイン 1 2 0 は、基板 1 1 2 のドーピング範囲により形成される。メモリ・セル 1 1 0 は、側壁スペーサ、シリサイド処理されたコンタクト（*silicided contacts*）、障壁層、プラグ及び／又は層間誘電体のような他の従来の構造又は機能（図示せず）を含んでもよい。

【 0 0 1 4 】

一実施形態において、選択ゲート 1 1 6 及び電荷蓄積構造 1 1 4 は、ドーピングされたポリシリコンを用いて形成されるが、しかしそれぞれは、他の実施形態では異なる材料から作られてもよい。一実施形態において、選択ゲート 1 1 6 及び／又は電荷蓄積構造 1 1 4 は、金属又は他の導電性材料から作られてよい。他の実施形態において、電荷蓄積構造 1 1 4 は、例えば、窒化酸化物又はハフニウム酸化物のような電荷トラッピング誘電体から作られてよい。他の実施形態において、電荷蓄積構造 1 1 4 は、ナノ結晶又は他の電荷蓄積材料を含んでもよい。一実施形態において、電荷蓄積構造は、消去動作中に電子の除去のための電界を増強する幾何学的形状（例えば、尖った領域又は湾曲した領域）を含んでもよい。

【 0 0 1 5 】

図示の実施形態において、選択ゲート 1 1 6 は、メモリ・アレイのワード・ライン（図示せず）に電気的に結合され、ドレイン 1 2 0 は、メモリ・アレイのビット・ライン（図示せず）に電気的に結合され、そしてソース 1 1 8 は、メモリ・アレイのソース・ライン（図示せず）に電気的に結合される。一実施形態において、これらのラインは、基板 1 1 2 の上の相互接続層に形成され、そしてメモリ・アレイ動作中に、電圧をこれらの構造に印加する又はこれらの構造からの電流又は電圧を測定する従来の回路（例えば、ライン・ドライバ、センス増幅器）に結合される。そのような回路の詳細は、当業者に知られており、本出願のプログラミングの特徴をより明瞭に表すため図面から省かれている。

【 0 0 1 6 】

図示の実施形態において、メモリ・セル 1 1 0 は、唯 1 つの論理ビットを格納する 1 ビット N V M セルである。しかしながら、他のメモリ・セルは、異なる複数の値を格納してもよい。図示の実施形態において、電荷は、電荷蓄積構造 1 1 4 に蓄積されて、1 ビット

10

20

30

40

50

論理値をメモリ・セル 110 に格納する。図示の実施形態において、負の電荷が電荷蓄積構造 114 により多く蓄積されればされるほど、メモリ・セル 110 の電圧スレッシュホールドは、読み出すとき一層高くなる。

【0017】

メモリ・セル 110 に格納された論理値を読み出すため、読み出し電圧 (V_{DR}) が、(図 1 において端子 V_D により示されるように) ドレイン 120 に印加され、そして読み出し電圧 (V_{GR}) が、セルを選択するため選択ゲート 116 に印加される。センス増幅器又は感知回路が、読み出し動作中にドレイン 120 に結合される。センス増幅器を用いて、電荷蓄積構造 114 に蓄積された電荷の第 1 のレベルに起因した第 1 の電圧スレッシュホールドと電荷蓄積構造 114 に蓄積された電荷の第 2 のレベルに起因した第 2 の電圧スレッシュホールドとを識別する。

10

【0018】

メモリ・セル 110 は、電荷を電荷蓄積構造 114 に選択的に加える又は注入することによりプログラミングされて、特定の論理値を格納する。電荷蓄積構造 114 の中の注入された電荷は、読み出すとき所定の電圧スレッシュホールドを越えた電圧スレッシュホールドをメモリ・セル 110 に与える。

【0019】

電荷を電荷蓄積構造 114 に注入するため用いられるプログラミングのタイプの一例は、ソース・サイド注入 (source side injection) と呼ばれる。ソース・サイド注入の場合、プログラミング電圧 (V_{PS}) が、ソース 118 に印加され、そしてプログラミング電圧 (V_{PG}) が、選択ゲート 116 に印加される。或る実施形態においては、ドレイン 120 は、プログラミング中に電流源又は電圧源に結合される。

20

【0020】

図 1 に示されるように、プログラミング中に、電子は、ドレイン 120 からチャネル領域 111 を横切ってソース 118 へ注入される (矢印 115 を参照)。また、プログラミング中に、電子は、図示の実施形態において、電荷蓄積構造 114 に容量結合されたソース・プログラミング電圧 (V_{SP}) により発生された垂直電界に起因して、ドレイン 120 から電荷蓄積構造 114 に注入される。

【0021】

しかしながら、ソース・サイド注入プログラミングは、メモリ・セル 110 に損傷を生じさせ、それは、電荷蓄積構造 114 に蓄積される電荷の量に依存する電圧スレッシュホールドを与えるメモリ・セルの能力、又は電荷を電荷蓄積構造 114 に蓄積する能力を低減する。従って、NVMセルは、そのプログラミングが限定された回数になる可能性がある。そのような限定されたプログラミングは、メモリ・セル 110 を組み込む集積回路の使用の柔軟性を低減する。

30

【0022】

図 2 は、本発明の一実施形態に従ってソース・サイド注入を用いて NVMセルをプログラミングする一実施形態のタイミング図を示す。図 2 に示される実施形態において、プログラミング電圧は、最初に、より低いレベルでソース 118 に印加され、次いで、プログラミング・サイクルにわたって増大される。

40

【0023】

時刻 t_0 で、或る電圧が、ソース 118 に印加され、そして時刻 t_1 での第 1 の電圧レベル (V_{SP1}) までランブアップ (上昇) する。時刻 t_2 で、プログラミング電圧 (V_{PG}) が、選択ゲート 116 に印加され、そしてドレイン 120 は、電流をドレイン 120 から引き出す状態に置かれることにより、その電位を V_{D1} から V_{D2} へ低減する。一実施形態においては、ドレイン 120 は、ビット・ラインを電流ミラー (図示せず) に電氣的に結合することにより電流を引き出す状態に置かれる。

【0024】

時刻 t_2 から時刻 t_3 まで、ソース 118 に印加された電圧は、 V_{SP1} に留まる。時刻 t_3 で、ソース 118 に印加された電圧は、それが時刻 t_4 で V_{SP2} に達するまでラ

50

ンプアップし始める。ソース 118 に印加された電圧は、時刻 t_5 まで V_{SP2} に留まり、時刻 t_5 で、その電圧は、時刻 t_6 で電圧 V_{SP3} に達するまでランプアップし始める。時刻 t_6 から時刻 t_7 まで、電荷蓄積構造 114 は、ソース 118 に印加されている電圧 V_{SP3} を用いてプログラミングされている。時刻 t_7 で、セルは、図示の実施形態においては、プログラミング電圧を選択ゲート 116 から取り去ることにより選択解除される。また、時刻 t_7 で、ドレイン 120 は、電流がドレイン 120 から引き出される状態から解除され、そこにおいては、ドレイン 120 の電圧は、 V_{D2} から V_{D1} へ戻されるよう動く。時刻 t_8 で、ソース 118 の電圧は、0 V まで低下される。

【0025】

一実施形態において、 V_{PS1} は 7 ボルトであり、 V_{PS2} は 8.5 ボルトであり、 V_{PS3} は 10.5 ボルトであり、 V_{PG} は 2 ボルトであり、 V_{D1} は 2.5 ボルトであり、 V_{D2} は 0.7 ボルトである。一実施形態において、時刻 t_2 から時刻 t_3 までの時間は 3 マイクロ秒であり、時刻 t_3 から時刻 t_5 までの時間は 4 マイクロ秒であり、時刻 t_5 から時刻 t_7 までの時間は 15 マイクロ秒であり、時刻 t_0 から時刻 t_8 までの合計時間は 40 マイクロ秒より少ない。しかしながら、他の実施形態は、他のプログラミング電圧及び/又は時間を利用し得る。

【0026】

プログラミング中に、電荷蓄積構造 114 から基板 112 への垂直電界は、電荷蓄積構造 114 の電荷とソース電圧 (V_S) との関数である。最初に、消去されたメモリ・セルについては、電荷蓄積構造 114 は、消去されている状態であることから電子の不在に起因して、より高い電位にある。電子が電荷蓄積構造 114 に注入されるにつれ、電荷蓄積構造 114 の正の電荷は、低減され、従って、電界の全体は、プログラミング・サイクルが進むにつれ低減される。

【0027】

図示の実施形態において、プログラム・サイクル中のプログラミングが実行され、ソース電圧は、プログラミング・サイクルが進むにつれ上昇される。プログラミング・サイクルの早期のため、ソース電圧は、より低いレベル (例えば、 V_{SP1}) であり、電荷蓄積構造 114 と基板 112 との間の垂直電界は、プログラミング・サイクルの早期の部分中では一層低い。

【0028】

V_{SP3} が最初にプログラミング・サイクルの始めにソース 118 に印加される場合、垂直電界は、電荷蓄積構造 114 がその最大の正電荷にある (消去される状態) ことと、ソース 118 が同時に最大電圧レベルにあることとに起因して最大になるであろう。

【0029】

しかしながら、図 2 に示される実施形態の場合、初期にソース 118 に印加される一層低い電圧により、垂直電界は、プログラミング・サイクルの初期部分中に低減される。電荷が電荷蓄積構造 114 に注入されるにつれ、電荷蓄積構造 114 の正の電荷は、低減され、それにより垂直電界を低減する。垂直電界が下がるにつれ、ソース電圧は、上昇されることができる。その電圧が V_{SP2} まで上昇されるとき、より多くの電荷が、電荷蓄積構造 114 に注入され、それにより垂直電界を更に低減する。従って、最も高いソース電圧 V_{SP3} が印加される時間まで、電荷蓄積構造 114 の正の電荷が低減されて、それにより垂直電界は、プログラミング・サイクルに最初に印加された V_{SP3} のときより著しく小さい。

【0030】

或るタイプの NVM セルの場合、プログラミング中の高い垂直電界は、セルのゲート誘電体に損傷を生じさせ、それにより論理値を格納するセルの能力に悪影響を及ぼす。垂直電界が、説明される実施形態の場合プログラミング・サイクルの初期のより低い電圧に起因して低減されるので、プログラミング・サイクル中に垂直電界に起因して生じる損傷の量は、同様に低減される。この損傷の低減に起因して、メモリ・セルは、より多くのプログラミング・サイクルに耐え、そして動作可能性 (operability) を維持する

10

20

30

40

50

ことができる。

【0031】

他の実施形態においては、ゲート及びソースに印加される電圧、及びそれらの持続時間は、異なる場合がある。例えば、一実施形態においては、ソースに印加される電圧は、0 Vから最大プログラミング・ソース電圧まで連続の線形ランプ関数である。他の実施形態においては、そのランプは、非線形関数（例えば、放物線状）を有する。他の実施形態は、異なる複数のソース・プログラミング電圧レベル、例えば、丁度2個（ V_{SP1} と V_{SP2} ）又は4個又はそれより多い個数を有する。図示の実施形態においては、ソースは、最長の期間（例えば、プログラミングの大部分が実行されているとき）最高の電圧（図2における V_{SP3} ）に留まる。しかしながら、他の実施形態においては、ソース電圧は、より高い電圧レベルより低い一定の電圧レベルに一層長い期間留まる。

10

【0032】

また、他の実施形態において、メモリ・セルの読み出しサイクルは、時刻 t_8 後に実行されて、セルを試験して、セルが適正にプログラミングされるかどうかを知る。セルが正しく読み出しを行わない場合、別のプログラミング・サイクルが実行されてもよい。

【0033】

図3は、本発明に従ってNVMセルをプログラミングするプログラミング・サイクルの別の実施形態のタイミング図である。図3の実施形態は、ソース電圧がプログラミング・サイクル中にステップ状に且つ不連続的に増大される点で図2の実施形態とは異なる。例えば、時刻 t_0 で、ソース電圧は、0電圧から V_{SP1} へ増大され、次いで時刻 t_3 で V_{SP1} から0Vに低減される。ソース電圧の次の増大（ V_{SP2} ）は、時刻 t_4 から時刻 t_7 まで生じる。ソース電圧が0ボルトへ低減される時間中（例えば、時刻 t_3 から時刻 t_4 まで、及び時刻 t_7 から時刻 t_8 まで）に、セルは、選択解除される。図示の実施形態において、メモリ・セル110は、0ボルトを選択ゲート116に（例えば、時刻 t_2 から時刻 t_5 まで、及び時刻 t_6 から時刻 t_9 まで）印加することにより選択解除される。

20

【0034】

図3の実施形態において、セルは、ソース電圧の変化中に選択解除される。従って、電圧のオーバーシュートが生じる場合、そのオーバーシュートの過剰電圧に起因した垂直電界の増大は、セルが選択解除されるから当該セルを損傷させないであろう。

30

【0035】

図2の実施形態は、セルがランプ前に又は電圧 V_{SP1} 、 V_{SP2} 及び/又は V_{SP3} へのランプ中に選択解除され、それによりセルがオーバーシュートが生じたときランプの終わりでデアサートされるように変更され得る。また、或る実施形態においては、ソース電圧は、図3の実施形態に示されるようにゼロ・ボルトへ戻されることなしに、次のより高い電圧へステップ状に上昇され得る。

【0036】

図2及び図3のプログラミング・サイクルの1つの利点は、ソース電圧の増大の中間に断続的な読み出し動作が無い点でプログラミング・サイクルが中断しないことである。

【0037】

プログラミング中にソースに印加される電圧を増大することを他のタイプのNVMセルに利用し得る。

40

【0038】

図4は、別のタイプのNVMセルの部分側面図である。NVMセル410は、2つのバイアス・ゲート、即ち、制御ゲート430及び選択ゲート428を含む。NVMセル410は、窒化物の電荷蓄積構造426を含む。電荷蓄積構造426、選択ゲート428、制御ゲート430は、基板412の上に配置されている。NVMセル410は、ソース419及びドレイン418の両方を含む。

【0039】

NVMセル410をプログラミングし、そして電荷を電荷蓄積構造426に注入するた

50

め、ソース・プログラム電圧が、ソース４１９に印加され、プログラム電圧が、制御ゲート４３０に印加され、プログラム電圧が、選択ゲート４２８を選択するために印加され、そしてより低い電圧が、ドレイン４１８に印加される。この実施形態の場合、ソース４１９に印加される電圧は、プログラミング中に増大される。或る実施形態においては、制御ゲート４３０に印加されるプログラミング電圧は、プログラミング中に同様に増大される。

【００４０】

本明細書で説明されるように、用語「ソース」は、メモリ・セルの格納場所の読み出し中にキャリア（例えば、Ｎチャネル・デバイスでは電子、又はＰチャネル・デバイスではホール）を供給するメモリ・セルの電流電極を示す。ドレインは、メモリ・セルの格納場所の読み出し中にキャリアを受け取るメモリ・セルの電流電極である。一部のＮＶＭは、２以上の格納場所を有し、従って、メモリ・セルの電流電極のソース又はドレインの指定は、どの格納場所が読み出し中に読み出されているかに依存するであろう。従って、マルチ格納場所セルの格納場所の書き込み中の電流電極に対するソース又はドレインの指定は、格納場所の読み出し中のその使用に依存するであろう。

【００４１】

一実施形態は、読み出し動作中にソースとして機能する第１の電流電極と、読み出し動作中にドレインとして機能する第２の電流電極と、バイアスするゲートとして機能する制御電極とを含む不揮発性メモリ（ＮＶＭ）セルをプログラミングする方法を含む。本方法は、第１のプログラミング電圧を前記第１の電流電極に印加するステップと、前記第１のプログラミング電圧を印加した後で、第２のプログラミング電圧を前記第１の電流電極に印加するステップとを含む。前記第２のプログラミング電圧は、前記第１のプログラミング電圧より大きい。本方法はまた、第１のプログラミング電圧を印加する前記ステップ中にプログラミング電圧を前記制御電圧に印加するステップと、第２のプログラミング電圧を印加する前記ステップ中にプログラミング電圧を前記制御電圧に印加するステップとを含む。別の実施形態においては、第１のプログラミング電圧を印加する前記ステップが、前記第１のプログラミング電圧までランプアップすることにより実行されるよう特徴付けられる。更に別の実施形態においては、第２のプログラミング電圧を印加する前記ステップが、前記第１のプログラミング電圧から前記第２のプログラミング電圧までランプすることにより実行されるよう特徴付けられる。別の実施形態においては、前記第１のプログラミング電圧が、第１の持続時間にわたり印加され、そして前記第２のプログラミング電圧が、第２の持続時間にわたり印加される。更に別の実施形態においては、前記第２の持続時間が、前記第１の持続時間より長い。更に別の実施形態においては、前記ＮＶＭセルが、前記第１のプログラミング電圧を印加することと前記第２のプログラミング電圧を印加することとの間で選択解除される。別の実施形態においては、前記第１のプログラミング電圧及び第２のプログラミング電圧が、第１のプログラミング電圧を第１の電流電極に印加する前記ステップ及び第２のプログラミング電圧を第１の電流電極に印加する前記ステップ中に前記制御電極に印加される電圧より大きい。更に別の実施形態においては、前記第２の電流電極が、第１のプログラミング電圧を第１の電流電極に印加する前記ステップ前に第３の電圧であり、そして前記第２の電流電極が、第１のプログラミング電圧を第１の電流電極に印加する前記ステップ中に前記第３の電圧とは異なる電圧であり、そして前記第２の電流電極が、第２のプログラミング電圧を第１の電流電極に印加する前記ステップ中に前記第３の電圧とは異なる電圧である。別の実施形態においては、第２のプログラミング電圧を印加する前記ステップが、第１のプログラミング電圧を印加する前記ステップからとぎれなく続く。更に別の実施形態においては、本方法は、第１のプログラミング電圧を印加する前記ステップの後に、前記第２のプログラミング電圧より大きい第３のプログラミング電圧を前記第１の制御電極に印加するステップを更に含む。別の実施形態においては、第３のプログラミング電圧を印加する前記ステップが更に、前記第２のプログラミング電圧から前記第３のプログラミング電圧へランプすることにより実行されるよう特徴付けられる。更に別の実施形態においては、第３のプログラミング電圧を印加する

10

20

30

40

50

前記ステップが、第 2 のプログラミングを印加する前記ステップからとぎれなく続く。別の実施形態においては、前記第 1 のプログラミング電圧が、第 1 の持続時間にわたり印加され、前記第 2 のプログラミング電圧が、第 2 の持続時間にわたり印加され、そして前記第 3 のプログラミング電圧が、第 3 の持続時間にわたり印加される。更に別の実施形態においては、前記第 3 の持続時間が、前記第 1 の持続時間より長く、そして前記第 3 の持続時間が、前記第 2 の持続時間より長い。別の実施形態においては、本方法は、前記 N V M のセルを前記第 2 のプログラミング電圧を印加することと前記第 3 のプログラミング電圧を印加することとの間で選択解除するステップを含む。更に別の実施形態においては、前記 N V M のセルが、金属層、ポリシリコン層、ナノ結晶の層、及び電荷蓄積誘電体層から成るグループから選択された蓄積層を有する。別の実施形態においては、第 1 のプログラミング電圧を第 1 の電流電極に印加する前記ステップ及び第 2 のプログラミング電圧を第 1 の電流電極に印加する前記ステップが更に、前記第 1 のプログラミング電圧を通して前記第 2 のプログラミング電圧へランプすることにより実行されるように特徴付けられる。請求項 1 記載の方法。

10

【 0 0 4 2 】

別の実施形態は、不揮発性 (N V M) セルを読み出すためのバイアスするゲート、ソース及びドレインを含む当該不揮発性 (N V M) セルをプログラミングする方法を含む。本方法は、第 1 の電圧を前記ソースに第 1 の持続時間にわたり印加するステップと、第 1 の電圧を印加する前記ステップ後で且つ前記 N V M セルの読み出しを実行する前に、第 2 の電圧を前記ソースに第 2 の持続時間にわたり印加するステップとを含む。前記第 2 の電圧は、前記第 1 の電圧より大きい。本方法は、第 2 の電圧を印加する前記ステップ後で且つ前記 N V M セルの読み出しを実行する前に、第 3 の電圧を前記ソースに第 3 の持続時間にわたり印加するステップを含む。前記第 3 の電圧は、前記第 2 の電圧より大きい。更に別の実施形態においては、前記第 3 の持続時間が、前記第 1 の持続時間より長く、そして前記第 3 の持続時間が、前記第 2 の持続時間より長い。

20

【 0 0 4 3 】

別の実施形態は、読み出すためのバイアスするゲート、ソース及びソースを含む不揮発性 (N V M) セルをプログラミングする方法を含む。本方法は、第 1 の電圧を前記ソースに印加するステップ及び第 2 の電圧を前記ソースに印加するステップを含むとぎれなしの部分を含む。前記第 2 の電圧は、前記第 1 の電圧より大きい。前記とぎれなしの部分は、第 3 の電圧を前記ソースに印加するステップを含む。前記第 3 の電圧は、前記第 2 の電圧より大きい。本方法はまた、第 1 の電圧を前記ソースに印加する前記ステップ中に電圧を前記バイアスするゲートに印加するステップと、第 2 の電圧を前記ソースに印加する前記ステップ中に電圧を前記バイアスするゲートに印加するステップと、第 3 の電圧を前記ソースに印加する前記ステップ中に電圧を前記バイアスするゲートに印加するステップとを含む。

30

【 0 0 4 4 】

本発明の特定の実施形態が示されそして説明されたが、本明細書の教示に基づいて、本発明及びそのより広い局面から逸脱することなしに、更なる変化及び変更を行い得ることが当業者に認められ、従って、添付の特許請求の範囲は、それらの範囲内に、本発明の真の趣旨及び範囲内にある全てのそのような変化及び変更を包含するものである。

40

【 図面の簡単な説明 】

【 0 0 4 5 】

【 図 1 】 図 1 は、一タイプの不揮発性メモリの部分側面図である。

【 図 2 】 図 2 は、本発明の一実施形態に従って不揮発性メモリ・セルをプログラミングするタイミング図である。

【 図 3 】 図 3 は、本発明の別の実施形態に従って不揮発性メモリ・セルをプログラミングするタイミング図である。

【 図 4 】 図 4 は、別のタイプの不揮発性メモリ・セルの部分側面図である。

【 図 1 】

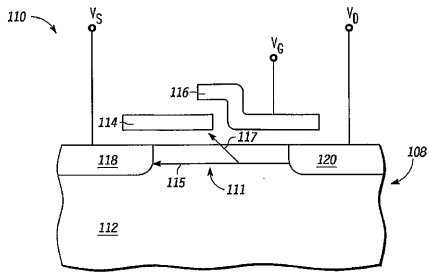


FIG. 1

【 図 2 】

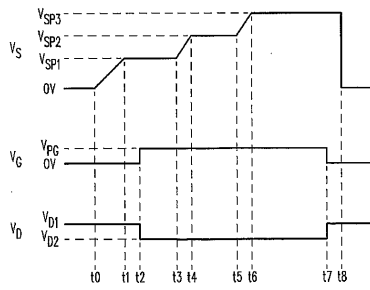


FIG. 2

【 図 3 】

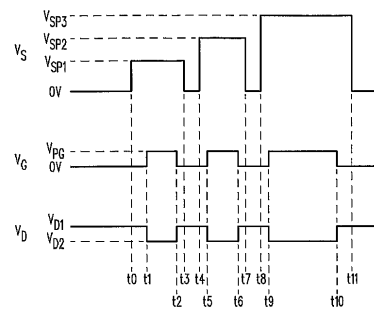


FIG. 3

【 図 4 】

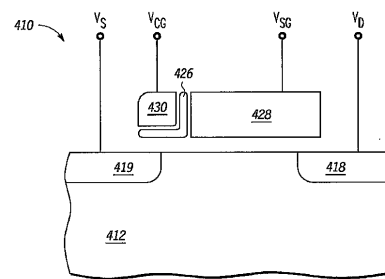


FIG. 4

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US06/31840												
A. CLASSIFICATION OF SUBJECT MATTER IPC: G11C 16/04(2006.01) USPC: 365/185.180 According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 365/185.180 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Please See Continuation Sheet														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category *</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 6,882,567 B1 (WONG) 19 April 2005 (19.04.2005), see entire document.</td> <td>1-6,8-14,16-20</td> </tr> <tr> <td>A</td> <td></td> <td>7,15</td> </tr> <tr> <td>A</td> <td>US 2005/0099846 A1 (CHEN et al.) 12 May 2005 (12.05.2005), see entire document.</td> <td>1-20</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 6,882,567 B1 (WONG) 19 April 2005 (19.04.2005), see entire document.	1-6,8-14,16-20	A		7,15	A	US 2005/0099846 A1 (CHEN et al.) 12 May 2005 (12.05.2005), see entire document.	1-20
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X	US 6,882,567 B1 (WONG) 19 April 2005 (19.04.2005), see entire document.	1-6,8-14,16-20												
A		7,15												
A	US 2005/0099846 A1 (CHEN et al.) 12 May 2005 (12.05.2005), see entire document.	1-20												
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.														
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family														
Date of the actual completion of the international search 14 September 2007 (14.09.2007)		Date of mailing of the international search report 24 SEP 2007												
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer JOSE DEES <i>Shawn J. Dees</i> Telephone No. 571-272-1569												

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US06/31840

Continuation of B. FIELDS SEARCHED Item 3:

USPGPUB, USPAT, USOCR, EPO, JPO, DERWENT, IBM_TDB search notes: during or while and (nonvolatile or non-volatile or nonvolatile) and program\$4, first adj voltage with second adj voltage, first adj program\$4 adj voltage, second adj program\$4 adj voltage

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 1 1 C 16/06 (2006.01)

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100096013

弁理士 富田 博行

(72)発明者 キャヴィンズ, クレイグ・エイ

アメリカ合衆国テキサス州 7 8 6 6 0, プフルガーヴィル, パームウッド・トレイル 1 0 0

(72)発明者 ニセット, マーティン・エル

アメリカ合衆国テキサス州 7 8 7 4 6, オースティン, マックコンネル・ドライブ 2 0 9

(72)発明者 パーカー, ローレーン・エイチ

アメリカ合衆国テキサス州 7 8 7 2 7, オースティン, シルバー・クリーク・ドライブ 1 3 0 3
 0

F ターム(参考) 5B125 BA03 BA08 CA27 CA28 DB12 EB02 EB05 EC09 EG10 EG13

FA01

5F083 EP02 EP03 EP17 EP22 EP26 EP33 EP49 ER09 GA21

5F101 BA04 BA12 BA15 BA19 BA42 BA44 BA54 BB04 BB08 BD02

BD22 BE02 BE05 BF03