

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 19 年 7 月 12 日 (2007.7.12)

【公開番号】特開 2004-362753 (P2004-362753A)

【公開日】平成 16 年 12 月 24 日 (2004.12.24)

【年通号数】公開・登録公報 2004-050

【出願番号】特願 2004-157313 (P2004-157313)

【国際特許分類】

G 1 1 C 11/22 (2006.01)

H 0 1 L 21/8246 (2006.01)

H 0 1 L 27/105 (2006.01)

【F I】

G 1 1 C 11/22 5 0 1 A

G 1 1 C 11/22 5 0 1 D

G 1 1 C 11/22 5 0 1 K

G 1 1 C 11/22 5 0 1 L

H 0 1 L 27/10 4 4 4 Z

H 0 1 L 27/10 4 4 4 B

【手続補正書】

【提出日】平成 19 年 5 月 24 日 (2007.5.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板上に形成されており実質的に第 1 のプレートに配置され、また実質的に第 1 の方向に延びている複数のビット線と、

各層が強誘電性コンデンサのメモリ・セル・アレイを有する複数の層と、

各ツリー構造が幹線部および複数の分岐部を有する少なくとも 1 つのツリー構造が各ビット線に対応する複数のツリー構造であって、ツリー構造の各分岐部が 1 つの層に対応しており、各ツリー構造の前記幹線部は前記基板から延びており、前記分岐部に対応する層内でツリー構造の各分岐部が前記ツリー構造の前記幹線部から延びている複数のツリー構造と、

複数組の各それぞれが前記対応する層内で延びた各ツリー構造の前記分岐部と複数の交差領域で重なり合い、強誘電性コンデンサのメモリ・セルが層内の各交差領域で位置決めされている、各層内に配置された複数のプレート線と、
を有することを特徴とするメモリ・デバイス。

【請求項 2】

複数組のプレート線のそれぞれが各ツリー構造の前記幹線部の延びる方向と実質的に垂直の方向に配置されていることを特徴とする請求項 1 記載のメモリ・デバイス。

【請求項 3】

各ツリー構造の前記幹線部が前記第 1 の方向と実質的に平行する方向に延びていることを特徴とする請求項 1 記載のメモリ・デバイス。

【請求項 4】

前記複数のツリー構造が少なくとも一列に配列されていることを特徴とする請求項 1 記載のメモリ・デバイス。

【請求項 5】

さらに、実質的に前記第 1 の方向に延びた複数のセル層線と、

実質的に前記第 1 の方向と垂直の方向に延び、複数の第 2 の交差領域で前記複数のセル層線と重なり合う複数のセル・カラム線と、

各プレート線ドライバ・トランジスタが第 2 の交差領域それぞれで対応して位置決めされており、かつ各プレート線と前記プレート線に対応する前記プレート線ドライバとが接続されている、二次元的に配列された複数のプレート線ドライバ・トランジスタとを有することを特徴とする請求項 1 記載のメモリ・デバイス。

【請求項 6】

各プレート線ドライバ・トランジスタが制御端末を有し、各プレート線ドライバ・トランジスタに対応するセル・カラム線が前記プレート線ドライバ・トランジスタの前記制御端末に連結されていることを特徴とする請求項 5 記載のメモリ・デバイス。

【請求項 7】

各プレート線ドライバ・トランジスタが制御端末を有し、各プレート線ドライバ・トランジスタに対応するセル層線が前記プレート線ドライバ・トランジスタの前記制御端末に連結されていることを特徴とする請求項 5 記載のメモリ・デバイス。

【請求項 8】

さらに、前記第 1 の方向と実質的に垂直の方向に延び、それぞれがツリー構造に対応する複数の第 2 の交差領域で前記ビット線と重なり合い、さらに各アクセス・ラインがツリー構造列に対応している、基板上に形成された複数のアクセス・ラインと、

それぞれがそれぞれの第 2 の交差領域に対応して位置決めされており、さらにそれぞれが前記ツリー構造と前記第 2 の交差領域に対応する前記ビット線との間に電氣的に配置されており、それぞれが制御端末を備えかつ前記第 2 の交差領域に対応した前記アクセス・ラインに結合されている、複数のアクセス・トランジスタと、
を有することを特徴とする請求項 1 に記載のメモリ・デバイス。

【請求項 9】

さらに、ツリー構造と前記ツリー構造に対応する前記ビット線との間に各々電氣的に配置された複数の読み込みトランジスタと、

前記第 1 の方向と実質的に垂直の方向に延びまた複数の第 3 の交差領域で前記ビット線と重なり合い、各第 3 の交差領域がツリー構造に対応し、さらにそれぞれがツリー構造の列に対応している、前記基板上に形成された複数の読み取り線と、

それぞれが第 3 の交差領域それぞれに対応して位置付けされており、さらに前記ツリー構造と前記第 3 の交差領域に対応する前記ビット線との間に電氣的に配置されており、また制御端末を備えており、さらに前記第 3 の交差領域に対応した前記読み取り線に結合されている複数の読み取りトランジスタと、
を有し、各アクセス・ラインが書き込みラインでありまた各アクセス・トランジスタが書き込みトランジスタであることを特徴とする請求項 8 記載のメモリ・デバイス。

【請求項 10】

さらに、複数のゲイン・トランジスタのそれぞれが、読み取りトランジスタに対応し、前記読み取りトランジスタと前記読み取りトランジスタに対応する前記ツリー構造との間に配置されており、前記対応するツリー構造に結合された制御端末を含む複数のゲイン・トランジスタを有することを特徴とする請求項 9 記載のメモリ・デバイス。

【請求項 11】

さらに、前記第 1 の方向と実質的に垂直の方向に延びまた複数の第 2 の交差領域で前記ビット線と重なり合い、各第 2 の交差領域はツリー構造に対応し、さらにそれぞれがツリー構造の列に対応し、かつそれぞれが第 2 の交差領域それぞれに対応して位置付けされており、さらに前記対応するツリー構造と前記第 2 の交差領域に対応する前記ビット線との間に電氣的に配置されており、制御端末を備え、さらに前記第 2 の交差領域に対応する前記読み取り線に結合している複数の読み取りトランジスタの 1 つに電氣的に結合された、前記基板上に形成された複数の読み取り線を有することを特徴とする請求項 1 記載のメモリ・デ

バイス。

【請求項 1 2】

さらに、それぞれが読取りトランジスタに対応し、前記読取りトランジスタと前記読取りトランジスタに対応する前記ツリー構造との間に配置されており、前記対応するツリー構造に結合された制御端末を含む、複数のゲイン・トランジスタを有することを特徴とする請求項 1 1 記載のメモリ・デバイス。

【請求項 1 3】

さらに、プレート線と、

おのおのがプレート線に対応する、前記基板上に形成されかつ二次元的に配列された複数のプレート線ドライバ・トランジスタと、を有し、

前記プレート線が前記アレイにおいてより高レベルを表すとき次第に長くなることを特徴とする請求項 1 記載のメモリ・デバイス。

【請求項 1 4】

さらに、実質的に前記第 1 の方向に延びた複数のセル層線と、

前記第 1 の方向と実質的に垂直の方向に延び、複数の第 2 の交差領域で前記複数のセル層線と重なり合う複数のセル・カラム線と、を有し、

それぞれのプレート線ドライバ・トランジスタがそれぞれの第 2 の交差領域に対応して位置決めされており、かつ各プレート線と前記プレート線に対応する前記プレート線ドライバとが接続されていることを特徴とする請求項 1 3 記載のメモリ・デバイス。

【請求項 1 5】

さらに、複数の層を有する三次元メモリを有し、前記三次元メモリの各層にはメモリ・セル・アレイが含まれ、各メモリ・セルには強誘電性コンデンサが含まれていることを特徴とする請求項 1 3 記載のメモリ・デバイス。

【請求項 1 6】

列をなす各ツリー構造が電氣的に第 1 の所定電圧付近を浮動するようにするステップと

選択されたプレート線に第 2 の所定電圧 V を印加するステップと、

前記列をなした各ツリー構造の電位変化を検知するステップと、

前記選択されたプレート線と前記列をなす前記ツリー構造の交点で検知された各電位変化が各メモリ・セルについて 0 と 1 のいずれに対応するかを判定するステップと、

前記列をなすツリー構造毎に前記第 1 の所定電圧を印加するステップと、

前記選択されたプレート線に前記第 1 の所定電圧を印加するステップと、

を含むことを特徴とする請求項 1 乃至 1 2 のいずれかに記載のメモリ・デバイスの読取り及び消去方法。

【請求項 1 7】

ツリー構造列の各ツリー構造に電圧 $V/3$ を印加するステップと、

ツリー構造列の各プレート線に電圧 $2V/3$ を印加するステップと、

前記ツリー構造列の選択された所定数のツリー構造に電圧 V を印加するステップと、

ツリー構造の前記第 1 の所定数および選択されたプレート線との交点で、選択された所定数のメモリ・セルにデータ「1」が書き込まれる選択されたプレート線に 0 V の電圧 を印加するステップと、

前記選択されたプレート線に電圧 $2V/3$ を印加するステップと、

前記ツリー構造列で選択された前記所定数のツリー構造に電圧 $V/3$ を印加するステップと、

ツリー構造列の各プレート線に電圧 0 を印加するステップと、

ツリー構造列の各ツリー構造に電圧 0 を印加するステップと、

を含むことを特徴とする請求項 1 乃至 1 2 のいずれかに記載の事前消去済みメモリ・デバイスへのデータ書込み方法。