



(12) 发明专利申请

(10) 申请公布号 CN 103608913 A

(43) 申请公布日 2014. 02. 26

(21) 申请号 201280030709. 5

(74) 专利代理机构 北京市金杜律师事务所
11256

(22) 申请日 2012. 04. 18

代理人 鄧迅 张宁

(30) 优先权数据

13/092, 495 2011. 04. 22 US

(51) Int. Cl.

H01L 21/768 (2006. 01)

(85) PCT国际申请进入国家阶段日

H01L 23/48 (2006. 01)

2013. 12. 20

H01L 23/498 (2006. 01)

(86) PCT国际申请的申请数据

PCT/US2012/034038 2012. 04. 18

(87) PCT国际申请的公布数据

W02012/145373 EN 2012. 10. 26

(71) 申请人 泰塞拉公司

地址 美国加利福尼亚州

(72) 发明人 I·莫哈梅德 B·哈巴 C·尤祖

P·萨瓦利亚

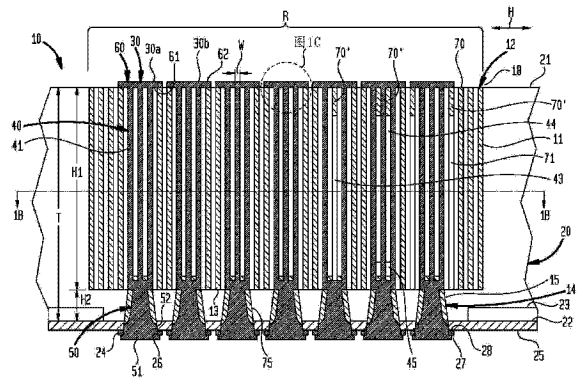
权利要求书6页 说明书19页 附图14页

(54) 发明名称

多孔基板中的通孔

(57) 摘要

本发明公开了一种微电子单元 (10), 所述微电子单元可包括具有正面 (22) 和背面 (21) 以及在其中具有有源半导体器件的基板 (20), 所述基板具有以对称或非对称分布的方式布置在所述背面的整个区域上的多个开口 (12)、连接到暴露在所述正面处的第一焊盘和第二焊盘 (24) 的第一导电通孔和第二导电通孔 (50) 以及在所述开口的相应开口内延伸的多个第一导电互连件和第二导电互连件 (40)。所述多个第一导电互连件 (40) 可通过所述开口 (12) 中的至少一个与所述多个第二导电互连件 (40) 分隔开, 所述至少一个开口至少部分地填充有绝缘材料 (70)。所述开口 (12) 的分布可包括在第一方向 D1 上间隔开的至少 m 个开口以及在横向于所述第一方向的第二方向 D2 上间隔开的 n 个开口。



1. 一种微电子单元,包括:

半导体基板,所述半导体基板具有正面和远离所述正面的背面并且其中包含有多个有源半导体器件,所述基板具有暴露在所述正面处的多个导电焊盘和以对称或非对称分布的方式布置在所述背面的整个区域上的多个开口,其中至少 m 个开口在沿所述背面的第一方向上间隔开,并且 n 个开口在沿所述背面横向于所述第一方向的第二方向上间隔开, m 和 n 中的每一者均大于 1;

与所述多个导电焊盘中的相应第一焊盘和第二焊盘电连接的第一导电通孔和第二导电通孔;

在所述开口中的相应开口内延伸的多个第一导电互连件和第二导电互连件,每个第一导电互连件连接到所述第一导电通孔,每个第二导电互连件连接到所述第二导电通孔;以及

暴露在所述背面处以用于与外部元件互连的第一导电触点和第二导电触点,所述第一导电触点和所述第二导电触点分别电连接到所述第一导电互连件和所述第二导电互连件;

其中所述多个第一导电互连件在基本上平行于所述正面的水平方向上通过所述多个开口中的至少一个与所述多个第二导电互连件分隔开,所述至少一个开口至少部分地填充有绝缘电介质材料。

2. 根据权利要求 1 所述的微电子单元,其中每个导电互连件包括在基本上垂直于所述正面的竖直方向上延伸的部分,所述多个第一导电互连件通过所述半导体基板材料在所述水平方向上彼此分隔开。

3. 根据权利要求 1 所述的微电子单元,其中每个导电互连件在水平方向上具有 5 微米或更小的宽度。

4. 根据权利要求 1 所述的微电子单元,其中每个导电通孔具有截头圆锥体形状。

5. 根据权利要求 1 所述的微电子单元,其中所述第一导电触点和所述第二导电触点基本上垂直于所述正面的竖直方向上与相应的所述多个第一导电互连件和所述第二导电互连件对齐。

6. 根据权利要求 1 所述的微电子单元,其中每个焊盘具有暴露在所述正面处的顶面和远离所述顶面的底面,并且所述第一导电通孔从所述底面延伸穿过相应的所述第一焊盘和所述第二焊盘到达其顶面。

7. 根据权利要求 1 所述的微电子单元,其中所述第一导电通孔和所述第二导电通孔不延伸穿过相应的所述第一焊盘和所述第二焊盘。

8. 根据权利要求 1 所述的微电子单元,还包括至少一个小孔,每个小孔从两个或更多个所述开口延伸至所述焊盘的相应焊盘的至少底面,其中所述第一导电通孔和第二导电通孔在所述至少一个小孔的相应第一小孔和第二小孔内延伸。

9. 根据权利要求 1 所述的微电子单元,其中所述第一导电通孔和第二导电通孔包括经掺杂的半导体材料。

10. 根据权利要求 1 所述的微电子单元,其中所述第一导电通孔和所述第二导电通孔分别直接连接到所述第一焊盘和所述第二焊盘。

11. 根据权利要求 1 所述的微电子单元,其中所述第一导电通孔和所述第二导电通孔

通过在所述第一焊盘和所述第二焊盘之间延伸的中间导电结构与相应的所述第一焊盘和所述第二焊盘电连接。

12. 一种互连基板,包括:

基板,所述基板具有小于 $8\text{ppm}/^{\circ}\text{C}$ 的有效热膨胀系数且具有第一表面和远离所述第一表面的第二表面,所述基板具有在所述第一表面和所述第二表面之间延伸的多个开口,所述开口以对称或非对称分布的方式布置在所述第一表面的整个区域上,其中至少 m 个开口在沿所述第一表面的第一方向上间隔开,并且 n 个开口在沿所述第一表面横向于所述第一方向的第二方向上间隔开, m 和 n 中的每一者均大于 1;

多个第一导电互连件和第二导电互连件,每个导电互连件在所述开口的相应开口内延伸并且具有与所述第一表面和所述第二表面相邻的末端;以及

暴露在所述第一表面和所述第二表面处以用于与外部元件互连的第一导电触点组和第二导电触点组,每组所述第一导电触点包括暴露在所述第一表面处的第一导电触点和暴露在所述第二表面处的第一导电触点,其中所述多个第一导电互连件与此组第一导电触点电连接,每组所述第二导电触点包括暴露在所述第一表面处的第二导电触点和暴露在所述第二表面处的第二导电触点,其中所述多个第二导电互连件与此组第二导电触点电连接,

其中所述多个第一导电互连件在基本上平行于所述第一表面的水平方向上通过绝缘构件与所述多个第二导电互连件分隔开,所述绝缘构件在位于所述第一表面和所述第二表面之间并至少部分地填充有绝缘电介质材料的所述多个开口中的至少一个内延伸。

13. 根据权利要求 12 所述的互连基板,其中每个导电互连件包括在基本上垂直于所述第一表面的竖直方向上延伸的部分,所述多个第一导电互连件通过所述半导体基板的材料在水平方向上彼此分隔开。

14. 根据权利要求 12 所述的互连基板,其中每个导电互连件在水平方向上具有 5 微米或更小的宽度。

15. 根据权利要求 12 所述的互连基板,其中所述第一导电触点组和所述第二导电触点组在基本上垂直于所述第一表面的竖直方向上与所述相应的多个第一导电互连件和第二导电互连件对齐。

16. 根据权利要求 12 所述的互连基板,其中每个开口均衬有电介质层。

17. 一种互连基板,包括:

基板,所述基板具有小于 $8\text{ppm}/^{\circ}\text{C}$ 的有效热膨胀系数且具有第一表面和远离所述第一表面的第二表面,所述基板具有在所述第一表面和所述第二表面之间延伸的多个开口;

在所述开口的第一子集的相应开口内延伸的多个导电互连件;以及

至少部分地在所述开口的第二子集的相应开口内延伸的绝缘电介质材料。

18. 根据权利要求 17 所述的互连基板,其中所述绝缘电介质材料完全地填充所述开口的所述第二子集的相应开口。

19. 根据权利要求 17 所述的互连基板,其中所述开口的所述第二子集包括比所述开口的所述第一子集更多的开口。

20. 一种互连基板,包括:

基板,所述基板具有小于 $8\text{ppm}/^{\circ}\text{C}$ 的有效热膨胀系数且具有第一表面和远离所述第一表面的第二表面,所述基板具有在所述第一表面和第二表面之间延伸穿过第一材料的区域

的多个开口,每个开口分别具有与所述第一表面和所述第二表面相邻的第一末端和第二末端;

在所述开口的第一子集的相应开口内延伸的多个导电互连件,每个导电互连件具有与所述第一表面和第二表面相邻的第一末端和第二末端;以及

在所述开口的第二子集的相应开口内延伸的多个绝缘构件,每个绝缘构件具有位于与所述第一表面和所述第二表面相邻的相应所述开口内的第一端部和相对的第二端部,所述第一端部和所述第二端部基本上由电介质材料组成,所述电介质材料与所述第一材料不同,

其中所述导电互连件中的至少两个通过所述绝缘构件中的至少一个彼此分隔开,使得没有电流能够流过所述至少两个导电互连件之间的所述绝缘构件,并且没有电流能够流过所述第一端部和所述第二端部之间的所述绝缘构件。

21. 根据权利要求 20 所述的互连基板,其中所述绝缘构件包括在所述第一端部和所述第二端部之间的空隙。

22. 根据权利要求 12、17 或 20 中任一项所述的互连基板,其中所述基板基本上由半导体材料组成。

23. 根据权利要求 12、17 或 20 中任一项所述的互连基板,其中所述基板基本上由玻璃或陶瓷材料组成。

24. 一种包括根据权利要求 1、12、17 或 20 中任一项所述的结构以及电连接到所述结构的一个或多个其他电子元件的系统。

25. 根据权利要求 24 所述的系统,还包括外壳,所述结构和所述其他电子元件被安装至所述外壳。

26. 一种制造微电子单元的方法,包括:

形成从半导体基板的第一表面朝着远离所述第一表面的第二表面延伸的多个开口,所述开口以对称或非对称分布的方式布置在所述第一表面的整个区域上,其中至少 m 个开口在沿所述第一表面的第一方向上间隔开,并且 n 个开口在沿所述第一表面横向于所述第一方向的第二方向上间隔开, m 和 n 中的每一者均大于 1,所述基板包含有多个有源半导体器件,所述基板具有暴露在所述第二表面处的多个导电焊盘;

形成在所述开口的相应开口内延伸的多个第一导电互连件和第二导电互连件;以及

形成与所述多个导电焊盘中的相应第一焊盘和第二焊盘电连接的第一导电通孔和第二导电通孔,每个第一导电互连件电连接到所述第一导电通孔,每个第二导电互连件电连接到所述第二导电通孔。

27. 根据权利要求 26 所述的方法,还包括沉积绝缘电介质材料,所述绝缘电介质材料至少部分地填充所述多个开口中的至少一个,其中所述多个第一导电互连件在基本上平行于所述第一表面的水平方向上通过所述多个开口中的所述至少一个与所述多个第二导电互连件分隔开。

28. 根据权利要求 26 所述的方法,其中每个导电互连件包括在基本上垂直于所述第一表面的竖直方向上延伸的部分,所述多个第一导电互连件通过所述半导体基板材料在基本上平行于所述第一表面的水平方向上彼此分隔开。

29. 一种制造微电子单元的方法,包括:

形成从半导体基板的第一表面朝着远离所述第一表面的第二表面延伸的多个开口,所述开口以对称或非对称分布的方式布置在所述第一表面的整个区域上,其中至少 m 个开口在沿所述第一表面的第一方向上间隔开,并且 n 个开口在沿所述第一表面横向于所述第一方向的第二方向上间隔开, m 和 n 中的每一者均大于 1,所述基板包含有多个有源半导体器件,所述基板具有暴露在所述第二表面处的多个导电焊盘;

移除所述半导体基板的在所述开口的第一子集和第二子集的相应开口之间延伸的材料,以形成占据与所述开口的相应第一子集和第二子集共延伸的区域的相应第一腔体和第二腔体;

形成在所述相应第一腔体和第二腔体内延伸的第一导电互连件和第二导电互连件;以及

形成与所述多个导电焊盘中的相应第一焊盘和第二焊盘电连接的第一导电通孔和第二导电通孔,所述第一导电通孔和所述第二导电通孔与相应的所述第一导电互连件和第二导电互连件电连接。

30. 根据权利要求 29 所述的方法,还包括沉积绝缘电介质材料,所述绝缘电介质材料至少部分地填充所述多个开口中的至少一个,其中所述第一导电互连件在基本上平行于所述第一表面的水平方向上通过所述多个开口中的所述至少一个与所述第二导电互连件至少部分地分隔开。

31. 根据权利要求 26 或权利要求 29 所述的方法,还包括形成被暴露以用于与外部元件互连的第一导电触点和第二导电触点,所述第一导电触点和所述第二导电触点分别电连接到所述第一导电互连件和所述第二导电互连件。

32. 根据权利要求 31 所述的方法,其中所述第一导电触点和所述第二导电触点在基本上垂直于所述第一表面的竖直方向上与相应的所述第一导电互连件和所述第二导电互连件对齐。

33. 根据权利要求 26 或权利要求 29 所述的方法,还包括形成第一小孔和第二小孔,所述第一小孔和所述第二小孔通过从所述第二表面上方施加到所述焊盘的处理而延伸穿过相应的所述第一焊盘和所述第二焊盘。

34. 根据权利要求 33 所述的方法,其中所述第一导电通孔和所述第二导电通孔形成于相应的所述第一小孔和所述第二小孔内并且延伸穿过相应的所述第一焊盘和所述第二焊盘。

35. 根据权利要求 33 所述的方法,其中每个导电通孔的触点部分暴露在所述第二表面处以用于与外部元件互连。

36. 根据权利要求 33 所述的方法,其中形成所述第一小孔和所述第二小孔的所述步骤包括从所述半导体基板移除材料,使得所述小孔部分地延伸穿过所述半导体基板的厚度。

37. 根据权利要求 33 所述的方法,其中执行形成所述第一小孔和所述第二小孔的所述步骤,使得每个相应的所述第一导电互连件和所述第二导电互连件的表面暴露在相应的所述小孔内。

38. 根据权利要求 26 或权利要求 29 所述的方法,其中形成所述多个开口,使得所述第一导电通孔和所述第二导电通孔暴露在所述多个开口中的一些内,并且所述第一导电互连件和所述第二导电互连件被形成为分别与所述第一导电通孔和所述第二导电通孔接触。

39. 一种制造互连基板的方法,包括:

形成从具有小于 8ppm/°C 的有效热膨胀系数的基板的第一表面朝着远离所述第一表面的第二表面延伸的多个开口,所述开口以对称或非对称分布的方式布置在所述第一表面的整个区域上,其中至少 m 个开口在沿所述第一表面的第一方向上间隔开,并且 n 个开口在沿所述第一表面横向于所述第一方向的第二方向上间隔开, m 和 n 中的每一者均大于 1;

形成多个第一导电互连件和第二导电互连件,每个导电互连件在所述开口的相应开口内延伸并且具有与所述第一表面和所述第二表面相邻的末端;以及

形成暴露在所述第一表面和所述第二表面处以用于与外部元件互连的第一导电触点组和第二导电触点组,每组所述第一导电触点包括暴露在所述第一表面处的第一导电触点和暴露在所述第二表面处的第一导电触点,并且所述多个第一导电互连件与此组第一导电触点电连接,每组所述第二导电触点包括暴露在所述第一表面处的第二导电触点和暴露在所述第二表面处的第二导电触点,其中所述多个第二导电互连件与此组第二导电触点电连接。

40. 根据权利要求 39 所述的方法,还包括沉积绝缘电介质材料,所述绝缘电介质材料至少部分地填充所述多个开口中的至少一个,其中所述多个第一导电互连件在基本上平行于所述第一表面的水平方向上通过所述多个开口中的所述至少一个与所述多个第二导电互连件分隔开。

41. 根据权利要求 39 所述的方法,其中每个导电互连件包括在基本上垂直于所述第一表面的竖直方向上延伸的部分,所述多个第一导电互连件通过所述基板材料在基本上平行于所述第一表面的水平方向上彼此分隔开。

42. 一种制造互连基板的方法,包括:

形成从具有小于 8ppm/°C 的有效热膨胀系数的基板的第一表面朝着远离所述第一表面的第二表面延伸的多个开口,所述开口以对称或非对称分布的方式布置在所述第一表面的整个区域上,其中至少 m 个开口在沿所述第一表面的第一方向上间隔开,并且 n 个开口在沿所述第一表面横向于所述第一方向的第二方向上间隔开, m 和 n 中的每一者均大于 1;

移除所述半导体基板的在所述开口的第一子集和第二子集的相应开口之间延伸的材料,以形成占据与所述开口的相应的所述第一子集和所述第二子集共延伸的区域的相应第一腔体和第二腔体;

形成在所述相应的第一腔体和第二腔体内延伸的第一导电互连件和第二导电互连件,所述第一导电互连件和所述第二导电互连件中的每一个具有与所述第一表面和所述第二表面相邻的末端;以及

形成暴露在所述第一表面和所述第二表面处以用于与外部元件互连的第一导电触点组和第二导电触点组,每组所述第一导电触点包括暴露在所述第一表面处的第一导电触点和暴露在所述第二表面处的第一导电触点,其中所述多个第一导电互连件与此组第一导电触点电连接,每组所述第二导电触点包括暴露在所述第一表面处的第二导电触点和暴露在所述第二表面处的第二导电触点,其中所述多个第二导电互连件与此组第二导电触点电连接。

43. 根据权利要求 42 所述的方法,还包括沉积绝缘电介质材料,所述绝缘电介质材料至少部分地填充所述多个开口中的至少一个,其中所述多个第一导电互连件在基本上平行于所述第一表面的水平方向上通过所述多个开口中的所述至少一个与所述多个第二导电互连件至

少部分地分隔开。

44. 根据权利要求 39 或权利要求 42 所述的方法,还包括在形成所述导电触点的所述步骤之前从所述第二表面移除材料,使得所述第一表面和第二表面之间的所述半导体基板的厚度减小,并使得每个导电互连件的表面暴露在所述第二表面处。

45. 根据权利要求 39 或权利要求 42 所述的方法,其中所述基板基本上由半导体材料组成。

46. 根据权利要求 39 或权利要求 42 所述的方法,其中所述基板基本上由玻璃或陶瓷材料组成。

47. 根据权利要求 26、29、39 或 42 中任一项所述的方法,其中通过各向异性蚀刻执行形成所述多个开口的所述步骤,使得多孔硅区域被形成为从所述基板的所述第一表面延伸。

48. 根据权利要求 26、29、39 或 42 中任一项所述的方法,其中所述开口的所述对称或非对称分布的位置不由掩膜决定。

49. 根据权利要求 26、29、39 或 42 中任一项所述的方法,其中所述第一导电通孔和所述第二导电通孔能够连接到相应的第一电位和第二电位。

50. 根据权利要求 27、30、40 或 43 中任一项所述的方法,其中在形成所述导电互连件的所述步骤之前执行沉积所述绝缘电介质材料的所述步骤。

多孔基板中的通孔

[0001] 相关专利申请的交叉引用

[0002] 本专利申请要求 2011 年 4 月 22 日提交的美国专利申请序列号 13/092,495 的权益,其公开内容据此以引用方式并入本文。

背景技术

[0003] 本发明涉及微电子装置的封装,尤其涉及半导体器件的封装。

[0004] 微电子元件通常包括半导体材料例如硅或砷化镓的薄板,该薄板通常被称为裸片或半导体芯片。半导体芯片通常作为单独的预封装的单元提供。在一些单元设计中,将半导体芯片安装到基板或芯片载体,该基板或芯片载体继而安装在电路面板诸如印刷电路板上。

[0005] 有源电路被制造在半导体芯片的第一面(例如正面)中。为了有利于电连接到有源电路,芯片在相同的面上设有接合焊盘。接合焊盘通常以规则的阵列放置,其或者围绕裸片的边缘放置,或者对于许多存储器装置而言放置在裸片的中心。接合焊盘通常由大约 $0.5\ \mu\text{m}$ 厚的导电金属诸如铜或铝制成。接合焊盘可包括单层或多层金属。接合焊盘的尺寸将随器件类型而有所不同,但其侧边通常测得为数十至数百微米。

[0006] 使用硅通孔(TSV)将接合焊盘与半导体芯片的与第一面相对的第二面(例如背面)连接。常规的通孔包括穿过半导体芯片的孔以及从第一面延伸穿过该孔到达第二面的导电材料。接合焊盘可以电连接到通孔,以允许在接合焊盘与半导体芯片的第二面上的导电元件之间建立连通。

[0007] 常规的 TSV 孔可减小能够用于容纳有源电路的第一面的所述部分。在可用于有源电路的第一面上的可用空间的这种减小可能增加制备每个半导体芯片所需的硅量,从而潜在地增加每个芯片的成本。

[0008] 由于通孔内部的非最佳应力分布以及在例如半导体芯片与结合有芯片的结构之间的热膨胀系数(CTE)失配,因此常规的通孔可能面临可靠性方面的挑战。例如,当半导体芯片内的导电通孔经由相对薄和刚性的电介质材料而绝缘时,在通孔内可能存在显著的应力。另外,当半导体芯片结合到聚合物基板的导电元件时,芯片和基板的较高 CTE 结构之间的电连接将由于 CTE 失配而承受应力。

[0009] 在芯片的任何物理布置方式中,尺寸是重要的考虑因素。随着便携式电子装置的迅速发展,使芯片的物理布置方式更为紧凑这一需要变得越来越强烈。仅以举例的方式,通常称为“智能手机”的装置将移动电话的功能与强大的数据处理器、存储器和辅助装置例如,全球定位系统接收器、电子相机、局域网络连接、以及高分辨率显示器和相关的图像处理芯片集成在一起。此类装置可以提供诸如全互联网连接、包括全分辨率视频在内的娱乐、导航、电子银行服务以及甚至更多的功能,所有这些功能全部存在于一台袖珍型装置中。复杂的便携式装置需要将很多芯片组装到小的空间中。此外,一些芯片具有通常被称为 I/O 的多个输入和输出连接。这些 I/O 必须与其他芯片的 I/O 互连。所述互连应当是短的,并且应当具有低阻抗以最小化信号传播延迟。形成所述互连的元件不应显著增大组件的尺寸。

类似的需求在例如数据服务器(诸如在互联网搜索引擎中使用的那些)的其他应用中出现。例如,在复杂的芯片之间提供多个短的低阻抗互连的结构可以增大搜索引擎的带宽并降低其功率消耗。

[0010] 虽然已在半导体通孔的形成和互连方面取得了进展,但是仍然需要改进以最小化半导体芯片的尺寸,同时增强电互连的可靠性。本发明的这些属性可通过如下文所述构造的微电子封装而实现。

发明内容

[0011] 根据本发明的一个方面,微电子单元可包括半导体基板,所述半导体基板具有正面和远离所述正面的背面并且在其中实施有多个有源半导体器件,该基板具有暴露在正面处的多个导电焊盘、以对称或非对称分布的方式布置在整个背面区域上的多个开口、与所述多个导电焊盘中的相应第一焊盘和第二焊盘电连接的第一导电通孔和第二导电通孔、在所述开口的相应的开口内延伸的多个第一导电互连件和第二导电互连件、以及暴露在背面处以用于与外部元件互连的第一导电触点和第二导电触点。

[0012] 开口的分布可包括在沿背面的第一方向上间隔开的至少 m 个开口和在沿背面横向于所述第一方向的第二方向上间隔开的至少 n 个开口。 m 和 n 中的每一者均可大于 1。每个第一导电互连件可连接到第一导电通孔。每个第二导电互连件可连接到第二导电通孔。第一导电触点和第二导电触点可分别电连接到第一导电互连件和第二导电互连件。所述多个第一导电互连件可在基本平行于正面的水平方向上通过所述多个开口中的至少一个与所述多个第二导电互连件分隔开。所述至少一个开口可至少部分地填充有绝缘电介质材料。

[0013] 在具体实施例中,每个导电互连件可包括在基本上垂直于正面的竖直方向上延伸的部分。所述多个第一导电互连件可在水平方向上通过半导体基板的材料彼此分隔开。在一个实施例中,每个导电互连件可在水平方向上具有 5 微米或更小的宽度。在示例性实施例中,每个导电通孔可具有截头圆锥体形状。在具体实施例中,第一导电触点和第二导电触点可在基本上垂直于正面的竖直方向上与相应的多个第一导电互连件和第二导电互连件对齐。在一个实施例中,每个焊盘可具有暴露在正面处的顶面和远离该顶面的底面。第一导电通孔可从相应的第一焊盘和第二焊盘的底面延伸穿过所述第一焊盘和第二焊盘到达其顶面。

[0014] 在示例性实施例中,第一导电通孔和第二导电通孔可不延伸穿过相应的第一焊盘和第二焊盘。在具体实施例中,微电子单元也可包括至少一个小孔。每个小孔可从所述开口中的两个或更多个延伸至所述焊盘中的相应一个焊盘的至少底面。第一导电通孔和第二导电通孔可在所述至少一个小孔的相应的第一小孔和第二小孔内延伸。在一个实施例中,第一导电通孔和第二导电通孔可包括掺杂的半导体材料。在示例性实施例中,第一导电通孔和第二导电通孔可分别直接连接到第一焊盘和第二焊盘。在具体实施例中,第一导电通孔和第二导电通孔可通过在第一焊盘和第二焊盘之间延伸的中间导电结构与相应的第一焊盘和第二焊盘电连接。

[0015] 根据本发明的另一个方面,互连基板可包括如下基板:其具有小于 $8\text{ppm}/^\circ\text{C}$ 的有效 CTE,具有第一表面和远离所述第一表面的第二表面,并具有在第一表面和第二表面之间

延伸的多个开口、多个第一导电互连件和第二导电互连件、以及暴露在第一表面和第二表面处以用于与外部元件互连的第一导电触点组和第二导电触点组,其中每个导电互连件在开口的相应一个内延伸并具有与第一表面和第二表面相邻的末端。所述开口能够以对称或非对称分布的方式布置在第一表面的整个区域上。所述开口中的至少 m 个开口可在沿第一表面的第一方向上间隔开,并且至少 n 个开口可在沿第一表面横向于所述第一方向的第二方向上间隔开。 m 和 n 中的每一者均可大于 1。

[0016] 每组第一导电触点可包括暴露在第一表面处的第一导电触点和暴露在第二表面处的第一导电触点,并且所述多个第一导电互连件与此组第一导电触点电连接。每组第二导电触点可包括暴露在第一表面处的第二导电触点和暴露在第二表面处的第二导电触点,并且多个第二导电互连件与此组第二导电触点电连接。所述多个第一导电互连件可在基本上平行于第一表面的水平方向上通过绝缘构件与所述多个第二导电互连件分隔开,所述绝缘构件在位于第一表面和第二表面之间并至少部分地填充有绝缘电介质材料的所述多个开口中的至少一个内延伸。

[0017] 在一个实施例中,每个导电互连件可包括在基本上垂直于第一表面的竖直方向上延伸的部分。所述多个第一导电互连件可在水平方向上通过半导体基板材料彼此分隔开。在具体实施例中,每个导电互连件可在水平方向上具有 5 微米或更小的宽度。在示例性实施例中,第一导电触点组和第二导电触点组可在基本上垂直于第一表面的竖直方向上与相应的所述多个第一导电互连件和第二导电互连件对齐。在一个实施例中,每个开口可衬有电介质层。

[0018] 根据本发明的另一个方面,互连基板可包括如下基板:其具有小于 $8\text{ppm}/^\circ\text{C}$ 的有效 CTE,具有第一表面和远离所述第一表面的第二表面,并具有在第一表面和第二表面之间延伸的多个开口、在开口的第一子集的相应开口内延伸的多个导电互连件以及至少部分地在开口的第二子集的相应开口内延伸的绝缘电介质材料。在具体实施例中,绝缘电介质材料可完全填充开口的第二子集的相应开口。在一个实施例中,开口的第二子集可包括比开口的第一子集更多的开口。

[0019] 根据本发明的另一个方面,互连基板可包括具有第一表面和远离所述第一表面的第二表面且具有小于 $8\text{ppm}/^\circ\text{C}$ 的有效 CTE 的基板,该基板具有在第一表面和第二表面之间延伸穿过第一材料区域的多个开口,每个开口具有分别与第一表面和第二表面相邻的第一末端和第二末端。互连基板还可包括在开口的第一子集的相应开口内延伸的多个导电互连件,每个导电互连件具有与第一表面和第二表面相邻的第一末端和第二末端。互连基板还可包括在开口的第二子集的相应开口内延伸的多个绝缘构件,每个绝缘构件具有位于邻近第一表面和第二表面的相应开口内的第一端部和相对的第二端部,该第一端部和第二端部基本上由电介质材料组成,该电介质材料与第一材料不同。

[0020] 导电互连件中的至少两个可通过至少一个绝缘构件彼此分隔开,使得没有电流可流过所述至少两个导电互连件之间的绝缘构件,并且没有电流可流过第一端部和第二端部之间的绝缘构件。在一个实施例中,绝缘构件可包括第一端部和第二端部之间的空隙。在具体实施例中,基板可基本上由半导体材料组成。在示例性实施例中,基板可基本上由玻璃或陶瓷材料组成。

[0021] 本发明的另外方面提供了包括根据本发明上述方面所述的导电通孔结构、根据本

发明上述方面所述的复合芯片、或这两者以及其他电子器件的系统。例如,该系统可以设置在单个外壳中,所述外壳可以是便携式外壳。根据本发明的该方面的优选实施例的系统可能比类似的常规系统更加紧凑。

[0022] 根据本发明的另一个方面,一种制造微电子单元的方法可包括:形成从半导体基板的第一表面朝着远离所述第一表面的第二表面延伸的多个开口,所述基板具有暴露在第二表面处的多个导电焊盘;形成在所述开口中的相应开口内延伸的多个第一导电互连件和第二导电互连件;以及形成与所述多个导电焊盘中的相应第一焊盘和第二焊盘电连接的第一导电通孔和第二导电通孔。所述开口能够以对称或非对称分布的方式布置在第一表面的整个区域上。所述开口中的至少 m 个开口可在沿第一表面的第一方向上间隔开,并且至少 n 个开口可在沿第一表面横向于所述第一方向的第二方向上间隔开。 m 和 n 中的每一者均可大于 1。该基板可实施有多个有源半导体器件。每个第一导电互连件可电连接到第一导电通孔。每个第二导电互连件可电连接到第二导电通孔。

[0023] 在示例性实施例中,该方法还可包括沉积至少部分地填充多个开口中的至少一个的绝缘电介质材料。所述多个第一导电互连件可在基本平行于第一表面的水平方向上通过所述多个开口中的至少一个与所述多个第二导电互连件分隔开。在具体实施例中,每个导电互连件可包括在基本上垂直于第一表面的竖直方向上延伸的部分。所述多个第一导电互连件可在基本上平行于第一表面的水平方向上通过半导体基板材料彼此分隔开。

[0024] 根据本发明的另一个方面,一种制造微电子单元的方法可包括:形成从半导体基板的第一表面朝着远离所述第一表面的第二表面延伸的多个开口,所述基板具有暴露在第二表面处的多个导电焊盘;移除在开口的第一子集和第二子集的相应开口之间延伸的半导体基板材料以形成占据与开口的相应第一子集和第二子集共延伸的区域的相应第一腔体和第二腔体;形成在相应的第一腔体和第二腔体内延伸的第一导电互连件和第二导电互连件;以及形成与所述多个导电焊盘中的相应第一焊盘和第二焊盘电连接的第一导电通孔和第二导电通孔。

[0025] 所述开口能够以对称或非对称分布的方式布置在第一表面的整个区域上。所述开口中的至少 m 个开口可在沿第一表面的第一方向上间隔开,并且至少 n 个开口可在沿第一表面横向于所述第一方向的第二方向上间隔开。 m 和 n 中的每一者均可大于 1。该基板可实施有多个有源半导体器件。所述第一导电通孔和第二导电通孔可与相应的第一导电互连件和第二导电互连件电连接。

[0026] 在具体实施例中,该方法还可包括沉积至少部分地填充所述多个开口中的至少一个的绝缘电介质材料。所述第一导电互连件可在基本平行于第一表面的水平方向上通过所述多个开口中的至少一个与所述第二导电互连件至少部分地分隔开。在一个实施例中,所述方法还可包括形成被暴露以用于与外部元件互连的第一导电触点和第二导电触点,所述第一导电触点和第二导电触点分别电连接到第一导电互连件和第二导电互连件。在示例性实施例中,第一导电触点和第二导电触点可在基本上垂直于第一表面的竖直方向上与相应的第一导电互连件和第二导电互连件对齐。在具体实施例中,该方法还可包括形成第一小孔和第二小孔,该第一小孔和第二小孔通过从上述第二表面上方施加到相应的第一焊盘和第二焊盘的处理延伸穿过相应的第一焊盘和第二焊盘。

[0027] 在一个实施例中,第一导电通孔和第二导电通孔可在相应的第一小孔和第二小孔

内形成并且延伸穿过相应的第一焊盘和第二焊盘。在示例性实施例中,每个导电通孔的触点部分可暴露在第二表面处以用于与外部元件互连。在具体实施例中,形成第一小孔和第二小孔的步骤可包括从半导体基板移除材料,使得小孔部分地延伸穿过半导体基板的厚度。在一个实施例中,可执行形成第一小孔和第二小孔的步骤,使得每个相应的第一导电互连件和第二导电互连件的表面暴露在相应的小孔内。在示例性实施例中,所述多个开口可被形成为使得第一导电通孔和第二导电通孔暴露在所述多个开口的一些内并且第一导电互连件和第二导电互连件被形成为分别与第一导电通孔和第二导电通孔接触。

[0028] 根据本发明的另一个方面,一种制造互连基板的方法可包括:形成多个开口,所述多个开口从具有小于 $8\text{ppm}/^\circ\text{C}$ 的有效 CTE 的基板的第一表面朝着远离所述第一表面的第二表面延伸;形成多个第一导电互连件和第二导电互连件;以及形成暴露在所述第一表面和第二表面处以用于与外部元件互连的第一导电触点组和第二导电触点组。所述开口能够以对称或非对称分布的方式布置在第一表面的整个区域上。所述开口中的至少 m 个开口可在沿第一表面的第一方向上间隔开,并且至少 n 个开口可在沿第一表面横向于所述第一方向的第二方向上间隔开。 m 和 n 中的每一者均可大于 1。

[0029] 每个导电互连件可在开口的相应之一内延伸并且可以具有与第一表面和第二表面相邻的末端。每组第一导电触点可包括暴露在所述第一表面处的第一导电触点和暴露在第二表面处的第一导电触点,其中多个第一导电互连件与此组第一导电触点电连接。每组第二导电触点可包括暴露在所述第一表面处的第二导电触点和暴露在第二表面处的第二导电触点,并且所述多个第二导电互连件与此组第二导电触点电连接。

[0030] 在一个实施例中,该方法还可包括沉积至少部分地填充所述多个开口中的至少一个的绝缘电介质材料。所述多个第一导电互连件可在基本平行于第一表面的水平方向上通过所述多个开口中的至少一个与所述多个第二导电互连件分隔开。在具体实施例中,每个导电互连件可包括在基本上垂直于第一表面的竖直方向上延伸的部分。所述多个第一导电互连件可在基本上平行于第一表面的水平方向上通过基板材料彼此分隔开。

[0031] 根据本发明的另一个方面,一种制造互连基板的方法可包括:形成多个开口,所述多个开口从具有小于 $8\text{ppm}/^\circ\text{C}$ 的有效 CTE 的基板的第一表面朝着远离所述第一表面的第二表面延伸;移除在开口的第一子集和第二子集的相应开口之间延伸的半导体基板材料以形成占据与开口的相应第一子集和第二子集共延伸的区域的相应第一腔体和第二腔体;形成在相应的第一腔体和第二腔体内延伸的第一导电互连件和第二导电互连件;以及形成暴露在所述第一表面和第二表面处以用于与外部元件互连的第一导电触点组和第二导电触点组。

[0032] 所述开口能够以对称或非对称分布的方式布置在第一表面的整个区域上。所述开口中的至少 m 个开口可在沿第一表面的第一方向上间隔开,并且至少 n 个开口可在沿第一表面横向于所述第一方向的第二方向上间隔开。 m 和 n 中的每一者均可大于 1。第一导电互连件和第二导电互连件中的每一个可具有与第一表面和第二表面相邻的末端。每组第一导电触点可包括暴露在所述第一表面处的第一导电触点和暴露在第二表面处的第一导电触点,并且第一导电互连件与此组第一导电触点电连接。每组第二导电触点可包括暴露在所述第一表面处的第二导电触点和暴露在第二表面处的第二导电触点,并且第二导电互连件与此组第二导电触点电连接。

[0033] 在一个实施例中,该方法还可包括沉积至少部分地填充所述多个开口中的至少一

个的绝缘电介质材料。所述第一导电互连件可在基本平行于第一表面的水平方向上通过所述多个开口中的至少一个与所述第二导电互连件至少部分地分隔开。在示例性实施例中，该方法还可包括在形成导电触点的步骤之前从第二表面移除材料，使得在第一表面和第二表面之间的半导体基板的厚度减小，并使得每个导电互连件的表面在第二表面处暴露。在具体实施例中，基板可基本上由半导体材料组成。在一个实施例中，基板可基本上由玻璃或陶瓷材料组成。

[0034] 在示例性实施例中，形成多个开口的步骤可通过各向异性刻蚀执行，使得多孔硅的区域被制备成从基板的第一表面延伸。在一个实施例中，对称或非对称分布的开口的位置可不由掩膜所决定。在具体实施例中，第一导电通孔和第二导电通孔能够连接到相应的第一电位和第二电位。在示例性实施例中，沉积绝缘电介质材料的步骤可在形成导电互连件的步骤之前执行。

附图说明

[0035] 图 1A 为示出了根据本发明的一个实施例的通孔结构的侧面剖视图。

[0036] 图 1B 为沿图 1A 的线 1B-1B 截取的图 1A 的微电子单元的俯视剖视图，其示出了位于虚线中的导电触点位置的投影。

[0037] 图 1C 为图 1A 的微电子单元的局部剖视图，其示出了包括电介质层的通孔结构的一个实施例，所述电介质层位于暴露在基板背面处的导电触点的一些部分之下。

[0038] 图 2A-2C 和 2E-2I 为示出根据图 1A 和 1B 中所示本发明实施例的制造过程的各阶段的剖视图。

[0039] 图 2D 为横跨线 2D-2D 截取的图 2C 中所示制造阶段的一部分的放大局部剖视图。

[0040] 图 3A 为示出了根据另一个实施例的通孔结构的侧面剖视图。

[0041] 图 3B 为沿图 3A 的线 3B-3B 截取的图 3A 的微电子单元的俯视剖视图，其示出了位于虚线中的导电触点位置的投影。

[0042] 图 4 为示出了根据另一个实施例的通孔结构的剖视图。

[0043] 图 5 为示出了根据另一个实施例的通孔结构的剖视图。

[0044] 图 6A-6E 为示出根据图 5 中所示本发明实施例的制造过程的各阶段的剖视图。

[0045] 图 7 为示出了根据另一个实施例的通孔结构的剖视图。

[0046] 图 8A 和 8B 为示出根据图 7 中所示本发明实施例的制造过程的各阶段的剖视图。

[0047] 图 9 为根据本发明一个实施例的系统的示意图。

具体实施方式

[0048] 如图 1A 和 1B 所示，微电子单元 10 可包括具有背面或第一表面 21 和远离所述背面或第一表面 21 的正面或第二表面 22 的硅基板 20、以及在所述正面和背面之间延伸穿过的多个硅通孔 30 (“TSV”)。

[0049] 在一些实施例中，微电子单元 10 可以是半导体芯片、晶圆等。基板 20 优选地具有小于 $8 \times 10^{-6}/^{\circ}\text{C}$ (或 $\text{ppm}/^{\circ}\text{C}$) 的热膨胀系数 (“CTE”)。在具体实施例中，基板 20 可具有小于 $7 \times 10^{-6}/^{\circ}\text{C}$ 的 CTE。基板 20 可基本上由无机材料诸如硅组成。在基板 20 由诸如硅的半导体制成的实施例中，多个有源半导体器件(例如，晶体管、二极管等)可设置在位于正面 22 处

和 / 或正面下方的有源半导体区域 23 中。正面 22 和背面 21 之间的基板 20 的厚度通常小于 $200\ \mu\text{m}$ 并且可能显著更小, 例如 $130\ \mu\text{m}$ 、 $70\ \mu\text{m}$ 或甚至更小。

[0050] 在图 1A 中, 平行于背面 21 的方向在本文中被称为“水平”或“横向”方向, 而垂直于背面的方向在本文中被称为“向上”或“向下”方向且在本文中还被称为“竖直”方向。在本文中提到的方向处于所提及结构的参照系中。因此, 这些方向可以在垂直或重力参照系中以任意取向设置。在陈述一个特征设置在“一个表面上方”比另一个结构更大的高度处时, 是指在同样的垂直方向上所述一个结构与所述表面的距离大于所述另一个结构与所述表面的距离。相反, 在陈述一个结构设置在“一个表面上方”比另一个结构更小的高度处时, 是指在同样的垂直方向上所述一个结构与所述表面的距离小于所述另一个结构与所述表面的距离。

[0051] 基板 20 还可包括暴露在正面 22 处的多个导电焊盘 24。虽然未特别地在图 1A 和 1B 中示出, 但是在有源半导体区域 23 中的有源半导体器件通常电连接到导电焊盘 24。因此, 有源半导体器件可通过所采用的在基板 20 的一个或多个电介质层之内或上方延伸的配线而被以导电方式触及。在一些实施例中(未示出), 导电焊盘 24 可能不直接暴露在基板 20 的正面 22 处。相反, 导电焊盘 24 可电连接到延伸至暴露在基板 20 的正面 22 处的端子的迹线。导电焊盘 24 和本文所公开的任何其他导电结构可由任何导电金属包括例如铜、铝或金制成。导电焊盘 24 和本文所公开的任何导电焊盘可具有包括圆形、椭圆形、三角形、正方形、矩形或任何其他形状在内的任何俯视图形状。

[0052] 如本公开中所使用, 在陈述导电元件“暴露在”基板的表面处时, 是指所述导电元件可用于与在垂直于所述基板表面的方向上从所述基板外部朝所述基板表面移动的理论点接触。因此, 暴露在基板的表面处的端子或其他导电元件可从该表面突出; 可以与该表面齐平; 或可相对于该表面凹进并穿过基板中的孔或凹陷暴露。

[0053] 基板 20 还可包括位于正面 22 和导电焊盘 24 之间的电介质层 25。电介质层 25 使导电焊盘 24 与硅基板 20 电绝缘。电介质层 25 可称为微电子单元 10 的“钝化层”。电介质层 25 可包含无机电介质材料或有机电介质材料或它们二者。电介质层 25 可包括电沉积的共形涂层或其他电介质材料, 例如, 可光成像的聚合材料, 例如, 焊料掩膜材料。基板 20 还可包括覆盖在背面 21 上的另一个电介质层(未示出)。这种电介质层可使导电元件与基板 20 的背面 21 电绝缘。

[0054] 在本文所述的实施例中, 电介质层 25 的厚度可显著小于基板 20 的厚度, 使得基板可具有大致等于基板的材料的 CTE 的有效 CTE, 即便电介质层 25 的 CTE 显著高于基板的材料的 CTE。在一个实例中, 基板 20 可具有小于 $8 \times 10^{-6}/^{\circ}\text{C}$ (或 $\text{ppm}/^{\circ}\text{C}$) 的有效 CTE。

[0055] 基板 20 还可包括从背面 21 朝着正面 22 延伸并部分地穿过硅基板 20 的多个开口 12。如图 1B 所示, 开口 12 能够以 $m \times n$ 阵列布置, m 和 n 中的每一者均大于 1。在具体实例中, 所述多个开口能够以对称或非对称分布的方式布置在背面 21 的整个区域上, 其中至少 m 个在第一方向 D1 上延伸并且 n 个在横向于所述第一方向的第二方向 D2 上延伸, m 和 n 中的每一者均大于 1。

[0056] 在具体实施例中(在图 2D 中示出), 开口 12 可布置在不止一个阵列中, 包括在微电子元件 10 的区域 A 中的 $m_1 \times n_1$ 阵列以及在微电子元件的区域 B 中的 $m_2 \times n_2$ 阵列, 其中 m_1 可能与 m_2 相同或不同, n_1 可能与 n_2 相同或不同。在其中 m_1 与 m_2 相同并且 n_1 与 n_2 相同

的一个实例中, $m1 \times n1$ 阵列可在基本上平行于基板 20 的背面 21 的水平方向 D3 上从 $n2 \times m2$ 阵列错开。

[0057] 基板 20 还可包括部分地延伸穿过基板 20 的厚度 T 的多个小孔 14, 每个小孔从两个或更多个开口 12 延伸穿过电焊盘 24 中的相应一个。每个小孔 14 包括内表面 15, 所述内表面以介于 0 至 90 度之间的角度从导电焊盘 24 延伸穿过基板 20 到达由正面 22 限定的水平面。内表面 15 可具有恒定的倾斜度或变化的倾斜度。例如, 内表面 15 相对于由正面 22 限定的水平面的角度或倾斜度的大小可在内表面朝背面 21 进一步穿透时减小(即, 变为较小正值或较小负值)。在具体实施例中, 每个小孔 14 可在从相应的导电焊盘 24 朝着开口 12 的方向上逐渐变小。在一些实例中, 每个小孔 14 可具有任何三维形状, 除了别的以外, 包括例如截头圆锥体形、圆柱体形、立方体形或棱柱形。

[0058] 开口 12 可从背面 21 朝着正面 22 延伸超过一半, 使得开口在垂直于背面 21 的方向上的高度 H1 大于延伸穿过基板 20 的小孔 14 部分的高度 H2。

[0059] 所述多个硅通孔 30 可包括在开口 12 的相应开口内延伸的多个导电互连件 40、在小孔 14 的相应一些小孔内延伸的多个导电通孔 50、以及暴露在背面 22 处以用于与外部元件互连的多个导电触点 60。在具体实施例中, 所述多个 TSV30 中的第一 TSV30a 和第二 TSV30b 可连接到相应的第一电位和第二电位。

[0060] 每个 TSV30 可包括各自与单个共用导电通孔 50 和单个共用导电触点 60 电连接的多个导电互连件 40。在具体实例中, 第一 TSV30a 可包括在开口 12 的相应一些开口内延伸的多个第一导电互连件 40, 每个第一导电互连件连接到单个共用的第一导电通孔 50 和单个共用的第一导电触点 60, 并且第二 TSV30b 可包括在开口的相应一些开口内延伸的多个第二导电互连件, 每个第二导电互连件连接到单个共用的第二导电通孔和单个共用的第二导电触点。

[0061] 在一个实施例中, 特定 TSV30 的所述多个导电互连件 40 中的每一个可包括在基本上垂直于背面 21 的竖直方向 V 上延伸的部分 41, 所述多个导电互连件在基本上平行于背面的水平方向 H 上通过硅基板 20 的材料彼此分隔开。在此类实施例中, 每个导电互连件 40 的竖直延伸部分 41 能够直接接触与之相邻的硅基板 20 的材料。在具体实例中, 每个导电互连件 40 可以在水平方向 H 上具有 5 微米或更小的宽度 W。

[0062] 每个 TSV30 还可包括相应的导电通孔 50。每个导电通孔 50 可在相应的小孔 14 内延伸并且可与相应的导电焊盘 24 电连接。如图 1A 中所示, 每个导电通孔 50 可延伸穿过相应的导电焊盘 24 并且可具有暴露在基板 20 的正面 22 处的触点部分 51。在此类实施例中, 每个导电通孔 50 的外表面 52 可直接接触暴露在相应的小孔 14 内的导电焊盘 24 的内表面 26。导电焊盘 24 的此内表面 26 可在暴露在基板 20 的正面 22 处的导电焊盘的顶面 27 与远离所述顶面的底面 28 之间延伸。在一个实施例中, 每个导电通孔 50 可以从相应导电焊盘 24 的底面 28 延伸穿过所述导电焊盘 24 到达其顶面 27。

[0063] 每个导电通孔 50 (或本文所述的任何其他导电触点) 与微电子单元 10 外部的元件之间的连接可以通过导电块或导电结合材料(未示出)进行。此类导电块可包括具有相对低的熔融温度的易熔金属, 如焊料、锡或包含多种金属的低共熔混合物。作为另外一种选择, 此类导电块可包括可润湿金属, 例如铜或其他贵金属或非贵金属, 其熔融温度高于焊料或另一种易熔金属。此类可润湿金属可以结合相应的特征, 例如互连元件的易熔金属特

征。在具体实施例中,此类导电块可包含散布在介质中的导电材料,例如导电膏,如金属填充膏、焊料填充膏或各向同性的导电粘合剂或各向异性的导电粘合剂。

[0064] 与相应的小孔 14 相似,每个导电通孔 50 的外表面 52 能够以介于 0 和 90 度之间的角度从导电焊盘 24 延伸穿过基板 20 到达由正面 22 限定的水平面。外表面 52 可具有恒定的倾斜度或变化的倾斜度。例如,外表面 52 相对于由正面 22 限定的水平面的角度或倾斜度的大小可在外表面朝背面 21 进一步穿透时减小。在具体实施例中,每个导电通孔 50 可在从相应的导电焊盘 24 朝着开口 12 的方向上逐渐变小。在一些实例中,每个导电通孔 50 可具有任何三维形状,除了别的以外,包括例如截头圆锥体形、圆柱体形、立方体形或棱柱形。

[0065] 如图 1A 所示,导电通孔 50 是实心的。在其他实施例中(未示出),每个导电通孔 50 可包括填充有电介质材料的内部空间。根据处理条件,导电通孔 50 可被成形为实心的或中空的。在适当的处理条件下,可制备包括内部空间的导电通孔 50,然后可用电介质材料填充该内部空间。

[0066] 每个 TSV30 还可包括暴露在背面 21 处以用于与外部元件互连的相应导电触点 60。每个导电触点 60 可在导电触点的底面 61 处电连接到其 TSV30 的每个导电互连件 40。在一个实施例中,每个导电触点 60 可在垂直方向 V 上与其 TSV30 的相应多个导电互连件 40 对齐。在此类实施例中,如图 1B 所示,导电触点 60 可在第一方向 D1 和横向于所述第一方向的第二方向 D2 上覆盖所有的导电互连件 40。

[0067] 在具体实施例中,由导电触点 60 的顶面 62 限定的平面可基本上平行于由基板 20 的背面 21 限定的平面。如图所示,导电触点 60 的底面 61 大致位于由基板 20 的背面 21 限定的平面处。在其他实施例中,导电触点 60 的底面 61 可位于由背面 21 限定的平面上方或下方。在一些实施例中(未示出),上述的导电块或导电结合材料可暴露在导电触点 60 的顶面 62 处以用于与外部元件互连。

[0068] 如图所示,导电触点 60 具有导电接合焊盘例如薄的平坦构件的形状。在具体实例中,导电触点 60 中的每一个(以及本文所述的任何其他导电触点)可具有任何俯视图形状,包括例如圆形焊盘形状、矩形形状、椭圆形形状、正方形形状、三角形形状、或更复杂的形状。导电触点 60 中的每一个可具有任何三维形状,包括例如截头圆锥体形的导电柱。可使用如在 2010 年 7 月 8 日提交的共同拥有的美国专利申请 12/832,376 中所示和所述的导电柱的实例。

[0069] 微电子单元 10 还可包括在多个开口 12 的每一个内延伸的绝缘电介质材料 70。此类电介质材料 70 可在位于第一 TSV30a 的多个第一导电互连件 40 与第二 TSV30b 的多个第二导电互连件 40 之间的至少一些开口 12 内延伸,使得容纳电介质材料的至少一个开口可在水平方向 H 上将所述多个第一导电互连件与所述多个第二导电互连件分隔开。电介质材料 70 可使第一 TSV30a 的导电互连件 40 与第二 TSV30b 的导电互连件 40 至少部分地电绝缘。电介质材料 70 也可以在位于靠近基板 20 的多孔硅区域 R 的外周边 18 的开口 12 中的至少一些开口内延伸。绝缘电介质材料 70 可包括无机电介质材料或有机电介质材料或它们二者。在具体实施例中,绝缘电介质材料 70 可包括顺应性电介质材料,使得绝缘电介质材料具有足够低的弹性模量和足够的厚度以使得该模量和厚度的乘积提供顺应性。

[0070] 在具体实施例中,位于特定 TSV30 的导电互连件 40 周围的一些开口 12 可仅部分

地填充有绝缘电介质材料 70'，使得空隙 71 位于电介质材料和相应开口 12 的底面 13 之间。此类空隙 71（以及本文所述的所有其他空隙）可填充有空气，或在特定实施例中，此类空隙可填充有电介质材料，诸如绝缘电介质材料 70。

[0071] 在一个实例中，位于特定的 TSV30 的导电触点 60 之下的一个或多个开口 12 可保持开放而不是填充有导电互连件 40，使得空隙 43 位于开口之内。此类开口 12 可部分地填充有绝缘电介质材料 70'，使得空隙 43 可位于电介质材料和相应开口的底面 13 之间。在具体实例中，位于特定 TSV30 的导电触点 60 之下的一个或多个开口 12 可完全地填充有绝缘电介质材料 70。

[0072] 在示例性实施例中，可将特定 TSV30 的相邻导电互连件 40 之间的基板 20 的一些材料移除，使得空隙 44 沿导电互连件的高度 H1 的至少一部分在两个或更多个相邻的导电互连件之间延伸。在此类实施例中，可以保留在这些相邻的导电互连件 40 之间延伸的基板 20 的材料的一部分 45，使得空隙 44 不向下一直延伸到开口 12 的底面 13 的深度。在具体实例中，此类空隙 44 可部分地或完全地填充有绝缘电介质材料 70'。在一个实例中，绝缘电介质材料 70' 可以是环氧树脂。

[0073] 在示例性实施例中，此类空隙 71、43 和 44 可为导电互连件 40 提供额外的膨胀空间，而不会在基板 20 内和 / 或抵靠触点 60 和 / 或抵靠导电通孔 50 产生如在不存在空隙时那么大的应力。此类空隙可改善此类实施例中的微电子单元 10 的性能，特别是当基板 20 的材料的 CTE 与导电互连件 40 的材料的 CTE 之间存在相对大的失配时。

[0074] 微电子单元 10 还可包括在每个小孔 14 内延伸并覆盖每个小孔的内表面 15 的绝缘电介质层 75。在一个实例中，此绝缘电介质层 75 可共形地涂覆暴露在小孔 14 内的内表面 15。每个绝缘电介质层 75 可将导电通孔 50 与小孔 14 的内表面 15 分隔开和电绝缘，使得导电通孔至少部分地与基板 20 的材料电绝缘。在具体实施例中，绝缘电介质层 75 还可以覆盖相应导电焊盘 24 的内表面 26。在此类实施例中，导电通孔 50 可在导电焊盘 24 的顶面 27 处而非内表面 26 处接触导电焊盘 24。绝缘电介质层 75 可包括无机电介质材料或有机电介质材料或它们二者。在具体实施例中，绝缘电介质层 75 可包括顺应性电介质材料。

[0075] 如图 1C 所示，微电子单元 10 还可包括覆盖基板 20 的背面 21 的绝缘电介质层 76，使得导电触点 60 覆盖绝缘电介质层 76。在一个实例中，此绝缘电介质层 76 可共形地涂覆在相邻开口 12 之间延伸的背面 21 的部分。绝缘电介质层 76 可将导电触点 60 与基板 20 的材料分隔开和电绝缘。绝缘电介质层 76 可包括无机电介质材料或有机电介质材料或它们二者。在具体实施例中，绝缘电介质层 76 可包括顺应性电介质材料。

[0076] 微电子单元 10 还可包括覆盖开口 12 的内表面 11 的绝缘电介质层（未示出），使得导电互连件 40 在此绝缘电介质层之内延伸。在一个实例中，此绝缘电介质层可共形地涂覆开口 12 的内表面 11。绝缘电介质层可将导电互连件 40 与基板 20 的材料分隔开和电绝缘。绝缘电介质层可包括无机电介质材料或有机电介质材料或它们二者。在具体实施例中，绝缘电介质层可包括顺应性电介质材料。

[0077] 现在将结合图 2A-2I 描述一种制造微电子单元 10（图 1A 和 1B）的方法。如图 2A 所示，硅基板 20 可具有位于正面 22 处和 / 或其下方的有源半导体区域 23。基板 20 还可包括暴露在正面 22 处的多个导电焊盘 24。基板 20 还可包括位于正面 22 和导电焊盘 24 之间的电介质层 25。

[0078] 如图 2B 所示,可减小在正面 22 和初始背面 21' 之间的基板 20 的厚度,由此暴露最终的背面 21。可使用对初始背面 21' 的磨削、研磨或抛光或它们的组合来减小基板 20 的厚度。在该步骤期间,例如基板 20 的初始厚度 T1 (在图 2A 中示出)可以从约 700 μm 减小至约 130 μm 或更小的厚度 T2 (在图 2B 中示出)。

[0079] 其后,如图 2C 所示,可将材料从基板 20 的背面 21 移除以形成从第一表面朝着正面 22 延伸的多个开口 12。在具体实例中,开口 12 能够以 $m \times n$ 阵列布置, m 和 n 中的每一者均大于 1,每个开口在垂直方向 V 上延伸。在一个实施例中,所述多个开口 12 能够以对称或非对称分布的方式布置在背面 21 的整个区域上,其中至少 m 个在第一方向 D1 上延伸并且 n 个在横向于所述第一方向的第二方向 D2 上延伸(图 1B), m 和 n 中的每一者均大于 1。

[0080] 在一个实例中,每个开口 12 可以在水平方向 H 上具有 5 微米或更小的宽度 W' 。每个开口 12 可以在垂直方向 V 上具有长度 H1。在一个实施例中,每个开口 12 的长度 H1 与宽度 W' 的比率可以为至少 10。在具体实例中,每个开口 12 的长度 H1 可以为至少 150 微米。在另一个实例中,各开口 12 可在水平方向 H 上限定 10 微米或更小的间距。

[0081] 在具体实施例中,开口 12 可以是通过各向异性蚀刻形成的多个孔,使得多孔硅的区域 R 被制备成从基板 20 的背面 21 延伸。在这种各向异性蚀刻过程中,可通过使硅基板 20 在基于氢氟酸的溶液中进行电化学溶解而形成多孔硅区域 R。制备成多孔的硅基板 20 的背面 21 可设置成与接触第一电极的氢氟酸接触,同时正面 22 可与第二电极接触以形成阳极化电路。

[0082] 在高阳极电流下,硅基板 20 的背面 21 可经历电抛光。当电流较低时,表面 21 的形态能够变得以很深地穿透至硅基板主体中的开口或孔 12 的致密阵列为主。最初,孔 12 可以开始在随机分布的阵列中形成。当相邻的孔 12 生长时,它们的耗尽区重叠并且这可阻止在水平方向 H 上的侧向蚀刻。蚀刻可仅在垂直方向 V 上进行,从而从各向同性改变为各向异性。该过程可以是自调节的,因为耗尽区沿孔的内表面 11 起到蚀刻阻挡层的作用,因此最终孔 12 的直径不能进一步增大。这迫使蚀刻仅在孔的底部处进行。在此类实施例中,对称或非对称分布的开口 12 的位置不由掩膜所决定。

[0083] 在此各向异性的蚀刻过程之后,第一开口 12 能够以 $m \times n$ 的阵列布置, m 和 n 中的每一者均大于 1。在具体实施例中,如图 2D 所示,开口 12 可布置在不止一个阵列中,包括在基板 20 的第一区域 A 中的 $m_1 \times n_1$ 阵列以及在基板的第二区域 B 中的 $m_2 \times n_2$ 阵列,其中 m_1 可与 m_2 相同或不同, n_1 可与 n_2 相同或不同。

[0084] 在具体实施例中(未示出),在开口 12 形成之后,可沉积绝缘电介质层(未示出)以覆盖在开口 12 的内表面 11 上,使得导电互连件 40 在被沉积在开口中时将在此绝缘电介质层内延伸(图 2G)。

[0085] 在具有覆盖开口 12 的内表面 11 上的绝缘电介质层的一个实施例中,可将掩膜施加到基板背面 21 的具有不期望在其中形成此电介质层的开口的部分。此类未涂布的开口 12 可稍后用导电互连件 40 填充,该导电互连件 40 具有直接接触基板 20 的材料的部分。此类导电互连件 40 可被包括在特定 TSV30 中,该 TSV30 可包括导电焊盘 24 的接地焊盘。

[0086] 可使用多种方法来形成覆盖在开口 12 的内表面 11 上的此绝缘电介质层,并且此类方法结合图 2F 在下文进行描述。在具体实例中,可使用化学气相沉积法 (CVD) 或原子层沉积法 (ALD) 来沉积覆盖在开口 12 的内表面 11 上的薄的绝缘电介质层。在一个实例中,

可在用于沉积此绝缘电介质层的低温过程中使用原硅酸四乙酯 (TEOS)。在示例性实施例中,可沉积一层二氧化硅、硼磷硅酸盐玻璃 (BPSG)、硼硅酸盐玻璃 (BSG)、或磷硅酸盐玻璃 (PSG) 以覆盖开口 12 的内表面 11,并且此类玻璃可以是经过掺杂的或不经掺杂的。

[0087] 其后,如图 2E 所示,可将掩膜层 17 沉积覆盖在基板 20 的背面 21 处的特定开口 12 或成组开口 12 上,其中当形成导电互连件 40 时期望避免在特定开口 12 或成组开口 12 处沉积金属(图 2G)。例如,掩膜层 17,诸如可光成像层,例如光致抗蚀剂层,可被沉积和图案化以仅覆盖背面 21 的一部分。

[0088] 此后,如图 2F 所示,可将绝缘电介质材料 70 形成为在未被掩膜层 17 覆盖的开口 12 内延伸。此类电介质材料 70 可在位于后续将包括第一 TSV30a 的多个第一导电互连件 40 和第二 TSV30b 的多个第二导电互连件 40 的开口 12 之间的至少一些开口 12 内延伸,使得容纳绝缘电介质材料 70 的至少一个开口可在水平方向 H 上将所述多个第一导电互连件与所述多个第二导电互连件分隔开。

[0089] 可使用多种方法形成绝缘电介质材料 70。在一个实例中,可将可流动的电介质材料施用到基板 20 的背面 21,然后可在“旋涂”操作期间将可流动的材料更均匀地分布在开口 12 的整个内表面 11 上,接着进行可包括加热在内的干燥循环。在另一个实例中,可将电介质材料的热塑性薄膜施用到背面 21,然后加热该组件,或在真空环境中,即置于低于外界压力的环境中加热。在另一个实例中,可使用气相沉积来形成绝缘电介质材料 70。

[0090] 在另一个实例中,可将包括基板 20 的组件浸入电介质沉积浴中以形成共形的电介质涂层或绝缘电介质材料 70。如本文所用,“共形涂层”是贴合被涂覆表面的轮廓的特定材料涂层,诸如当绝缘电介质材料 70 与开口 12 的内表面 11 的轮廓贴合时的涂层。可使用电化学沉积方法来形成共形的电介质材料 70,包括例如电泳沉积或电解沉积。

[0091] 在一个实例中,可使用电泳沉积技术来形成共形的电介质涂层,使得共形的电介质涂层仅被沉积到组件的暴露的导电和半导电表面上。在沉积期间,半导体器件晶圆被保持在期望的电位,并且电极浸入浴中,以将浴保持在不同的期望电位。然后将组件在适当的条件下保持在浴中充足的时间,以在所述基板的导电或半导电的暴露表面上形成电沉积的共形电介质材料 70,包括但不限于沿着开口 12 的内表面 11。只要在如此涂覆的表面和浴之间保持充分强的电场,就会发生电泳沉积。电泳沉积涂层是自我限制性的,因为在电泳沉积涂层到达由参数(例如,其沉积电压、浓度等)控制的某一厚度后,沉积就会停止。

[0092] 电泳沉积在基板 20 的导电和 / 或半导电外表面上形成连续和均匀厚度的共形涂层。另外,电泳涂层可被沉积成使其不形成在覆盖于基板 20 的背面 21 上的剩余钝化层上,这是因为其具有电介质(不导电)特性。换言之,电泳沉积的特性是其通常不会在一层电介质材料上形成,并且假如电介质材料层具有足够的厚度,则由于其具有电介质特性,就不会在覆盖于导体的电介质层上形成电泳沉积。通常,电泳沉积将不会发生在厚度大于约 10 微米至几十微米的电介质层上。共形的电介质材料 70 可以由阴极环氧树脂沉积前体形成。作为另外一种选择,可使用聚氨酯或丙烯酸沉积前体。在下面的表 1 中列举多种电泳涂层前体组合物和供应来源。

[0093] 表 1

[0094]

| | | | |
|----------------------|---------------------------|---------------------------|--------------------------|
| 电泳漆名称 | POWERCRON 645 | POWERCRON 648 | CATHOGUARD |
| 制造商信息 | | | |
| 制造商名称 | PPG | PPG | BASF |
| 类型 | 阴极 | 阴极 | 阴极 |
| 聚合物基材 | 环氧树脂 | 环氧树脂 | 环氧树脂 |
| 地点 | 宾夕法尼亚州匹兹堡(Pittsburgh, PA) | 宾夕法尼亚州匹兹堡(Pittsburgh, PA) | 迈阿密州南菲尔德(Southfield, MI) |
| 涂布数据 | | | |
| 无 Pb/Pf | 无 Pb | 无 Pb 或 Pf | 无 Pb |
| 有害空气污染物, g/L | | 60-84 | 符合规定 |
| 挥发性有机物, g/L (去掉水) | | 60-84 | <95 |
| 固化 | 20 分钟/175℃ | 20 分钟/175℃ | |
| 膜特性 | | | |
| 颜色 | 黑 | 黑 | 黑 |
| 厚度, μm | 10-35 | 10-38 | 13-36 |
| 铅笔硬度计硬度 | | 2H+ | 4H |
| 浴特性 | | | |
| 固体, %重量 | 20 (18-22) | 20 (19-21) | 17.0-21.0 |
| pH 值(25℃) | 5.9 (5.8-6.2) | 5.8 (5.6-5.9) | 5.4-6.0 |
| 导电率(25℃), μs | 1000-1500 | 1200-1500 | 1000-1700 |
| P/B 比 | 0.12-0.14 | 0.12-0.16 | 0.15-0.20 |
| 操作温度, °C | 30-34 | 34 | 29-35 |
| 时间, 秒 | 120-180 | 60-180 | 120+ |
| 阳极 | SS316 | SS316 | SS316 |
| 电压, 伏 | | 200-400 | >100 |
| 电泳漆名称 | ELECTROLAC | LECTRASEAL DV494 | LECTROBASE 101 |
| 制造商信息 | | | |
| 制造商名称 | MACDERMID | LVH COATINGS | LVH COATINGS |
| 类型 | 阴极 | 阳极 | 阴极 |
| 聚合物基材 | 聚氨酯 | 氨基甲酸酯 | 氨基甲酸酯 |
| 地点 | 康涅狄格州沃特伯里(Waterbury, CT) | 英国伯明翰(Birmingham, UK) | 英国伯明翰(Birmingham, UK) |
| 涂布数据 | | | |
| 无 Pb/Pf | | 无 Pb | 无 Pb |
| 有害空气污染物, g/L | | | |
| 挥发性有机物, g/L (去掉水) | | | |
| 固化 | 20 分钟/149℃ | 20 分钟/175℃ | 20 分钟/175℃ |
| 膜特性 | | | |
| 颜色 | 透明(+染色) | 黑 | 黑 |
| 厚度, μm | | 10-35 | 10-35 |

[0095]

| | | | |
|--------------------------|---------------|---------|---------|
| 铅笔硬度计硬度 | 4H | | |
| 浴特性 | | | |
| 固体, 重量% | 7.0 (6.5-8.0) | 10-12 | 9-11 |
| pH 值(25°C) | 5.5-5.9 | 7-9 | 4.3 |
| 导电率(25°C), μs | 450-600 | 500-800 | 400-800 |
| P/B 比 | | | |
| 操作温度, °C | 27-32 | 23-28 | 23-28 |
| 时间, 秒 | | | 60-120 |
| 阳极 | SS316 | 316SS | 316SS |
| 电压, 伏 | 40, 最大值 | | 50-150 |

[0096] 在另一个实例中, 电介质材料 70 可以被电解形成。该过程类似于电泳沉积, 不同的是沉积层的厚度不受与形成它的导电或半导电表面的接近度限制。这样, 电解沉积的电介质层可被形成根据根据需要所选择的厚度, 并且处理时间是所获得厚度的因素。

[0097] 此后, 如图 2G 所示, 可将掩膜层 17 从背面 21 移除, 并且多个导电互连件 40 可被形成为在电介质材料 70 形成于一些开口中之后在保持未被占据的开口 12 内延伸。导电互连件 40 可覆盖在开口 12 的内表面 11 上。

[0098] 为了形成导电互连件 40 (以及本文所述的任何其他导电元件), 一种示例性方法涉及通过将初级金属层溅射到基板 20 的暴露表面和开口 12 上、通过电镀或通过机械沉积中的一种或多种而沉积金属层。机械沉积可涉及将被加热的金属粒子流高速地射到待涂覆的表面上。该步骤可例如通过毯覆式沉积到背面 21 和内表面 11 上进行。在一个实施例中, 初级金属层包括铝或基本上由铝组成。在另一个具体实施例中, 初级金属层包括铜或基本上由铜组成。在另一个实施例中, 初级金属层包括钛或基本上由钛组成。

[0099] 可在形成导电互连件 40 (以及本文所述的任何其他导电元件) 的过程中使用一种或多种其他示例性金属。在具体实例中, 包括多个金属层的层叠件可形成在上述表面中的一者或多者上。例如, 此类堆叠的金属层可包括一层钛随后是一层覆盖在钛上的铜 (Ti-Cu)、一层镍随后是一层覆盖在镍层上的铜 (Ni-Cu)、以类似的方式提供的镍-钛-铜 (Ni-Ti-Cu) 层叠件、或者例如镍-钒 (Ni-V) 层叠件。

[0100] 虽然可使用可用于形成导电元件的基本上任何技术来形成本文所述的导电元件, 但是可使用如在 2010 年 7 月 23 日提交的共同拥有的美国专利申请序列号 12/842, 669 中更详细讨论的特定技术, 该专利申请据此以引用方式并入本文。此类技术可包括例如用激光或诸如铣削或喷砂的机械工艺选择性地处理表面, 以便沿着导电元件将被形成的路径以不同于所述表面其他部分的方式来处理所述表面的那些部分。例如, 可利用激光或机械加工仅沿特定路径从表面烧蚀或移除诸如牺牲层的材料并因此形成沿该路径延伸的凹槽。然后, 可将诸如催化剂的材料沉积在凹槽中, 并且可将一个或多个金属层沉积在凹槽中。

[0101] 在形成导电互连件 40 之后, 在其中空隙 44 在两个或更多个相邻的导电互连件之间延伸的一个实施例中 (在图 1B 中示出), 可通过移除相邻的导电互连件之间的基板 20 的材料而形成此空隙 44。在具体实例中, 然后可用绝缘电介质材料 70' 将此空隙 44 部分地或完全地填充。

[0102] 此后, 如图 2H 所示, 可将掩膜层 (未示出) 沉积到正面 21 和导电焊盘 24 上, 正面和

导电焊盘的其余部分则期望被保留。例如,可沉积和图案化可光成像层例如光致抗蚀剂层,以用于仅覆盖正面 22 和导电焊盘 24 的一部分。然后,可对暴露在掩膜开口内的导电焊盘 24 的部分施用蚀刻处理,以便移除在掩膜开口之下的导电焊盘的金属。因此,小孔 14 被形成为从导电焊盘 24 的顶面 27 延伸穿过导电焊盘 24 到达其底面 28。

[0103] 其后,能够以选择性地蚀刻硅基板 20 的方式进行另一蚀刻处理,由此使小孔 14 从正面 22 部分地延伸穿过基板的厚度到达开口 12 而进入基板。在一个实例中,可从基板 20 的正面 22 上方对导电焊盘 24 施用此种蚀刻处理以形成小孔 14。在具体实施例中,相应 TSV30 的每个导电互连件 40 的下表面 42 暴露在每个相应的小孔 14 之内。

[0104] 在小孔 14 的形成期间,还将钝化层 25 的一部分移除,并且此部分可在导电焊盘 24 的蚀刻期间、在基板 20 的蚀刻期间、或作为单独的蚀刻步骤进行蚀刻。可使用蚀刻、激光钻孔、机械铣削或其他适当的技术来移除钝化层 25 的所述部分。

[0105] 在具体实施例中,用于形成延伸穿过导电焊盘 24、穿过钝化层 25 并进入硅基板 20 的小孔 14 的上述处理步骤可整合成单个处理步骤。例如,当形成小孔 14 时,可在单个处理步骤中使用激光器钻穿导电焊盘 24、钝化层 25 的一部分和基板 20 的一部分。可在本文所述的任何实施例中用于形成小孔 14 的处理步骤的此种组合。

[0106] 其他可能的电介质层移除技术包括可以是各向同性或各向异性的各种选择性的蚀刻技术。各向异性的蚀刻工艺包括反应性离子蚀刻工艺,其中离子流被射向待蚀刻的表面。反应性离子蚀刻工艺与各向同性的蚀刻工艺相比通常具有较小的选择性,使得被离子以高入射角撞击的表面相比用离子流取向的表面被蚀刻到更大的程度。当理想地使用反应性离子蚀刻工艺时,掩膜层被有利地沉积以覆盖在钝化层 25 之上,并且在其中形成与小孔 14 对齐的小孔。以此方式,该蚀刻工艺避免了移除钝化层 25 的位于小孔 14 之内的部分之外的部分。

[0107] 其后,如图 2I 所示,可将绝缘电介质层 75 形成为在每个小孔 14 内延伸并覆盖在每个小孔的内表面 15 上。在一个实例中,此绝缘电介质层 75 可共形地涂覆暴露在小孔 14 内的内表面 15。绝缘电介质层 75 还可以共形地涂覆在相邻的导电互连件 40 之间延伸的小孔 14 的面向下的表面 19。可使用与上文结合图 2F 所述的那些相似的方法形成绝缘电介质层 75。

[0108] 接着,再次参见图 1A,每个 TSV30 的导电通孔 50 和导电触点 60 可各自被形成为与导电互连件 40 中对应的一些接触。每个导电通孔 50 可在电介质层 75 内延伸、在相应的小孔 14 内延伸并穿过相应的导电焊盘 24,并且可与此焊盘 24 电连接。每个导电触点 60 可形成为在导电触点的底面 61 处与其 TSV30 的每个导电互连件 40 接触。可使用与上文针对形成在图 2G 中所述的导电互连件 40 所述的那些方法相似的方法形成导电通孔 50 和导电触点 60。

[0109] 图 3A 和 3B 示出了具有替代构型的图 1A 和 1B 所示微电子单元的变型。微电子单元 310 与上述的微电子单元 10 相同,不同的是微电子单元 310 包括各自具有在单个导电通孔 350 和单个导电触点 360 之间延伸的单个导电互连件 340 而不是在单个共用导电通孔和单个共用导电触点之间延伸的多个导电互连件的 TSV330。下面结合图 8A 和 8B 描述了一种制造微电子单元 310 的导电互连件 340 的方法。

[0110] 如图 3A 和 3B 所示,基板 320 包括与上述基板 20 的多孔硅区域相似的多孔硅区域

R,并且基板 320 包括从背面 321 朝着正面 322 延伸的多个开口 312,所述开口以对称或非对称分布的方式布置在背面的整个区域上,此时至少 m 个在第一方向 $D1$ 上延伸并且 n 个在横向于所述第一方向的第二方向 $D2$ 上延伸, m 和 n 中的每一者均大于 1。

[0111] 每个导电互连件 340 在相应腔体 316 内延伸,所述相应腔体 316 占据基本上平行于背面 321 的水平面中的区域,所述区域与在竖直方向 V 上位于相应导电触点 360 之下的 $m \times n$ 分布的开口内的一组开口位置共延伸。

[0112] 每个导电互连件 340 可通过在位于第一 TSV330a 和第二 TSV330b 的导电互连件 340 之间的开口 312 内延伸的电介质材料 370 至少部分地与相邻的导电互连件电绝缘,使得容纳电介质材料的至少一个开口可使导电互连件在水平方向 H 上彼此分隔开。

[0113] 在一个实施例中,每个导电互连件 340 的竖直延伸部分 341a 能够直接接触与之相邻的硅基板 320 的材料。在具体实施例中,一个或多个导电互连件 340 的竖直延伸部分 341b 可直接接触与之相邻的一个或多个开口 312 的绝缘电介质材料 370。在此类实施例中,一个或多个导电互连件 340 的竖直延伸部分 341b 可在水平方向 H 上部分地延伸到一个或多个开口 312 中。

[0114] 其中每个 TSV 包括单个较厚的导电互连件 340 的此类实施例可使这种 TSV 具有比包括多个较薄导电互连件的 TSV 更高的载流容量。在具体实例中,单个基板可包括一个或多个各自具有单个导电互连件 340 的 TSV330 (图 3A) 以及一个或多个各自具有多个导电互连件 40 的 TSV30 (图 1A)。

[0115] 图 4 示出了具有替代构型的图 3A 和 3B 所示微电子单元的变型。微电子单元 410 与上述的微电子单元 310 相同,不同的是微电子单元 410 包括各自具有不延伸穿过相应导电焊盘 424 的导电通孔 450 的 TSV430。

[0116] 在此类实施例中,可在形成所述多个开口 412 之前,形成与相应的导电焊盘 424 的底面 428 接触的每个导电通孔 450 (例如,通孔在先处理)。在一个实例中,每个小孔 414 可从两个或更多个开口 412 延伸至相应的一个导电焊盘 424 的底面 428。当导电互连件 440 形成在延伸穿过硅基板 420 的相应腔体 416 内时,每个导电互连件可被形成为与相应的导电通孔 450 的上部 453 接触。在具体实例中,每个导电互连件 440 的底面 442 可在每个开口 412 的底面 413 的沿基板 420 的竖直方向 V 的位置下方(即,更靠近正面 422)延伸。

[0117] 图 5 示出了具有替代构型的图 1A 和 1B 所示微电子单元的变型。互连基板 510 与上述的微电子单元 10 相同,不同的是互连基板 510 不包括可设置在其有源半导体区域或导电通孔中的多个有源半导体器件(例如,晶体管、二极管等),并且每个 TSV530 包括暴露在硅基板 520 的每个表面处并且与相应的多个导电互连件 540 电连接的导电触点 560a 和 560b。

[0118] 在具体实施例中,基板 520 可具有小于 $8\text{ppm}/^\circ\text{C}$ 的有效 CTE。在一个实例中,基板 520 可基本上由半导体材料组成。在其他实例中,基板 520 可基本上由玻璃或陶瓷材料组成。

[0119] 在图 5 所示的实施例中,每个导电互连件 540 在暴露在硅基板 520 的第一表面 521 处的第一导电触点 560a 和暴露在第二表面 522 处的第二导电触点 560b 之间延伸。在一个实例中,第一导电触点 560a 和第二导电触点 560b 可在基本上垂直于第一表面 521 的竖直方向 V 上与相应 TSV530 的相应多个导电互连件 540 对齐。

[0120] 在具体实施例中,位于特定 TSV530 的导电互连件 540 周围的一些开口 512 可仅部

分地填充有绝缘电介质材料 570'，使得空隙 571 位于与基板 520 的第一表面 521 和第二表面 522 相邻的电介质材料 570' 的两个分隔开的部分之间。

[0121] 现在将结合图 6A-6E 描述一种制造微电子单元 510 (图 5)的方法。如图 6A 所示，可将材料从基板 520 的第一表面或背面 521 移除以形成从第一表面朝着第二表面或正面 522 延伸的多个开口 512。此类开口 512 可与上文结合图 1A、1B 和 2C 所述的开口 12 相同。在具体实例中，开口 512 能够以 $m \times n$ 阵列布置(诸如在图 1B 和 2D 中)， m 和 n 中的每一者均大于 1，每个开口在垂直方向 V 上延伸。在一个实施例中，多个开口 512 能够以对称或非对称分布的方式布置在第一表面 521 的整个区域上，其中至少 m 个在第一方向 $D1$ 上延伸并且 n 个在横向于所述第一方向的第二方向 $D2$ 上延伸(例如在图 1B 中)， m 和 n 中的每一者均大于 1。

[0122] 与图 1A 中所示的开口 12 相似，开口 512 可以是通过各向异性蚀刻形成的多个孔，使得多孔硅区域 R 被制备成从基板 520 的第一表面 521 延伸。可使用与上文相对于图 2C 所述的那些相同的方法来形成此类开口 512。

[0123] 其后，如图 6B 所示，可将掩膜层 517 沉积成覆盖在基板 520 的第一表面 521 处的特定开口 512 或成组开口 512 上，其中当形成导电互连件 540 时，期望避免在特定开口 512 或成组开口 512 处沉积金属(图 6D)。掩膜层 517 可与上文相对于图 2E 所述的掩膜层 17 相同。

[0124] 此后，如图 6C 所示，可将绝缘电介质材料 570 形成为在未被掩膜层 517 覆盖的开口 512 内延伸。此类电介质材料 570 可在位于后续将包括第一 TSV530a 的多个第一导电互连件 540 和第二 TSV530b 的多个第二导电互连件 540 的开口 512 之间的至少一些开口 512 内延伸，使得容纳绝缘电介质材料 570 的至少一个开口可在水平方向 H 上将所述多个第一导电互连件与所述多个第二导电互连件分隔开。可使用与上文相对于图 2F 所述的那些相同的方法在开口 512 内形成绝缘电介质材料 570。

[0125] 接着，如图 6D 所示，可将掩膜层 517 从第一表面 521 移除，并且所述多个导电互连件 540 可被形成为在电介质材料 570 形成于一些开口中之后保持未被占据的开口 512 内延伸。导电互连件 540 可覆盖在开口 512 的内表面 511 上。可使用与上文相对于图 2G 所述的那些相同的方法在开口 512 内形成导电互连件 540。

[0126] 其后，如图 6E 所示，可减小第一表面 521 和初始的第二表面 522' (图 6D)之间的基板 520 的厚度，从而暴露出最终的第二表面 522。可移除基板 520 的材料，直到每个开口 512 的底面 513 (图 6D)被移除，由此在最终的第二表面 522 处暴露每个导电互连件 540 的下表面 542。

[0127] 可使用对初始第二表面 522' 的磨削、研磨或抛光或它们的组合以减小基板 520 的厚度。在该步骤期间，例如，基板 520 的初始厚度 $T3$ (在图 6D 中示出)可以从约 $700 \mu m$ 减小至约 $130 \mu m$ 或更小的厚度 $T4$ (在图 6E 中示出)。

[0128] 其后，再次参见图 5，每个 TSV530 的导电触点 560a 和 560b 可各自形成在与导电互连件 540 中对应的一些接触的基板 520 的相应第一表面 521 和第二表面 522 处。每个导电触点 560a 和 560b 可以形成为在导电触点的底面 561 处与其 TSV530 的每个导电互连件 540 接触。可使用与上文针对形成图 2G 所述导电互连件 540 所述的那些相似的方法形成导电触点 60。

[0129] 图 7 示出了具有替代构型的图 1A 和 1B 所示微电子单元的变型。微电子单元 710 与上述的微电子单元 510 相同,不同的是微电子单元 710 包括各自具有在暴露在基板 720 的相应第一表面 721 和第二表面 722 处的导电触点 760a 和 760b 之间延伸的单个导电互连件 740 而不是在暴露在第一表面和第二表面处的共用导电触点之间延伸的多个导电互连件的 TSV730。

[0130] 其中每个 TSV 包括单个较厚导电互连件 740 的此类实施例可使这种 TSV 具有比包括多个较薄导电互连件的 TSV 更高的载流容量。在具体实例中,单个基板可包括一个或多个各自具有单个导电互连件 740 的 TSV730 (图 7) 以及一个或多个各自具有多个导电互连件 540 的 TSV530 (图 5)。

[0131] 现在将结合图 8A 和 8B 描述一种制造微电子单元 710 (图 7)的导电互连件 740 的方法。该制造导电互连件 740 的方法可始于上文结合图 6A-6C 中所示的微电子单元 510 所述的步骤。此后,如图 8A 所示,可将掩膜层 517(图 6C)从背面 721 移除,并且可将腔体 716 形成为从第一表面 721 朝着初始的第二表面 722' 部分地延伸穿过硅基板 720。

[0132] 腔体 716 可与上文相对于图 3A 和 3B 所述的腔体 316 相似,使得每个腔体可占据基本上平行于背面 721 的水平面中的区域,所述区域与在 $m \times n$ 分布的开口 712 内的一组开口位置共延伸。

[0133] 当在期望保留基板的第一表面 721 的剩余部分处形成掩膜层之后,可例如通过选择性地蚀刻硅基板 720 而形成腔体 716。例如,可沉积和图案化可光成像层,例如光致抗蚀剂层,以仅覆盖第一表面 721 的一些部分,在此之后,可进行时控蚀刻处理以形成腔体 716。

[0134] 每个腔体 716 可具有在基本上垂直于第一表面 721 的竖直方向 V 上延伸的内表面 706 和在基本上平行于第一表面的水平方向 H 上延伸的下表面 708。此类下表面 708 可与在 $m \times n$ 分布的开口内腔体 716 所处位置处的所述一组开口位置的底面 713 大致共延伸。

[0135] 每个腔体 716 的内表面 706 可在竖直或基本竖直的方向 V 上以与第一表面基本上呈直角的角度从第一表面 721 向下延伸。除了别的以外,可使用各向异性的蚀刻工艺、激光划片、激光钻孔、机械移除工艺(例如锯切、铣削)、超声加工来形成具有基本上竖直的内表面 706 的第一腔体 716。

[0136] 在具体实施例中(未示出),在腔体 716 形成之后,可沉积绝缘电介质层(未示出)以覆盖在腔体的内表面 706 上,使得导电互连件 740 在被沉积在开口中时将在此绝缘电介质层内延伸(图 8B)。

[0137] 此后,如图 8B 所示,可将导电互连件 740 形成为在腔体 716 的相应一些内延伸。导电互连件 740 可覆盖在腔体 716 的内表面 706 和下表面 708 上。可使用与上文针对在图 2G 中所示的导电互连件 40 所述的那些相似的方法形成导电互连件 740。

[0138] 导电互连件 740 可与上文相对于图 3A 和 3B 所述的导电互连件 340 相似,使得每个导电互连件 740 可占据基本上平行于背面 721 的水平面中的区域,所述区域与在 $m \times n$ 分布的开口 712 内的一组开口位置共延伸。另外,每个导电互连件 740 可通过在位于相邻的导电互连件 740 之间的开口 712 内延伸的电介质材料 770 而至少部分地与相邻的导电互连件电绝缘。

[0139] 其后,再次参见图 7,可减小第一表面 721 和初始的第二表面 722' 之间的基板 720 的厚度(图 8B),从而暴露出最终的第二表面 722。可移除基板 720 的材料,直到每个开口

712 的底面 713 (图 6D)和每个腔体 706 的底面 708 被移除,由此使每个导电互连件 740 的下表面 742 暴露在最终的第三表面 722 处。可使用对初始第三表面 722' 的磨削、研磨或抛光或它们的组合来减小基板 720 的厚度。在该步骤期间,例如,基板 720 的初始厚度 T5(在图 8B 中示出)可以从约 700 μm 减小至约 130 μm 或更小的厚度 T6 (在图 7 中示出)。

[0140] 其后,每个 TSV730 的导电触点 760a 和 760b 可各自形成在与导电互连件 740 中对应的一些接触的基板 720 的相应第一表面 721 和第二表面 722 处。每个导电触点 760a 和 760b 可以形成为在导电触点的底面 761 处与其 TSV730 的相应导电互连件 740 接触。可使用与上文针对形成在图 2G 中所示的导电互连件 40 所述的那些相同的方法形成导电触点 760a 和 760b。

[0141] 上述的微电子单元可用于构建各式各样的电子系统,如图 9 所示。例如,根据本发明的另外实施例的系统 900 包括如上文所述的微电子组件 906 连同其他电子元件 908 和 910。在所述的实例中,元件 908 为半导体芯片,而元件 910 为显示屏,但可以使用任何其他元件。当然,尽管为了清楚起见,仅在图 9 中示出了两个附加元件,但系统可包括任何数量的此类元件。微电子组件 906 可以是上文所述的微电子单元中的任何一种。在另一种变型形式中,可使用任意数量的此类微电子组件 906。

[0142] 微电子组件 906 以及元件 908 和 910 可安装在用虚线示意性描绘的共用外壳 901 中,并且可在必要时彼此电互连以形成期望的电路。在示出的示例性系统中,该系统可包括电路面板 902,例如柔性印刷电路板,并且该电路面板可包括许多使各元件彼此互连的导体 904,图 9 仅示出了其中的一个。然而,这仅是示例性的;可以使用任何适于进行电连接的结构。

[0143] 外壳 901 被示出为可用于例如移动电话或个人数字助理的便携式外壳,并且屏幕 910 可暴露在外壳的表面处。如果结构 906 包括光敏元件例如成像芯片,则还可以提供用于将光引导至该结构的透镜 911 或其他光学装置。此外,图 9 中所示的简化系统也仅是示例性的;可以使用上文所述的结构制成其他系统,包括通常被视为固定结构的系统,例如台式计算机、路由器等。

[0144] 本文所公开的腔体、小孔和导电元件可以通过例如以下专利申请中更详细公开的那些方法形成:2010 年 7 月 23 日提交的共同未决且共同转让的美国专利申请 12/842, 587、12/842, 612、12/842, 651、12/842, 669、12/842, 692 和 12/842, 717, 以及已公布的美国专利申请公开 2008/0246136, 所述专利申请的公开内容以引用方式并入本文。

[0145] 虽然本文已参照具体的实施例描述了本发明,但应当理解,这些实施例仅仅是举例说明本发明的原理和应用。因此,应当理解,可以对所述示例性实施例进行许多修改,并且可以在不脱离如所附权利要求所定义的本发明的实质和范围的情况下设想出其他布置方式。

[0146] 应当理解,本文示出的多个从属权利要求和特征可以用与初始权利要求中所呈现的方式不同的方式相组合。还应当理解,结合各个实施例所述的特征可以与所述实施例中的其他实施例共享。

[0147] 工业适用性

[0148] 本发明享有广泛的工业实用性,包括但不限于微电子单元和互连基板以及制造微电子单元和互连基板的方法。

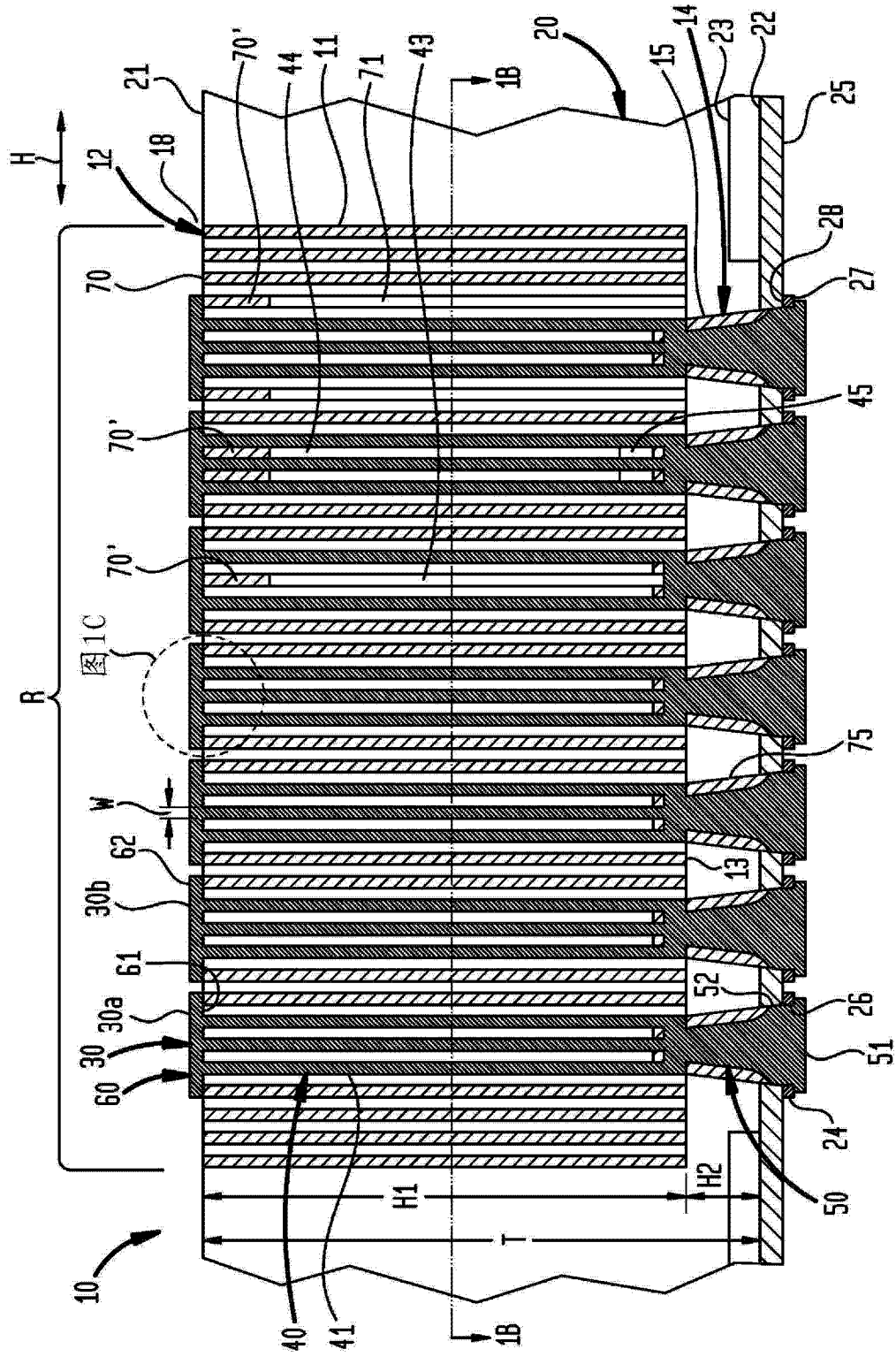


图 1A

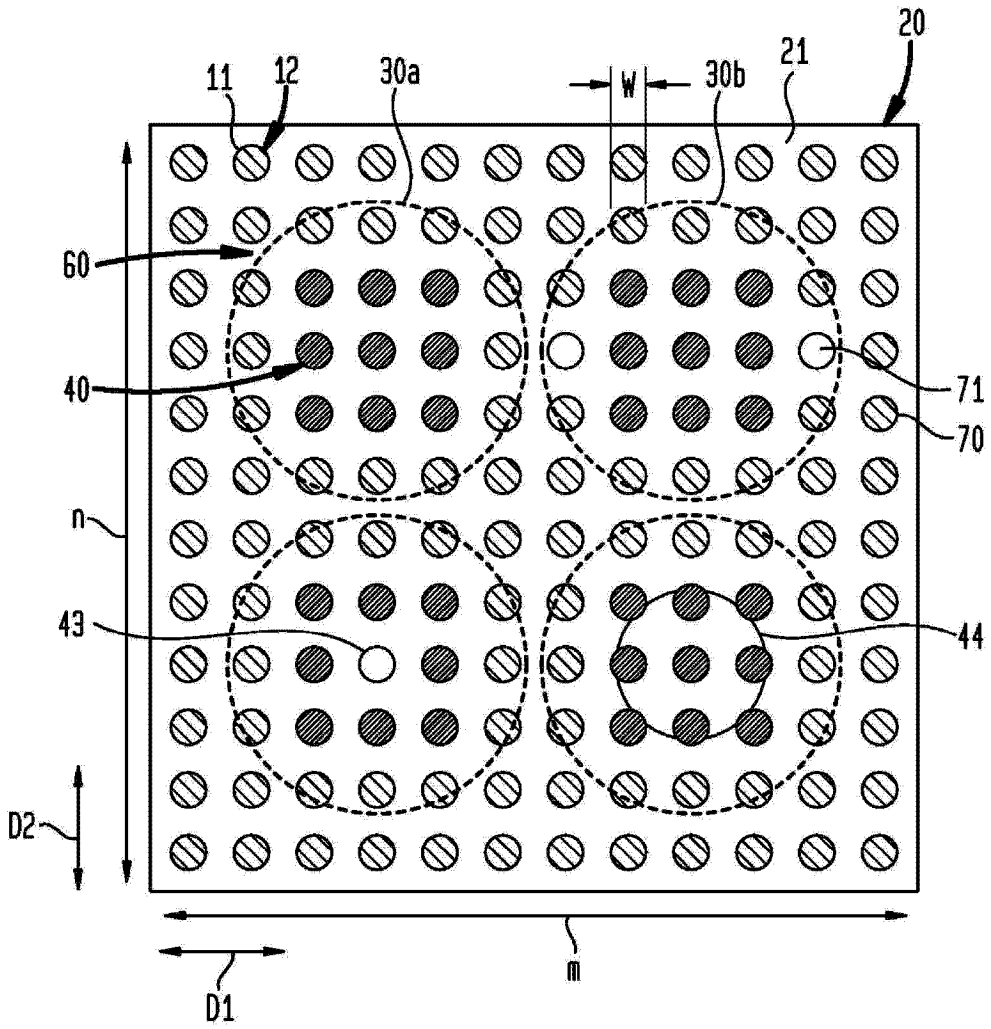


图 1B

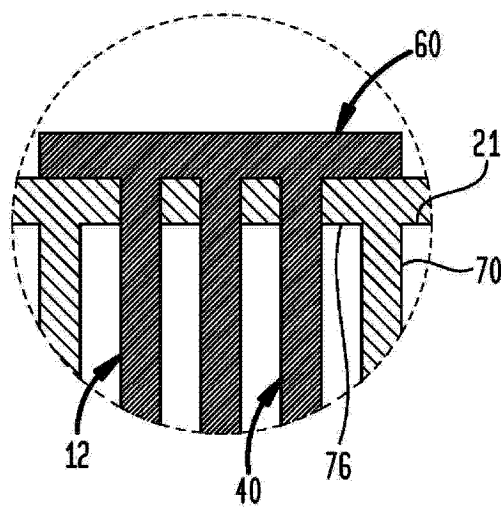


图 1C

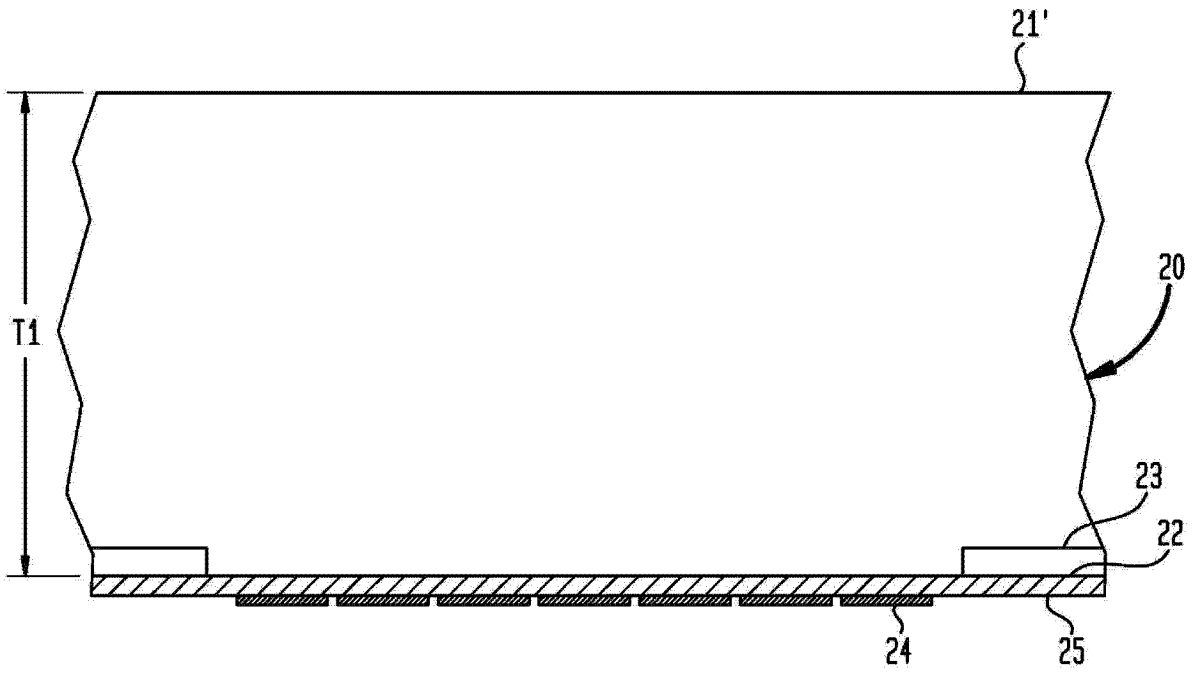


图 2A

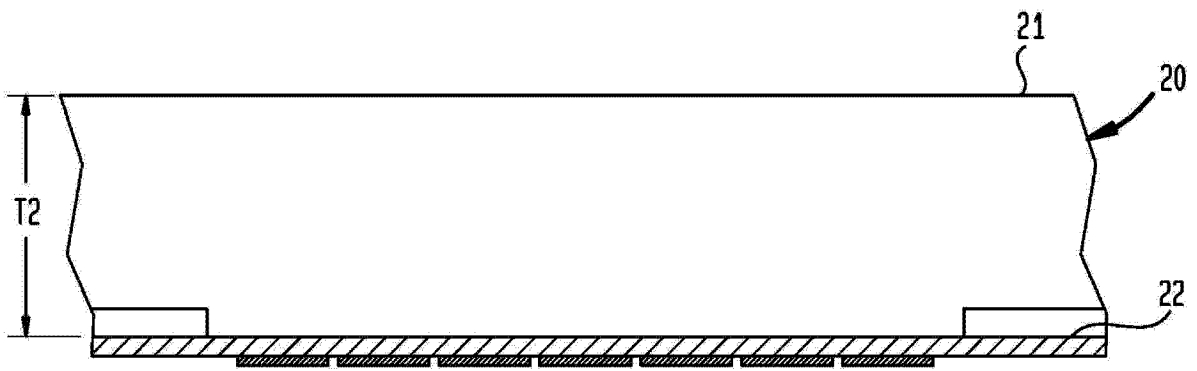


图 2B

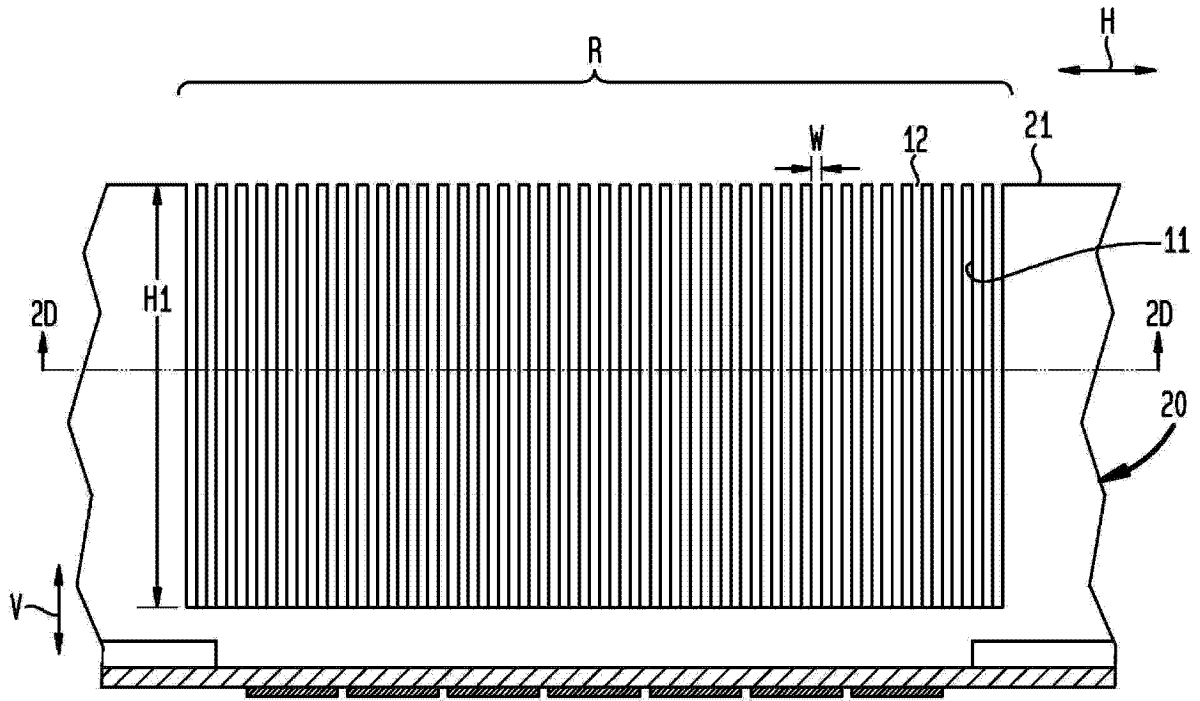


图 2C

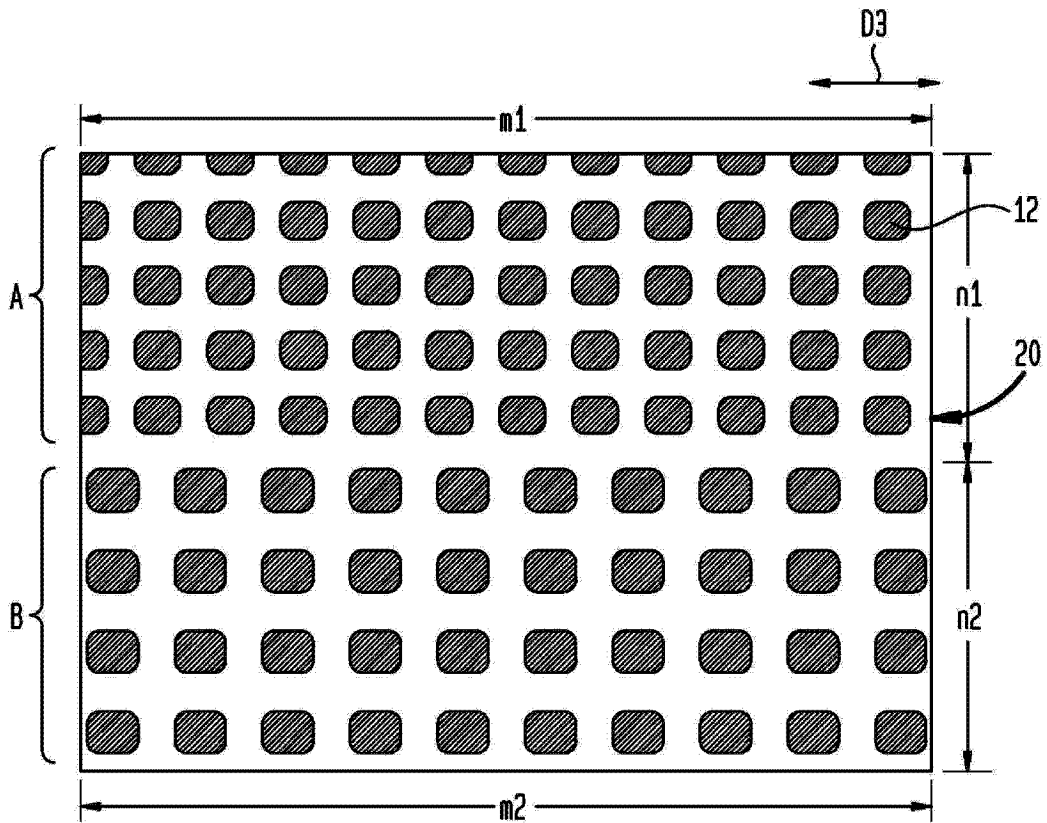


图 2D

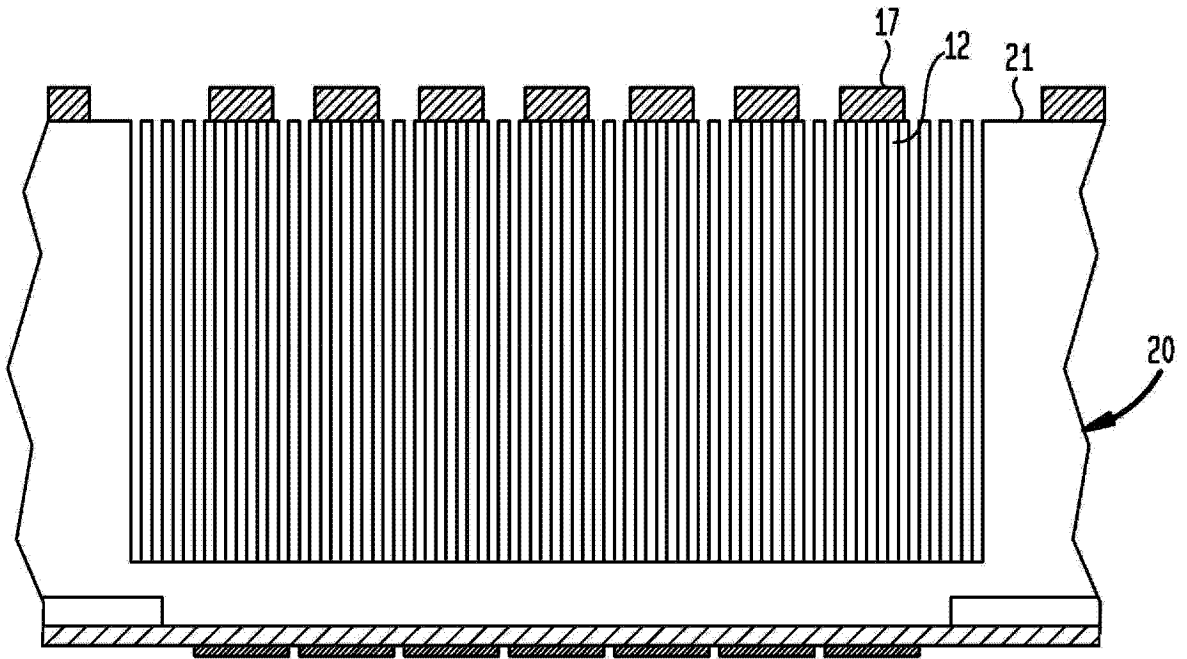


图 2E

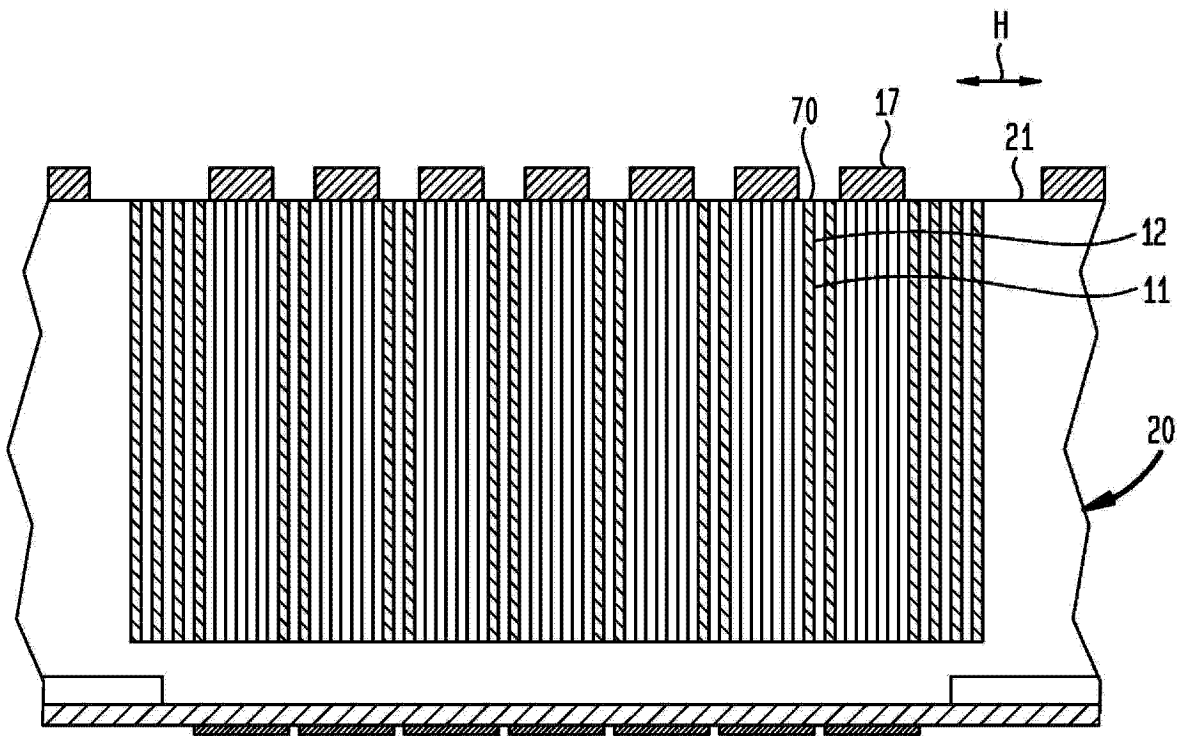


图 2F

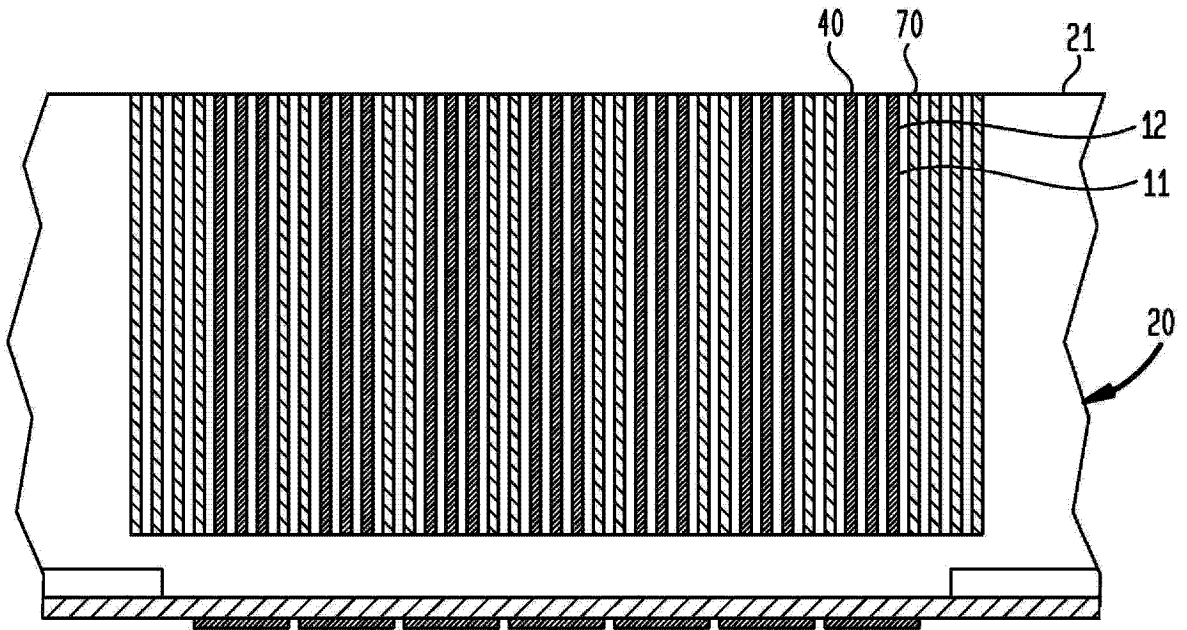


图 2G

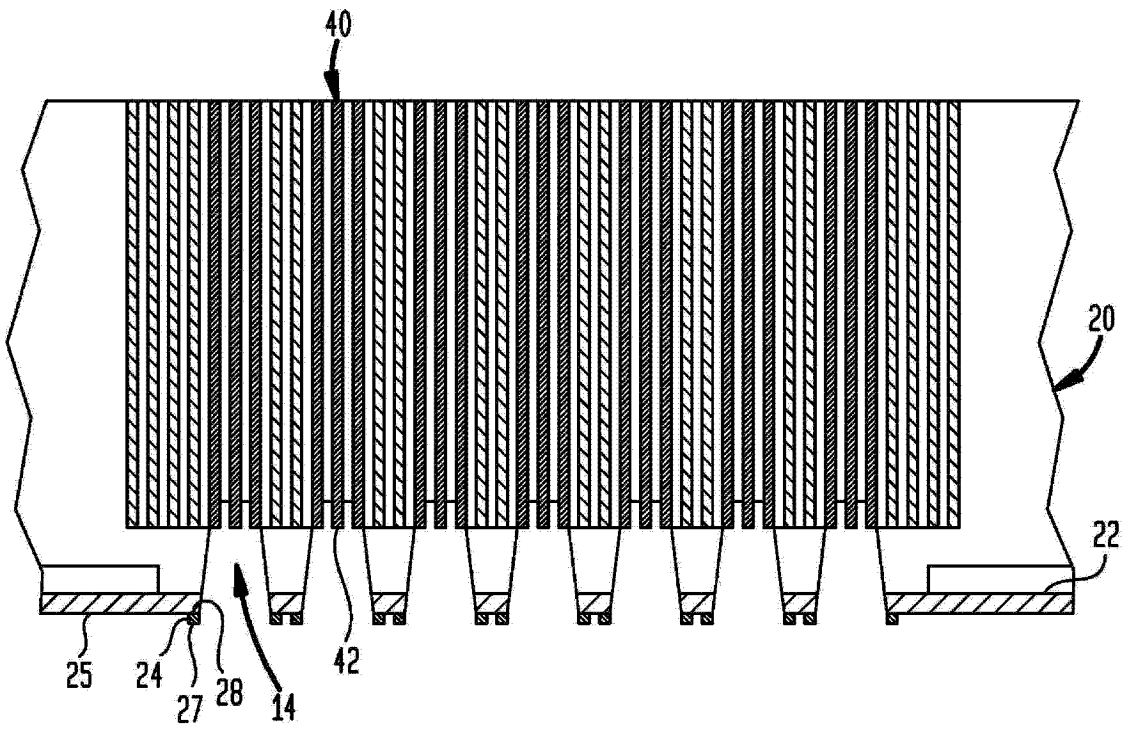


图 2H

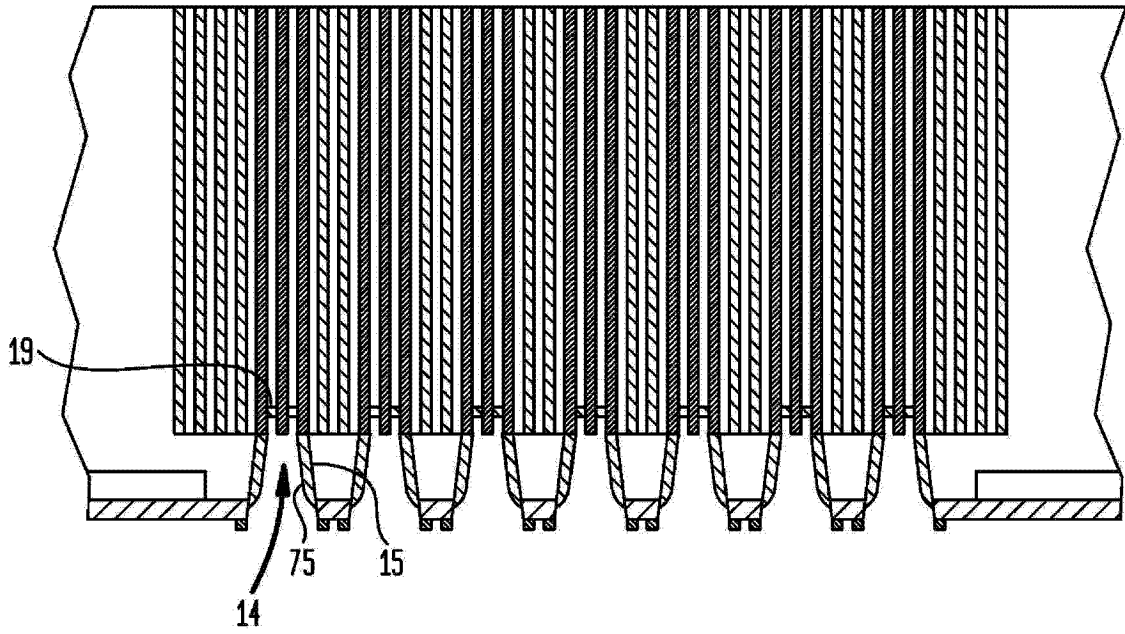


图 2I

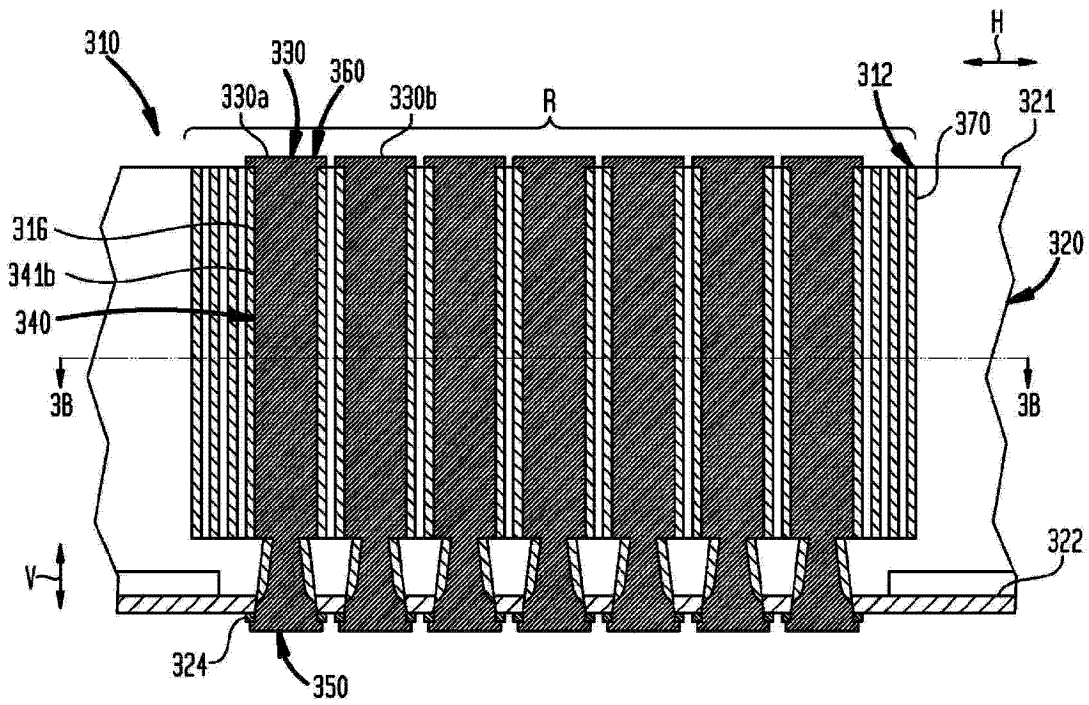


图 3A

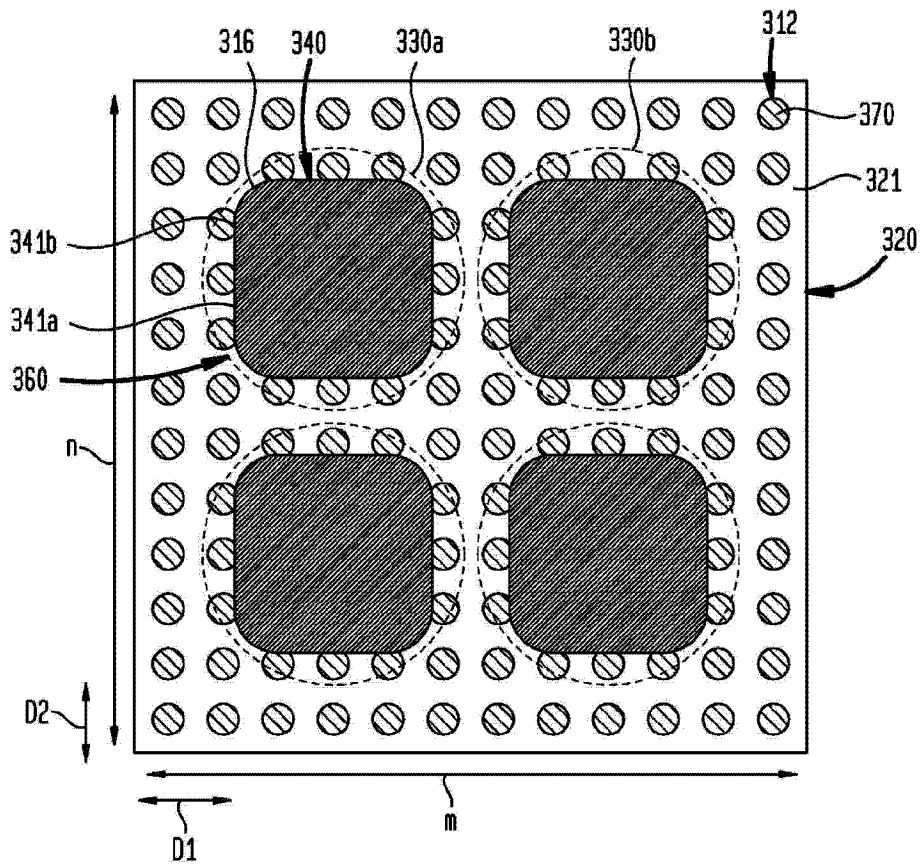


图 3B

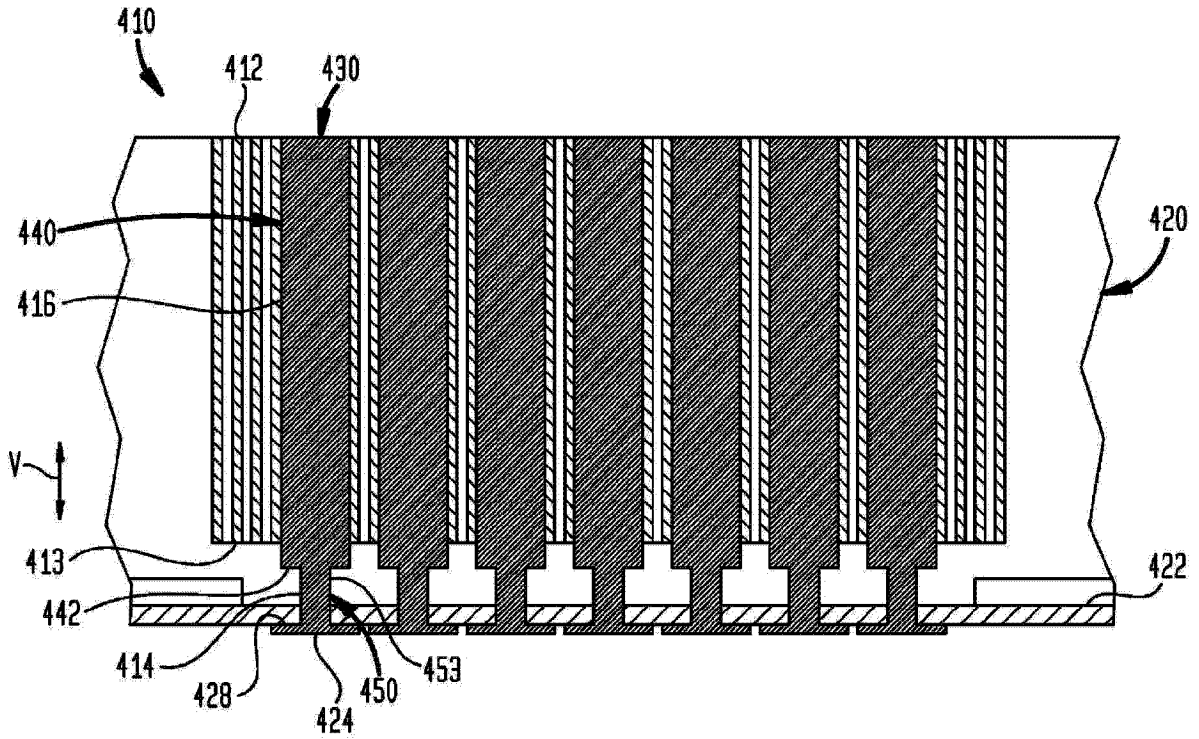


图 4

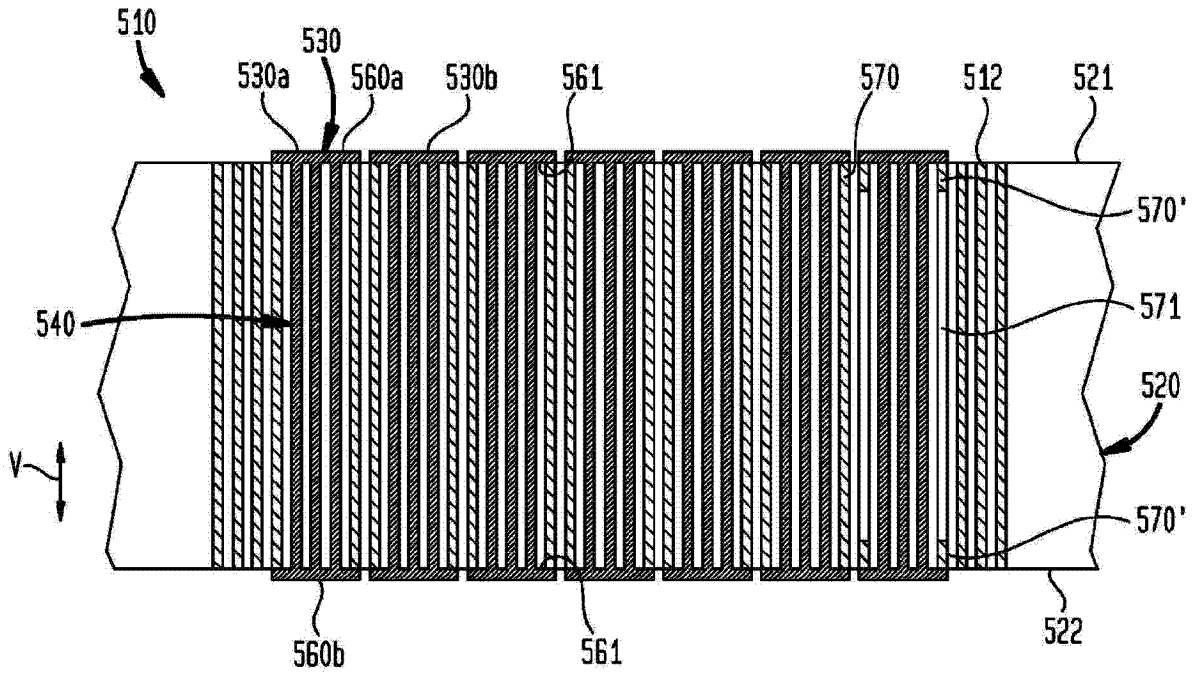


图 5

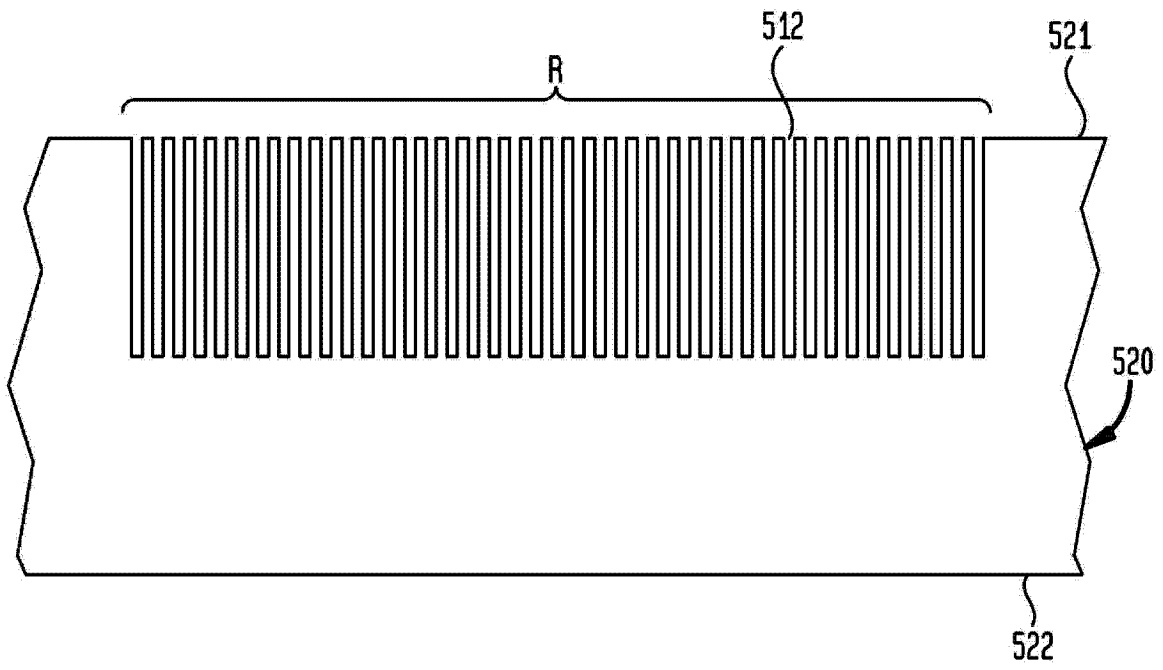


图 6A

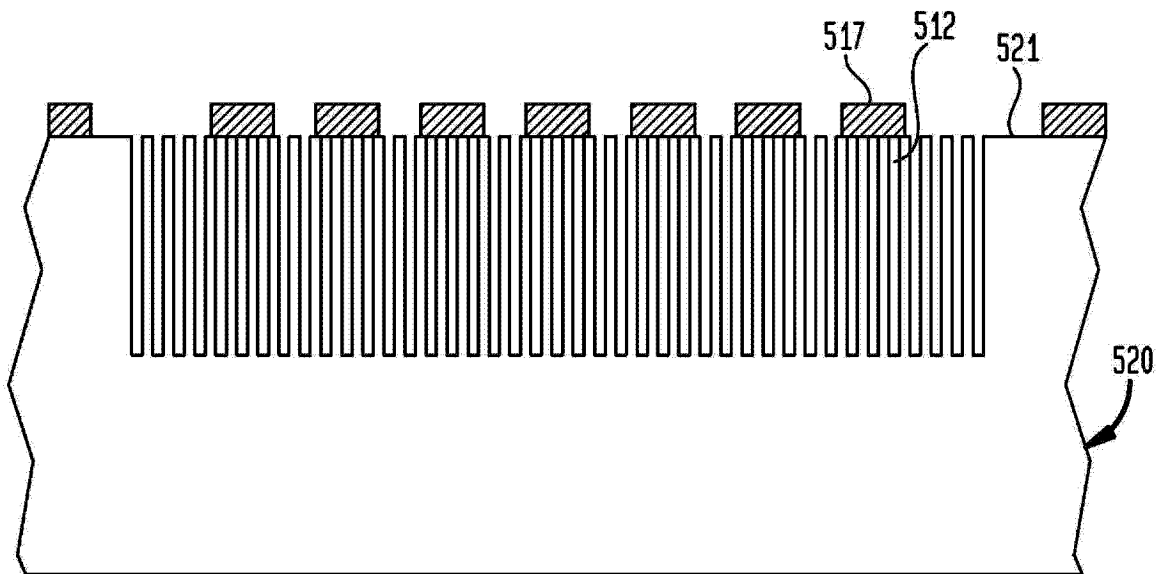


图 6B

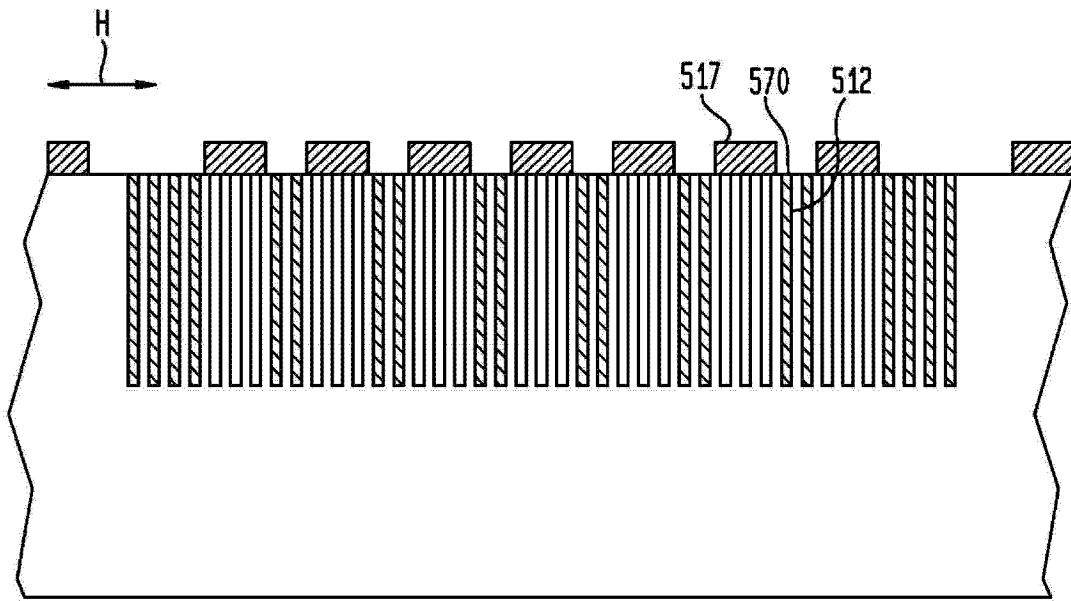


图 6C

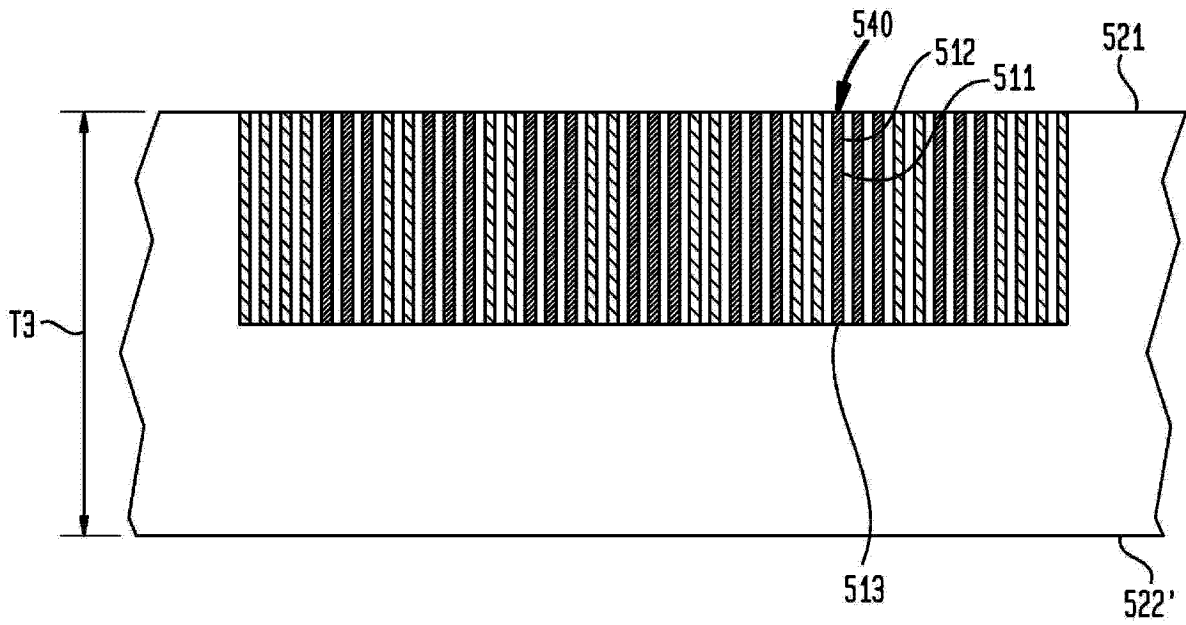


图 6D

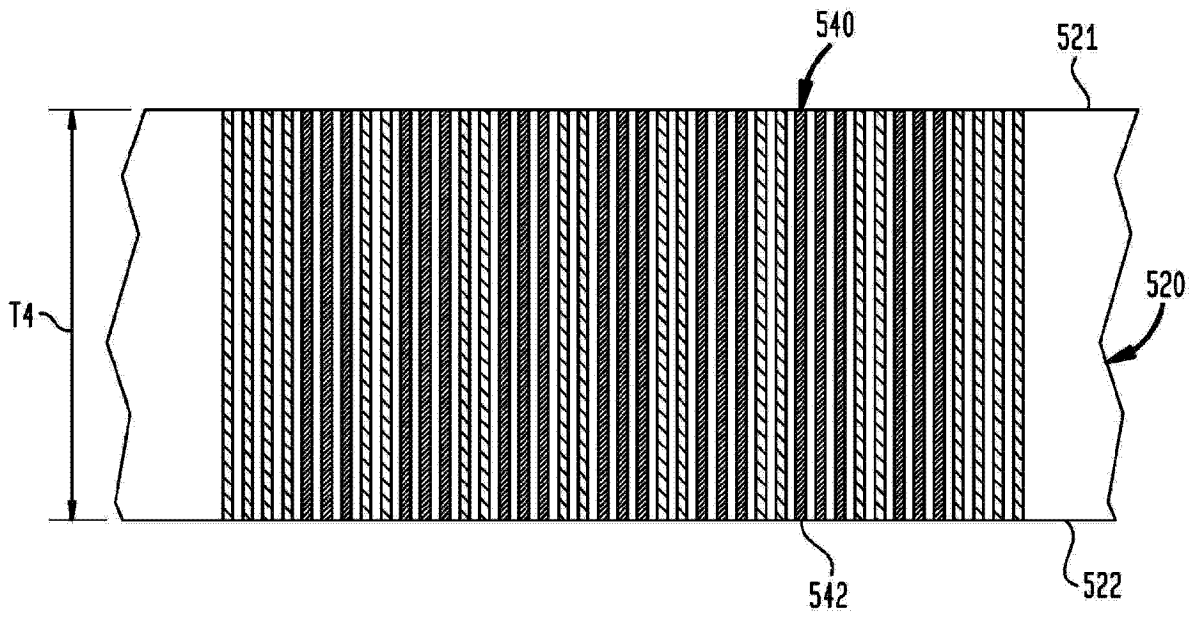


图 6E

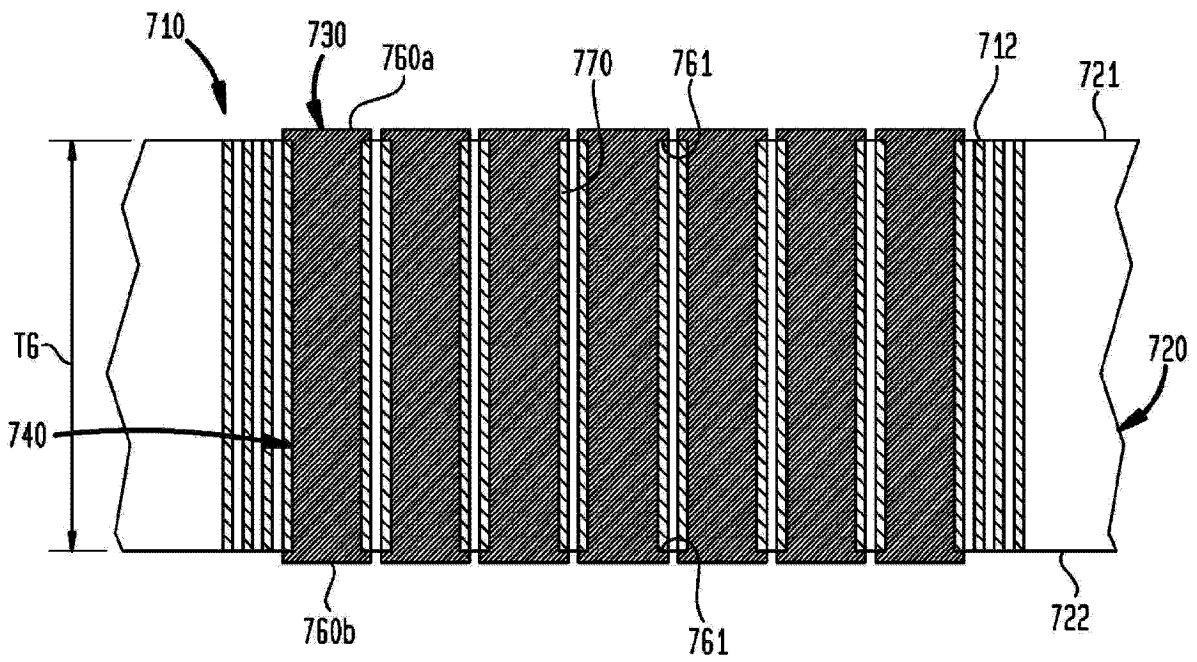


图 7

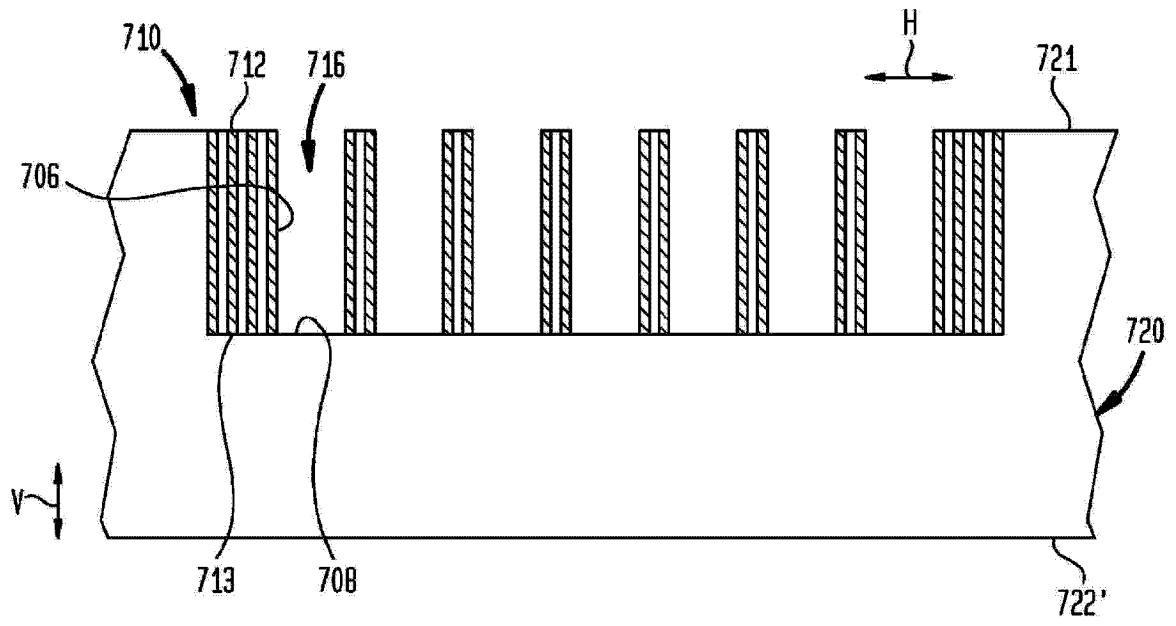


图 8A

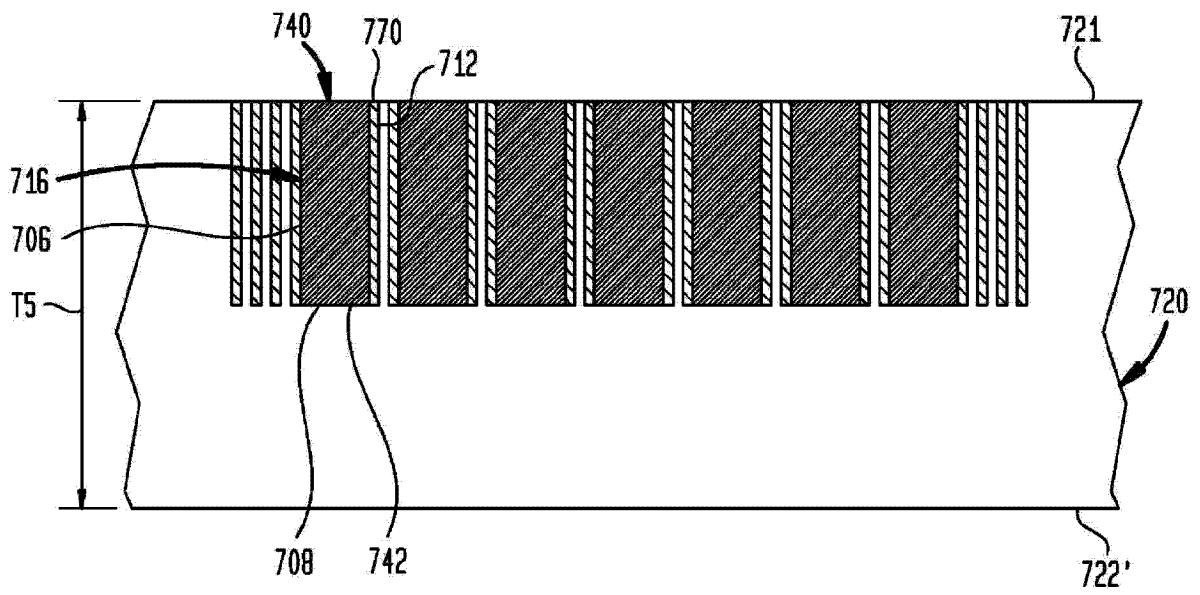


图 8B

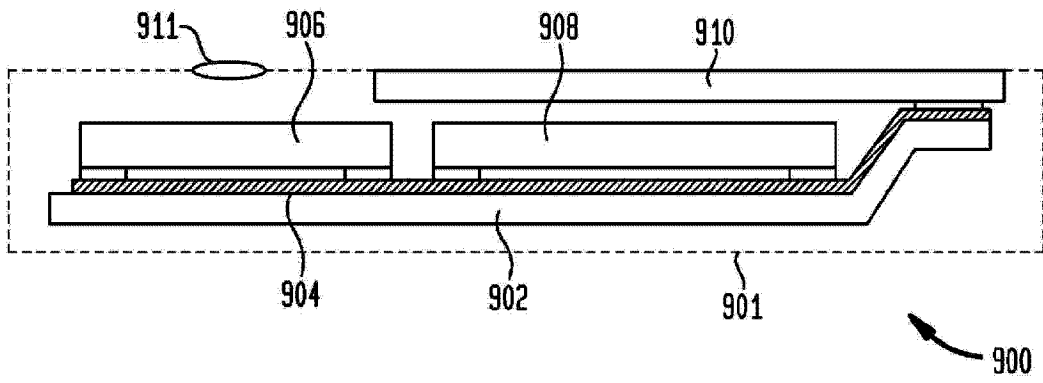


图 9