



- (51) 국제특허분류:
G06F 13/16 (2006.01) G06F 12/08 (2006.01)
- (21) 국제출원번호: PCT/KR2011/004259
- (22) 국제출원일: 2011년 6월 10일 (10.06.2011)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2010-0140281 2010년 12월 31일 (31.12.2010) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): 세종대학교산학협력단 (SEJONG UNIVERSITY INDUSTRY ACADEMY COOPERATION FOUNDATION) [KR/KR]; 서울시 광진구 군자동 98, 143-747 Seoul (KR).
- (72) 발명자: 김
- (75) 발명자/출원인 (US 에 한하여): 박기호 (PARK, Gi Ho) [KR/KR]; 서울 성동구 행당 2동 한진아파트 116동 1404호, 133-777 Seoul (KR).

- (74) 대리인: 특허법인 엠에이피에스 (MAPS INTELLECTUAL PROPERTY LAW FIRM); 서울 강남구 신사동 587-23 성도빌딩 11층, 135-747 Seoul (KR).

- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

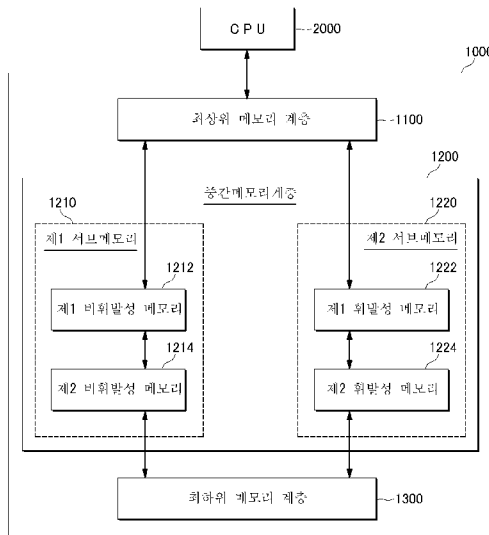
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[다음 쪽 계속]

(54) Title: MEMORY SYSTEM INCLUDING A NONVOLATILE MEMORY AND A VOLATILE MEMORY, AND PROCESSING METHOD USING THE MEMORY SYSTEM

(54) 발명의 명칭: 비휘발성 메모리 및 휘발성 메모리를 포함하는 메모리 시스템 및 그 시스템을 이용한 처리 방법

[Fig. 2]



1100 ... Uppermost memory layer
1200 ... Middle memory layer
1210 ... First sub memory
1212 ... First nonvolatile memory
1214 ... Second nonvolatile memory
1220 ... Second sub memory
1222 ... First volatile memory
1224 ... Second volatile memory
1300 ... Lowermost memory layer
2000 ... CPU

(57) Abstract: The present invention relates to a memory system including a nonvolatile memory and a volatile memory and an operation processing method using the memory system, and more particularly, to a system including a nonvolatile memory and a volatile memory that perform a read reference and a write reference in parallel, and an operation processing method using the system. The memory system consisting of a plurality of memory layers includes: a first memory layer consisting of a volatile memory; a third memory layer consisting of a nonvolatile memory; and a second memory layer disposed between the first memory layer and the third memory layer, including a plurality of memories, and loading data having a read reference failure and data having a write reference failure in response to a memory reference failure occurring in the first memory layer.

(57) 요약서: 본 발명은 비휘발성 메모리 및 휘발성 메모리를 포함하는 메모리 시스템 및 그 시스템을 이용한 동작 처리 방법에 관한 것으로서, 보다 상세하게는, 읽기 참조 및 쓰기 참조를 병렬적으로 수행하는 비휘발성 메모리 및 휘발성 메모리를 포함하는 시스템 및 그 시스템을 이용한 동작 처리 방법에 관한 것이다. 복수의 계층의 메모리로 구성된 메모리 시스템은 휘발성 메모리로 구성된 제 1 메모리 계층, 비휘발성 메모리로 구성된 제 3 메모리 계층 및 상기 제 1 메모리 계층 및 제 3 메모리 계층 사이에 배치되고, 복수의 메모리를 포함하며, 상기 제 1 메모리 계층에서 발생한 메모리 참조 실패에 응답하여 읽기 참조 실패가 발생한 데이터 및 쓰기 참조 실패가 발생한 데이터를 로딩 (loading) 하는 제 2 메모리 계층을 포함할 수 있다.



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, **공개:**

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,

ML, MR, NE, SN, TD, TG). — 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 비휘발성 메모리 및 휘발성 메모리를 포함하는 메모리 시스템 및 그 시스템을 이용한 처리 방법

기술분야

- [1] 본 발명은 비휘발성 메모리 및 휘발성 메모리를 포함하는 메모리 시스템 및 그 시스템을 이용한 동작 처리 방법에 관한 것으로서, 보다 상세하게는, 읽기 참조 및 쓰기 참조에 대응하는 데이터를 로딩하는 비휘발성 메모리 및 휘발성 메모리를 포함하는 시스템 및 그 시스템을 이용한 처리 방법에 관한 것이다.

배경기술

- [2] 최근 다양한 종류의 전자 장치가 이용되고 있으며, 특히 통신 기술의 발달로 인하여, 데스크탑(desktop), 노트북(notebook) 등의 컴퓨터뿐만 아니라 스마트폰(smart phone), PDA(personal digital assistant), 태블릿 PC 등 휴대용 단말 등이 널리 이용되고 있다.
- [3] 이러한 전자 장치는 일반적으로 프로그램 등을 구동하기 위하여 메모리를 포함하고 있으며, 이러한 메모리의 성능 및 크기에 따라 전자 장치의 성능 및 크기가 많은 영향을 받을 수 있다.
- [4] 도 1은 종래의 기술에 따른 메모리 시스템에 적용되는 메모리 계층 구조를 도시한 도면이다.
- [5] 종래의 기술에 따른 메모리 시스템(1)은 L1/L2 캐시(cache) 메모리 계층(10), 메인 메모리 계층(20) 및 저장 장치(30)를 포함하고 중앙 처리 장치(central processing unit, CPU)로 데이터를 제공한다.
- [6] L1/L2 캐시(cache) 메모리 계층(10) 및 메인 메모리 계층(20)은 SRAM, DRAM 등의 휘발성 메모리로 구성되며, 저장 장치(30)는 플래시 메모리(flash memory) 또는 하드 디스크 드라이브(hard disk drive, HDD) 등의 비휘발성 메모리로 구성된다.
- [7] 일반적으로 메모리의 계층 구조에서 상위 계층의 메모리일수록 읽기/쓰기 속도가 빠른 고가의 메모리가 사용되며, 하위 계층의 메모리일수록 읽기/쓰기 속도가 상대적으로 느리며 저가의 메모리가 사용된다. 도 1에 도시된 실시예에서는 L1/L2 캐시 메모리 계층(10)이 가장 상위의 메모리 계층이 될 것이며, 저장장치(30)가 가장 하위의 메모리 계층이 될 것이다.
- [8] 도 1에 도시된 종래의 기술에서 CPU(40)는 프로그램 등의 실행을 위하여 저장 장치(30)로부터 데이터를 획득하며, 획득한 데이터를 L1/L2 캐시(cache) 메모리 계층(10) 및 메인 메모리 계층(20)에 저장한다.
- [9] CPU(40)는 데이터의 읽기(read) 또는 쓰기(write) 동작을 수행하기 위하여 필요한 데이터를 L1/L2 캐시(cache) 메모리 계층(10)에 요구, 즉 메모리 참조를 요구하며, 요구된 데이터가 L1/L2 캐시(cache) 메모리 계층(10)에 존재하지 않는

경우 참조 실패(cache miss)가 발생할 수 있다.

- [10] 참조 실패(cache miss)가 발생하는 경우, 참조 실패가 발생한 데이터에 대하여 메인 메모리 계층(20)에 다시 읽기 참조 또는 쓰기 참조의 처리가 요청된다.
- [11] 이처럼 종래의 기술에 따르면, 최상위 메모리 계층, 예를 들어 L1/L2 캐시(cache) 메모리 계층에서 참조 실패가 발생한 경우, 최상위 메모리 계층보다 하위 계층인 메인 메모리 계층에 대하여 읽기 참조 또는 쓰기 참조가 수행되며, 최상위 메모리 계층 및 메인 메모리 계층이 모두 휘발성 메모리로 구성된다.
- [12] 휘발성 메모리와 비휘발성 메모리는 집적도(density), 읽기 및 쓰기 속도, 전력 소모 등에서 서로 다른 특성을 갖는데, 일반적으로 휘발성 메모리는 비휘발성 메모리보다 읽기 및 쓰기 속도가 빠르며, 비휘발성 메모리는 휘발성 메모리보다 집적도가 높다.
- [13] 최근 비휘발성 메모리에 대한 개발이 활발히 진행됨에 따라 비휘발성 메모리의 접근 속도가 점점 개선되고 있다. 특히 비휘발성 메모리의 읽기 속도와 휘발성 메모리의 읽기 속도의 차이가 많이 줄어들고 있다. 따라서, 휘발성 메모리뿐만 아니라 비휘발성 메모리를 포함하여, 휘발성 메모리 및 전술한 개선된 비휘발성 메모리의 특성을 살릴 수 있는 메모리 시스템에 대한 개발이 요구되고 있다.

발명의 상세한 설명

기술적 과제

- [14] 본 발명의 일 실시예는 휘발성 메모리와 비휘발성 메모리의 상이한 동작 특성을 이용하여 비휘발성 메모리로 구성된 읽기 메모리 계층과 휘발성 메모리로 구성된 쓰기 메모리 계층으로 분리된 구조를 갖는 고성능 및 저전력 시스템을 구현하고자 한다.

과제 해결 수단

- [15] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 제 1 측면에 따른 메모리 시스템은, 휘발성 메모리로 구성된 제 1 메모리 계층, 비휘발성 메모리로 구성된 제 3 메모리 계층 및 상기 제 1 메모리 계층 및 제 3 메모리 계층 사이에 배치되고, 상기 제 1 메모리 계층에서 발생한 메모리 참조 실패에 응답하여 읽기 참조 실패가 발생한 데이터 및 쓰기 참조 실패가 발생한 데이터가 각각 로딩되는 제 1 서브 메모리와 제 2 서브 메모리를 포함하는 제 2 메모리 계층을 포함한다.
- [16] 또한, 본 발명의 제 1 측면에서, 상기 제 1 서브 메모리는 상기 읽기 참조 실패가 발생한 데이터를 로딩하고, 상기 제 2 서브 메모리는 상기 쓰기 참조 실패가 발생한 데이터를 로딩하며, 상기 제 1 서브 메모리의 읽기 속도 및 쓰기 속도의 차이는 상기 제 2 서브 메모리의 읽기 속도 및 쓰기 속도의 차이보다 더 클 수 있다.
- [17] 또한, 본 발명의 제 1 측면에서, 상기 제 1 서브 메모리는 하나 이상의 비휘발성 메모리를 포함할 수 있으며, 상기 제 1 서브 메모리에 포함된 비휘발성 메모리가

복수 개 존재하는 경우, 상기 복수개의 비휘발성 메모리는 서로 접근 속도가 상이할 수 있고, 상기 복수개의 비휘발성 메모리는 접근 속도에 기초하여 상기 제 1 메모리 계층에 대해 계층화되어 구성될 수 있다.

[18] 본 발명의 제 2 측면에 따른 메모리 시스템은, 휘발성 메모리로 구성된 제 1 메모리 계층, 비휘발성 메모리로 구성된 제 3 메모리 계층 및 상기 제 1 메모리 계층 및 제 3 메모리 계층 사이에 배치되고, 제 1 서브 메모리와 제 2 서브 메모리를 포함하는 제 2 메모리 계층을 포함하고, 상기 제 1 메모리 계층에서 발생한 메모리 참조 실패에 응답하여, 상기 제 2 서브 메모리에 읽기 참조 실패가 발생한 데이터 및 쓰기 참조 실패가 발생한 데이터가 로딩되며, 상기 제 1 서브 메모리는 상기 제 2 서브 메모리에 로딩된 데이터 중 읽기 참조 실패가 발생한 데이터가 우선적으로 교체되어 저장되는 것을 특징으로 한다.

[19] 본 발명의 제 3 측면에 따른 메모리 시스템은, 중앙 처리 장치(central processing unit, CPU)로 저장한 데이터를 전송하는 제 1 메모리 계층, 상기 제 1 메모리 계층에서 발생한 참조 실패에 응답하여 읽기 참조 실패가 발생한 데이터 및 쓰기 참조 실패가 발생한 데이터를 로딩하는 제 2 메모리 계층 및 상기 중앙 처리 장치에 의해 구동되는 프로그램에 대한 데이터를 상기 제 2 메모리 계층 및 상기 제 1 메모리 계층을 통해 상기 중앙 처리 장치로 전송하는 제 3 메모리 계층을 포함하고, 상기 제 2 메모리 계층은 읽기 속도 및 쓰기 속도의 차이가 서로 상이한 복수의 메모리를 포함한다.

[20] 본 발명의 제 4 측면에 따른 메인 메모리는, 중앙 처리 장치(central processing unit, CPU)로 데이터를 제공하는 캐쉬 메모리(cache memory)에서 발생한 읽기 참조 실패에 대응하는 데이터를 로딩하는 제 1 서브 메모리 및 상기 캐쉬 메모리에서 발생한 쓰기 참조 실패에 대응하는 데이터를 로딩하는 제 2 서브 메모리를 포함하고, 상기 제 1 서브 메모리의 읽기 속도 및 쓰기 속도의 차이는 상기 제 2 서브 메모리의 읽기 속도 및 쓰기 속도의 차이보다 더 큰 것을 특징으로 한다.

[21] 본 발명의 제 5 측면에 따른 메인 메모리는, 중앙 처리 장치(central processing unit, CPU)로 데이터를 제공하는 캐쉬 메모리(cache memory)에서 발생한 참조 실패에 대응하는 데이터를 로딩하는 제 2 서브 메모리 및 상기 제 2 서브 메모리의 로딩 가능한 용량이 미리 설정된 임계 값 이하인 경우, 상기 캐쉬 메모리에서 발생한 메모리 참조 유형에 기초하여 선택된 데이터가 저장되는 제 1 서브 메모리를 포함하고, 상기 제 1 서브 메모리의 읽기 속도 및 쓰기 속도의 차이는 상기 제 2 서브 메모리의 읽기 속도 및 쓰기 속도의 차이보다 더 큰 것을 특징으로 한다.

발명의 효과

[22] 전술한 본 발명의 과제 해결 수단에 의하면, 읽기 참조가 발생한 데이터를 집적도(density)가 높고 읽기 속도 성능이 개선된 비휘발성 메모리에 로딩하고,

쓰기 참조가 발생한 데이터를 비휘발성 메모리에 비하여 쓰기 속도가 우수한 휘발성 메모리에 로딩하여, 비휘발성 메모리 및 휘발성 메모리의 장점을 모두 이용하는 높은 효율의 메모리 시스템을 제공할 수 있다.

- [23] 또한, 전술한 본 발명의 과제 해결 수단에 의하면, 프로그램의 데이터 별로 읽기 참조 또는 쓰기 참조의 발생 횟수를 미리 파악하여, 읽기 참조가 주로 발생하는 데이터는 비휘발성 메모리에 저장하고, 쓰기 참조가 주로 발생하는 데이터는 휘발성 메모리에 로딩하여 참조 처리 속도 및 메모리의 수명을 보다 더 증가시킬 수 있다.

도면의 간단한 설명

- [24] 도 1은 종래의 기술에 따른 메모리 시스템에 적용되는 메모리 계층 구조를 도시한 도면이다.
- [25] 도 2는 본 발명의 일 실시예에 따른 비휘발성 메모리 및 휘발성 메모리를 포함하는 메모리 시스템을 도시한 도면이다.
- [26] 도 3은 본 발명의 일 실시예에 따른 비휘발성 메모리 및 휘발성 메모리를 포함하는 메모리 시스템을 도시한 도면이다.
- [27] 도 4는 본 발명의 다른 실시예에 따른 비휘발성 메모리 및 휘발성 메모리를 포함하는 메모리 시스템을 도시한 도면이다.
- [28] 도 5는 본 발명의 다른 실시예에 따른 비휘발성 메모리 및 휘발성 메모리를 포함하는 메모리 시스템을 도시한 도면이다.
- [29] 도 6은 본 발명의 일 실시예 및 다른 실시예에 따른 메모리 관리 유닛의 구성을 도시한 도면이다.
- [30] 도 7은 본 발명의 실시예에서 적용되는 휘발성 메모리 및 비휘발성 메모리의 종류 및 특성을 나타낸 테이블이다.
- [31] 도 8은 본 발명의 일 실시예에서 메모리 관리 유닛이 메모리 로딩을 수행하는 방법의 흐름을 도시한 도면이다.
- [32] 도 9는 본 발명의 다른 실시예에서 메모리 관리 유닛이 중간 메모리 계층의 휘발성 메모리에 로딩된 데이터를 비휘발성 메모리에 로딩시키는 방법의 흐름을 도시한 순서도이다.

발명의 실시를 위한 형태

- [33] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [34] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고

"전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

- [35] 도 2 및 도 3은 본 발명의 일 실시예에 따른 비휘발성 메모리 및 휘발성 메모리를 포함하는 메모리 시스템을 도시한 도면이다.
- [36] 본 발명의 일 실시예에 따른 메모리 시스템(1000)은 최상위 메모리 계층(1100), 중간 메모리 계층(1200) 및 최하위 메모리 계층(1300)을 포함한다.
- [37] 중앙 처리 장치(central processing unit, CPU)(2000)는 특정 프로그램의 실행 등을 위하여 최하위 메모리 계층(1300)에 저장된 데이터를 중간 메모리 계층(1200)을 통해 불러들인다. 불러들인 데이터는 최상위 메모리 계층(1100) 및 중간 메모리 계층(1200)에 저장된다.
- [38] 중앙 처리 장치(2000)는 이후 해당 데이터를 다시 처리할 경우 읽기/쓰기 속도가 가장 빠른 최상위 메모리 계층(1100)에 저장된 데이터를 이용하여 읽기 또는 쓰기 동작을 신속히 처리할 수 있다.
- [39] 최상위 메모리 계층(1100)은 L1/L2 캐시(cache) 메모리 등을 포함하며, 도 3에 도시된 바와 같이, SRAM 또는 DRAM 등의 휘발성 메모리로 구성될 수 있다. 최상위 메모리 계층(1100)은 중앙 처리 장치(CPU)(2000)로부터 읽기(read) 또는 쓰기(write)를 위한 특정 데이터의 요청을 수신하고, 요청된 데이터를 검색하여 요청된 데이터가 최상위 메모리 계층(1100)에 저장되어 있는지 검색한다.
- [40] 메모리 검색 결과, 요청된 읽기 동작 또는 쓰기 동작을 위한 데이터가 최상위 메모리 계층(1100)의 메모리에 존재하지 않는 경우, 즉 참조 실패(cache miss)가 발생한 경우, 최상위 메모리 계층(1100)은 중간 메모리 계층(1200)으로 참조 실패가 발생한 데이터를 요청한다.
- [41] 즉, 최상위 메모리 계층(1100)은, 참조 실패가 발생한 경우, 중간 메모리 계층(1200)의 제 1 서브 메모리(1210) 및 제 2 서브 메모리(1220)로 참조 실패가 발생한 데이터를 요청한다.
- [42] 중간 메모리 계층(1200)은 최상위 메모리 계층(1100)보다 읽기/쓰기 속도 성능이 낮은 메모리 계층이다. 하지만 최상위 메모리 계층(1100)보다 높은 집적도를 가질 수 있다.
- [43] 최상위 메모리 계층(1100)은, 제 1 서브 메모리(1210) 또는 제 2 서브 메모리(1220)에 요청한 데이터가 존재하는 경우, 해당 데이터를 제 1 서브 메모리(1210) 또는 제 2 서브 메모리(1220)로부터 획득할 수 있다.
- [44] 중간 메모리 계층(1200)은 제 1 서브 메모리(1210) 및 제 2 서브 메모리(1220)를 포함한다.
- [45] 본 발명의 일 실시예에서는 제 1 서브 메모리(1210)는 제 1 비휘발성 메모리(1212) 및 제 2 비휘발성 메모리(1214) 등 하나 이상의 비휘발성 메모리를 포함할 수 있다. 또한, 제 2 서브 메모리(1220)는 제 1 휘발성 메모리(1222) 및 제 2

휘발성 메모리(1224) 등 하나 이상의 휘발성 메모리를 포함할 수 있다.

- [46] 즉, 제 1 서브 메모리(1210)는 제 2 서브 메모리(1220)보다 읽기/쓰기 속도 성능이 낮은 저가의 메모리들로 구성될 수 있다. 비 휘발성 메모리는 휘발성 메모리에 비해 읽기/쓰기 속도 성능이 모두 낮지만, 비 휘발성 메모리의 읽기 속도는 쓰기 속도에 비해 상대적으로 우수하다. 일반적으로 메모리의 읽기 속도가 쓰기 속도보다 빠르기 때문에 비 휘발성 메모리의 읽기 속도와 쓰기 속도의 차이는 휘발성 메모리의 읽기 속도와 쓰기 속도의 차이보다 크다.
- [47] 따라서, 제 1 서브 메모리(1210)가 비휘발성 메모리로 구성된다면 읽기 속도와 쓰기 속도의 차이는, 휘발성 메모리로 구성된 제 2 서브 메모리(1220)의 읽기 속도와 쓰기 속도의 차이보다 더 클 수 있다. 즉, 제 1 서브 메모리(1210)의 읽기/쓰기 속도는 제 2 서브 메모리(1220)의 읽기/쓰기 속도보다 모두 낮지만, 제 1 서브 메모리(1210)의 읽기 속도와 제 1 서브 메모리(1210)의 쓰기 속도를 비교하였을 때, 제 1 서브 메모리(1210)의 읽기 속도 성능이 제 1 서브 메모리(1210)의 쓰기 속도 성능보다 더 우수하다.
- [48] 도 2와 도 3을 참조하면, 제 1 서브 메모리(1210)에 포함되는 비휘발성 메모리는 MRAM(212), PRAM(214) 또는 FRAM(도시 생략) 등을 포함할 수 있으며, 복수의 비휘발성 메모리가 포함되는 경우, 그 중에서 메모리 접근 속도가 가장 빠른 비휘발성 메모리가 최상위 메모리 계층(1100)측에 위치하도록 물리적 위치가 결정될 수 있다.
- [49] 또한, 제 2 서브 메모리(1220)에 포함되는 휘발성 메모리는 SRAM(222) 또는 DRAM(224) 을 포함할 수 있으며, 복수의 휘발성 메모리가 포함되는 경우, 그 중에서 메모리 접근 속도가 빠른 휘발성 메모리가 최상위 메모리 계층(1100)측에 위치하도록 물리적 위치가 결정될 수 있다.
- [50] 제 1 서브 메모리(1210)는, 최상위 메모리 계층(1100)에서 읽기 참조 실패가 발생한 데이터가 제 1 서브 메모리(1210) 및 제 2 서브 메모리(1220)에 모두 존재하지 않는 경우, 참조 실패가 발생한 데이터를 최하위 메모리 계층으로부터 로딩한다.
- [51] 제 1 서브 메모리(1210)는 읽기 속도가 상이한 복수의 비휘발성 메모리, 예를 들어 제 1 비휘발성 메모리(1212) 및 제 1 비휘발성 메모리보다 메모리 접근 속도가 느린 제 2 비휘발성 메모리(1214)를 포함할 수 있다.
- [52] 이처럼 제 1 서브 메모리(1210)는 메모리 접근 속도가 상이한 복수의 비휘발성 메모리를 포함하고, 최상위 메모리 계층(1100)에 의해 메모리 참조 요청이 발생한 경우, 참조 요청된 데이터는 접근 속도를 기준으로 제 1 비휘발성 메모리(1212) 및 제 2 비휘발성 메모리(1214)에서 순차적으로 검색될 수 있다.
- [53] 제 2 서브 메모리(1220)는, 최상위 메모리 계층(1100)에 쓰기 참조 실패가 발생한 데이터가 제 1 서브 메모리(1210) 및 제 2 서브 메모리(1220)에 모두 존재하지 않는 경우, 참조 실패가 발생한 데이터를 최하층 메모리 계층으로부터 로딩한다.

- [54] 제 2 서브 메모리(1220)는 접근 속도가 상이한 복수의 휘발성 메모리, 예를 들어 제 1 휘발성 메모리(1222) 및 제 1 휘발성 메모리보다 접근 속도가 상대적으로 느린 제 2 휘발성 메모리(1224)를 포함할 수 있다.
- [55] 이처럼 제 2 서브 메모리(1220)가 접근 속도가 상이한 복수의 휘발성 메모리를 포함하고, 최상위 메모리 계층(1100)에 의해 메모리 참조 요청이 발생한 경우, 참조 요청된 데이터는 접근 속도를 기준으로 제 1 휘발성 메모리 및 제 2 휘발성 메모리에서 순차적으로 검색될 수 있다.
- [56] 최하위 메모리 계층(1300)은 프로그램의 수행을 위한 모든 데이터를 저장한다. 최하위 메모리 계층(1300)은 비휘발성 메모리로 구성되며, 도 3에 도시된 바와 같이 플래시 메모리(flash memory) 또는 하드 디스크 드라이브(hard disk drive, HDD)(300)를 포함할 수 있다.
- [57] 최하위 메모리 계층(1300)은 중앙 처리 장치(2000)의 요청에 따라 중간 메모리 계층(1200) 및 최상위 메모리 계층(1100)을 통해 요청된 데이터를 중앙 처리 장치(2000)에 제공한다.
- [58] 한편, 제 2 서브 메모리(1220)는 최초 데이터를 로딩할 때, 최하위 메모리 계층(1300)으로부터 데이터를 로딩하여 최상위 메모리 계층(1100)으로 제공할 수 있다. 이처럼 본 발명의 일 실시예에서, 최하위 메모리 계층(1300)으로부터 최상위 메모리 계층(1100)으로 최초로 제공되는 데이터는 우선 휘발성 메모리로 구성된 제 2 서브 메모리(1220)를 통해 최상위 메모리 계층(1100)으로 제공되며, 최상위 메모리 계층(1100)에서 메모리 참조 실패가 발생한 경우, 최상위 메모리 계층(1100)은 제 1 서브 메모리(1210) 및 제 2 서브 메모리(1220)에 해당 데이터를 모두 요청(request)하여 제 1 서브 메모리(1210) 및 제 2 서브 메모리(1220)로부터 해당 데이터를 제공받을 수 있다.
- [59] 또한, 요청한 데이터가 제 1 서브 메모리(1210) 및 제 2 서브 메모리(1220)에 존재하지 않는 경우, 읽기 참조 실패가 발생한 데이터는 제 1 서브 메모리(1210)에 의해 로딩되고, 쓰기 참조 실패가 발생하는 데이터는 제 2 서브 메모리(1220)에 의해 로딩되어 추후 최상위 메모리 계층(1100)으로 제공될 수 있다.
- [60] 따라서, 최초 로딩된 데이터는 제 2 서브 메모리(1220)에 모두 로딩되지만, 최상위 메모리 계층(1100)에서 읽기 참조 실패 또는 쓰기 참조 실패가 발생함에 따라, 제 1 서브 메모리(1210)에는 읽기 참조 가능성이 높은 데이터가 저장되고, 제 2 서브 메모리에는 쓰기 참조 가능성이 높은 데이터가 저장될 수 있다.
- [61] 전술한 바와 같이, 제 1 서브 메모리(1210)는 제 2 서브 메모리(1220)보다 메모리 접근 속도는 떨어지지만, 읽기 속도 성능은 쓰기 속도 성능에 비해 상대적으로 우수하기 때문에 중간 메모리 계층(1200)은 각각의 메모리들이 가진 장점을 최대한 활용하여 효율적으로 데이터 처리를 수행할 수 있다.
- [62] 도 4 및 도 5는 본 발명의 다른 실시예에 따른 비휘발성 메모리 및 휘발성 메모리를 포함하는 메모리 시스템을 도시한 도면이다.

- [63] 본 발명의 다른 실시예에 따른 메모리 시스템(3000)은 최상위 메모리 계층(3100), 메모리 관리 유닛(3200), 중간 메모리 계층(3300) 및 최하위 메모리 계층(3400)을 포함한다.
- [64] 중앙 처리 장치(central processing unit, CPU)(2000)는 도 2에서 설명한 바와 같이 특정 프로그램의 실행 등을 위하여 최하위 메모리 계층(3400)에 저장된 데이터를 중간 메모리 계층(3300)을 통해 불러들이며, 이후 해당 데이터를 다시 처리할 경우 최하위 메모리 계층(3400)이 아닌 최상위 메모리 계층(3100)에 저장된 데이터를 이용하여 읽기 또는 쓰기 동작을 신속히 처리할 수 있다.
- [65] 최상위 메모리 계층(3100)은 L1캐시 또는 L1/L2 캐시 메모리 등을 포함하며, 도 5에 도시된 바와 같이, SRAM(310)등의 휘발성 메모리로 구성된다. 최상위 메모리 계층(3100)은 중앙 처리 장치(CPU)(2000)로부터 읽기(read) 또는 쓰기(write)를 위한 특정 데이터의 요청을 수신하고, 요청된 데이터를 최상위 메모리 계층(3100)의 메모리로부터 검색한다.
- [66] 메모리 검색 결과, 최상위 메모리 계층(3100)의 메모리에 요청된 읽기 동작 또는 쓰기 동작을 위한 데이터가 존재하지 않는 경우, 즉 참조 실패(cache miss)가 발생한 경우, 최상위 메모리 계층(3100)은 중간 메모리 계층(3300)으로 참조 실패가 발생한 데이터를 요청한다.
- [67] 최상위 메모리 계층(3100)은, 참조 실패가 발생한 경우, 중간 메모리 계층(3300)의 제 1 서브 메모리(3310) 및 제 2 서브 메모리(3320)로 참조 실패가 발생한 데이터를 요청하고, 제 1 서브 메모리(3310) 또는 제 2 서브 메모리(3320)에 요청한 데이터가 존재하는 경우, 해당 데이터를 제 1 서브 메모리(3310) 또는 제 2 서브 메모리(3320)로부터 획득할 수 있다.
- [68] 도 4 및 도 5에 도시된 실시예에서도 제 1 서브 메모리(3310)는 제 1 비휘발성 메모리(3312) 및 제 2 비휘발성 메모리(3314) 등 하나 이상의 비휘발성 메모리를 포함할 수 있다. 또한, 제 2 서브 메모리(3320)는 제 1 휘발성 메모리(3322) 및 제 2 휘발성 메모리(3324) 등 하나 이상의 휘발성 메모리를 포함할 수 있다. 즉, 제 1 서브 메모리(3310)는 제 2 서브 메모리(3320)보다 읽기/쓰기 속도 성능이 낮은 저가의 메모리들로 구성될 수 있다. 비 휘발성 메모리의 읽기/쓰기 속도는 휘발성 메모리의 읽기/쓰기 속도보다 느리지만, 비 휘발성 메모리의 읽기 속도와 쓰기 속도만을 비교하는 경우, 비 휘발성 메모리의 읽기 속도는 비 휘발성 메모리의 쓰기 속도에 비해 우수하다. 일반적으로 메모리의 읽기 속도가 쓰기 속도보다 빠르기 때문에 비 휘발성 메모리의 읽기 속도와 쓰기 속도의 차이는 휘발성 메모리의 읽기 속도와 쓰기 속도의 차이보다 크다. 도 5에 도시된 바와 같이 제 1 서브 메모리(3310)에 포함되는 비휘발성 메모리는 MRAM(312), PRAM(314) 또는 FRAM(도시 생략) 등을 포함할 수 있으며, 복수의 비휘발성 메모리가 포함되는 경우, 접근 속도가 빠른 비휘발성 메모리가 최상위 메모리 계층(3100)측에 위치하도록 물리적 위치가 결정될 수 있다.
- [69] 또한, 제 2 서브 메모리(3320)에 포함되는 휘발성 메모리는 SRAM(322) 또는

DRAM(324) 을 포함할 수 있으며, 복수의 휘발성 메모리가 포함되는 경우, 쓰기 속도가 빠른 휘발성 메모리가 최상위 메모리 계층(3100)측에 위치하도록 물리적 위치가 결정될 수 있다.

- [70] 한편, 메모리 관리 유닛(3200)은 최상위 메모리 계층(3100)에서 참조 실패가 발생한 데이터가 최하위 메모리 계층(3400)으로부터 중간 메모리 계층(3300)으로 로딩되는 것을 제어한다.
- [71] 즉, 메모리 관리 유닛(3200)은, 최상위 메모리 계층(3100)에서 참조 실패가 발생한 데이터가 중간 메모리 계층에 존재하지 않는 경우, 해당 데이터를 최하위 메모리 계층(3400)으로부터 중간 메모리 계층(3300)으로 로딩시킨다.
- [72] 본 발명의 다른 실시예에서, 메모리 관리 유닛(3200)은 본 발명의 일 실시예에서와 달리, 최상위 메모리 계층(3100)에서 발생한 참조 실패의 유형에 관계없이, 즉 읽기 참조 실패인지 쓰기 참조 실패인지 여부와 관계없이, 참조 실패가 발생한 데이터를 모두 제 2 서브 메모리(3320)로 로딩시킨다.
- [73] 또한, 메모리 관리 유닛(3200)은 데이터 별로 참조가 발생한 처리 동작의 유형을 기록하여, 데이터 별로 최상위 메모리 계층(3100)에서 읽기 참조가 주로 발생하는지 또는 쓰기 참조가 주로 발생하는지 여부를 파악한다.
- [74] 메모리 관리 유닛(3200)은, 제 2 서브 메모리(3320)에 참조 실패가 발생한 블록을 로딩하여 저장 가능한 용량이 미리 설정된 임계 값 이하가 되는 경우, 읽기 참조 발생율이 높은 데이터를 제 2 서브 메모리(3320)로부터 제 1 서브 메모리(3310)로 전달하여 저장시킨다. 예를 들어, 상기 임계값은 잔여 용량이 0~25% 사이에서 결정될 수 있다. 여기서, 임계값을 0%인 경우는, 제 2 서브 메모리(3320)의 저장 용량이 모두 소진되었을 경우를 의미한다. 이러한 메모리 저장 용량의 소진은 완전 연관 (Fully associative) 매핑 방식을 사용하는 경우에는 모든 용량을 다 사용했는가 여부에 기초하여 판단될 수 있고, 집합 연관 (set-associative) 매핑 방식을 사용하는 경우는 참조 실패된 블록이 저장될 수 있는 해당 집합 (set)에 존재하는 용량이 모두 사용되었는가 여부에 기초하여 판단될 수 있다.
- [75] 여기서, 최상위 메모리 계층(3100)에서 읽기 참조만이 발생된 데이터는 내용 변경없이 읽기에만 사용된 데이터에 해당할 수 있다. 이와 같이, 저장된 데이터가 읽기에만 사용되고 내용이 변경이 없는 경우에는 클린 데이터 블록이라 칭한다
- [76] 반대로, 최상위 메모리 계층(3100)에서 쓰기 참조가 발생된 데이터는 내용 변경이 발생한 데이터이다. 이와 같이, 저장된 데이터가 내용이 변경된 경우에는 더티 데이터 블록이라 칭한다
- [77] 1차적으로, 제 2 서브 메모리(3320)의 저장 가능한 용량이 미리 설정된 임계 값 이하가 될 때마다, 클린 데이터 블록이 제 1 서브 메모리(3310)로 전달되어 저장될 수 있다. 이와 같은 동작에 의해, 제 1 서브 메모리(3310)에는 클린 데이터 블록이 저장되고, 제 2 서브 메모리(3320)에는 더티 데이터 블록이 저장될 수

있다.

- [78] 만약, 제 2 서브 메모리(3320)에 더 이상 클린 데이터 블록이 존재하지 않는다면, 더티 데이터 블록 각각의 읽기 참조 발생율과 쓰기 참조 발생율이 산출되고, 전술한 알고리즘에 따라서 제 2 서브 메모리(3320)의 데이터가 제 1 서브 메모리(3310)에 저장될 수 있다. 또는 일반적인 블록 교체 (block replacement) 방법을 사용하여 제 2 서브 메모리 (3320)의 더티 데이터 블록 중에서 특정 블록이 선택되고, 선택된 블록은 제 1 서브 메모리 (3310)에 저장될 수 있다.
- [79] 따라서, 이후에 최상위 메모리 계층(3100)에서 참조 실패가 발생한 경우, 최상위 메모리 계층은 읽기 참조 실패가 발생한 데이터를 제 1 서브 메모리(3310)로부터 획득할 수 있으며, 쓰기 참조 실패가 발생한 데이터를 제 2 서브 메모리(3320)로부터 획득할 수 있다.
- [80] 전술한 실시예에 따르면, 제 1 서브 메모리(3310)는 제 2 서브 메모리(3320)보다 메모리 접근 속도는 떨어지지만, 읽기 속도 성능은 쓰기 속도 성능에 비해 상대적으로 우수하기 때문에 중간 메모리 계층(3300)은 각각의 메모리 들이 가진 장점을 최대한 활용하여 효율적으로 데이터 처리를 수행할 수 있다.
- [81] 한편, 제 1 서브 메모리(3310)는 접근 속도가 상이한 복수의 비휘발성 메모리, 예를 들어 제 1 비휘발성 메모리(3312) 및 제 1 비휘발성 메모리(3312)보다 상대적으로 접근 속도가 느린 제 2 비휘발성 메모리(3314)를 포함할 수 있다.
- [82] 제 1 서브 메모리(3310)는 메모리 관리 유닛(3200)의 제어에 의해 제 2 서브 메모리(3320)로부터 읽기 참조 발생율이 높은 데이터를 수신하여 저장할 수 있으며, 최상위 메모리 계층(3100)의 요청에 응답하여 요청된 데이터를 최상위 메모리 계층(3100)에 제공할 수 있다.
- [83] 제 2 서브 메모리(3320)는 최상위 메모리 계층(3100)에 최초로 제공되는 데이터를 최하위 메모리 계층(3400)으로부터 로딩하여 최상위 메모리 계층(3100)으로 제공하며, 최상위 메모리 계층(3100)에서 메모리 참조 실패가 발생하고 제 1 서브 메모리(3310) 및 제 2 서브 메모리(3320)에 존재하지 않는 데이터를 최하위 메모리 계층(3400)으로부터 획득하여 최상위 메모리 계층(3100)에 제공한다.
- [84] 제 2 서브 메모리(3320)는 메모리 관리 유닛(3200)의 요청에 응답하여 제 2 서브 메모리(3320)에 저장된 데이터 중 메모리 관리 유닛(3200)에 의해 요청된 데이터를 제 1 서브 메모리(3310)로 전송한다. 전술한 바와 같이, 제 2 서브 메모리(3320)로부터 제 1 서브 메모리(3310)로 전송되는 데이터는 읽기 참조의 발생율이 높은 데이터를 포함할 수 있다.
- [85] 제 2 서브 메모리(3320)는 읽기 속도가 상이한 복수의 휘발성 메모리, 예를 들어 제 1 휘발성 메모리(3322) 및 제 1 휘발성 메모리(3322)보다 상대적으로 접근 속도가 느린 제 2 휘발성 메모리(3324)를 포함할 수 있다.
- [86] 최하위 메모리 계층(3400)은 프로그램의 수행을 위한 모든 데이터를 저장한다.

최하위 메모리 계층(3400)은 비휘발성 메모리로 구성되며, 도 5에 도시된 바와 같이 플래시 메모리(flash memory) 또는 하드 디스크 드라이브(hard disk drive, HDD)(400)를 포함할 수 있다.

[87] 최하위 메모리 계층(3400)은 중앙 처리 장치(2000)의 요청에 따라 저장한 데이터를 최상위 메모리 계층(3100), 중간 메모리 계층(3300)를 통해 중앙 처리 장치(2000)에 제공한다.

[88] 상술한 본 발명의 다른 실시예에서, 메모리 관리 유닛(3200)은 메모리 시스템(3000)과 별개의 구성 요소로 설명되었으나 이에 한정되는 것은 아니며, 메모리 시스템(3000) 또는 중앙 처리 장치(CPU)(2000)에 포함될 수도 있다.

[89] 상술한 설명에서, 메모리 관리 유닛은 도 4 및 도 5에 도시된 실시예에서만 설명되었으나, 이에 한정되는 것은 아니며, 본 발명의 도 2 및 도 3에 도시된 실시예에 따른 메모리 시스템도 메모리 관리 유닛을 포함할 수 있다.

[90] 이러한 경우, 본 발명의 일 실시예에서 메모리 관리 유닛은 최상위 메모리 계층에서 발생한 참조 실패의 유형을 파악하고, 읽기 참조 실패가 발생한 경우 해당 데이터를 하나 이상의 비휘발성 메모리를 포함하는 제 1 서브 메모리에 로딩하고, 쓰기 참조 실패가 발생한 경우 해당 데이터를 하나 이상의 휘발성 메모리를 포함하는 제 2 서브 메모리에 로딩할 수 있다.

[91] 도 6은 본 발명의 일 실시예 및 다른 실시예에 따른 메모리 관리 유닛(3200)의 구성을 도시한 도면이다.

[92] 본 발명의 다른 실시예에 따른 메모리 관리 유닛(3200)은 데이터별 동작 로그 수집부(3210), 데이터별 참조 유형 분류부(3220), 참조 유형 판단부(3230) 및 데이터 저장 관리부(3240)를 포함한다.

[93] 데이터별 동작 로그 수집부(3210)는 최상위 메모리 계층(도시 생략)에서 발생한 참조의 유형을 데이터 별로 수집한다. 즉, 데이터별 동작 로그 수집부(3210)는 각각의 데이터에 대하여 읽기 참조 및 쓰기 참조가 발생한 횟수 등을 데이터 별로 수집하여 기록한다.

[94] 데이터별 참조 유형 분류부(3220)는 데이터별 동작 로그 수집부(3210)에 의해 수집된 기록에 기초하여 각각의 데이터의 참조 유형을 분류한다.

[95] 즉, 데이터별 참조 유형 분류부(3220)는 데이터별 동작 로그 수집부(3210)에 의해 수집된 데이터별 읽기 참조 횟수 및 쓰기 참조 횟수에 기초하여 해당 데이터에 대하여 읽기 참조가 주로 발생하는지 쓰기 참조가 주로 발생하는지 여부를 판단하고, 판단 결과를 기초로 해당 데이터의 참조 유형을 결정한다.

[96] 데이터별 참조 유형 분류부(3220)는 읽기 참조의 횟수 및 쓰기 참조 횟수의 비율을 기준으로 참조 유형을 결정할 수 있다.

[97] 참조 유형 판단부(3230)는 최상위 메모리 계층에서 발생한 참조의 유형을 판단한다. 즉 참조 유형 판단부(3230)는, 최상위 메모리 계층에서 참조가 발생한 경우, 발생한 참조가 읽기 참조인지 또는 쓰기 참조 인지 여부를 판단한다.

[98] 데이터 저장 관리부(3240)는 최하위 메모리 계층의 데이터를 미리 설정된

- 기준에 따라 제 1 서브 메모리 또는 제 2 서브 메모리에 저장시킨다.
- [99] 즉, 최상위 메모리 계층에서 참조 실패가 발생한 이후 최하위 메모리 계층의 데이터를 데이터의 참조 유형에 따라 제 1 서브 메모리 또는 제 2 서브 메모리에 로딩하도록 설정된 경우, 데이터 저장 관리부(3240)는 최상위 메모리 계층에서 참조 실패가 발생한 데이터의 참조 유형에 기초하여 해당 데이터를 제 1 서브 메모리 또는 제 2 서브 메모리에 저장시킨다.
- [100] 예를 들어, 최상위 메모리 계층에서 발생한 참조 실패가 읽기 참조인 경우, 데이터 저장 관리부(3240)는 해당 데이터를 하나 이상의 비휘발성 메모리를 포함하는 중간 메모리 계층의 제 1 서브 메모리에 저장시킬 수 있다.
- [101] 또한, 최상위 메모리 계층에서 발생한 참조 실패가 쓰기 참조인 경우, 데이터 저장 관리부(3240)는 해당 데이터를 하나 이상의 휘발성 메모리를 포함하는 중간 메모리 계층의 제 2 서브 메모리에 로딩시킬 수 있다.
- [102] 이와 달리 최하위 메모리 계층의 데이터를 항상 하나 이상의 휘발성 메모리를 포함하는 제 2 서브 메모리에 로딩하도록 설정된 경우, 데이터 저장 관리부(3240)는 최상위 메모리 계층에서 참조 실패가 발생한 데이터의 참조 유형에 관계없이 최하위 메모리 계층의 데이터를 우선적으로 제 2 서브 메모리에 로딩시킬 수 있다.
- [103] 이 경우, 데이터 저장 관리부(3240)는 제 2 서브 메모리의 저장 가능 용량이 미리 설정된 임계 값 이하인지 여부를 판단하고, 제 2 서브 메모리의 저장 가능 용량이 미리 설정된 임계 값 이하인 경우, 제 2 서브 메모리에 저장된 데이터 중에서 참조 유형 판단부(3230)에 의해 읽기 참조 유형으로 판단된 데이터(예를 들어, 클린 데이터 블록)를 하나 이상의 비휘발성 메모리를 포함하는 제 1 서브 메모리에 저장시킬 수 있다.
- [104] 도 7은 본 발명의 실시예에서 적용되는 휘발성 메모리 및 비휘발성 메모리의 종류 및 특성을 나타낸 테이블이다.
- [105] 도 7에 도시된 바와 같이, 비휘발성 메모리인 MRAM 및 PRAM은 읽기(read) 특성은 휘발성 메모리인 eDRAM 및 SRAM과 유사하거나 조금 낮지만, 이에 비해 쓰기(write) 특성은 휘발성 메모리인 SRAM에 비해 크게 낮은 성능을 나타낸다.
- [106] 또한, 비휘발성 메모리인 MRAM 및 PRAM은 휘발성 메모리인 eDRAM 및 SRAM에 비해 높은 집적도(density)를 가지므로, 동일한 용량의 메모리에 대하여 비휘발성 메모리가 휘발성 메모리에 비하여 적은 면적을 차지한다.
- [107] 도 8은 본 발명의 일 실시예에서 메모리 관리 유닛이 메모리 로딩을 수행하는 방법의 흐름을 도시한 도면이다.
- [108] 단계(S105)에서, 메모리 관리 유닛은 최상위 메모리 계층으로부터 특정 데이터에 대한 메모리 참조 실패 정보를 수신한다.
- [109] 단계(S110)에서, 메모리 관리 유닛은 단계(S105)에서 수신한 메모리 참조 실패 정보로부터 참조 실패의 유형을 판단한다. 즉, 메모리 관리 유닛은

단계(S105)에서 수신한 메모리 참조 실패 정보로부터 최상위 메모리 계층에서 발생한 참조 실패가 발생한 데이터가 중간 메모리 계층에 존재하는지 여부를 판단하고, 참조 실패가 발생한 데이터가 중간 메모리 계층에 존재하지 않는 경우, 최상위 메모리 계층에서 발생한 참조 실패가 읽기 참조 실패인지 또는 쓰기 참조 실패인지 여부를 판단한다.

- [110] 단계(S115)에서는, 단계(S110)에서 읽기 참조 실패가 발생한 것으로 판단된 경우, 메모리 관리 유닛은 읽기 참조 실패가 발생한 데이터를 최하위 메모리 계층으로부터 하나 이상의 비휘발성 메모리를 포함하는 제 1 서브 메모리로 로딩시킨다.
- [111] 단계(S120)에서는, 단계(S110)에서 쓰기 참조 실패가 발생한 것으로 판단된 경우, 메모리 관리 유닛은 쓰기 참조 실패가 발생한 데이터를 최하위 메모리 계층으로부터 하나 이상의 휘발성 메모리를 포함하는 제 2 서브 메모리로 로딩시킨다.
- [112] 이처럼 단계(S115) 및 단계(S120)에서 참조 실패 유형에 따라 제 1 서브 메모리 또는 제 2 서브 메모리에 로딩된 데이터는, 최상위 메모리 계층에서 참조 실패가 발생한 경우, 최상위 메모리 계층의 요청에 의해 제 1 서브 메모리 또는 제 2 서브 메모리로부터 최상위 메모리 계층으로 제공될 수 있다.
- [113] 도 9는 본 발명의 다른 실시예에서 메모리 관리 유닛이 중간 메모리 계층의 휘발성 메모리에 로딩된 데이터를 비휘발성 메모리에 로딩시키는 방법의 흐름을 도시한 순서도이다.
- [114] 단계(S210)에서, 메모리 관리 유닛은 최상위 메모리 계층으로부터 메모리 참조 실패 정보를 수신한다. 수신된 메모리 참조 실패 정보는 참조 실패가 발생한 데이터 정보 및 참조 실패의 유형 정보를 포함한다.
- [115] 단계(S220)에서, 메모리 관리 유닛은 단계(S210)에서 수신한 메모리 참조 실패 정보에 기초하여 참조 실패가 발생한 데이터를 최하위 메모리 계층으로부터 획득하여 하나 이상의 휘발성 메모리를 포함하는 제 2 서브 메모리에 로딩한다.
- [116] 단계(S230)에서, 메모리 관리 유닛은 단계(S220)에서 로딩한 데이터 별로 참조 유형을 기록한다. 즉, 메모리 관리 유닛은 각 데이터 별로 참조가 발생할 때마다 참조의 유형을 기록하므로, 각각의 데이터 별로 어떠한 유형의 참조가 어느 정도 발생하는지에 대한 정보를 생성할 수 있다.
- [117] 따라서, 메모리 관리 유닛은 각 데이터마다 읽기 참조 발생을 및 쓰기 참조 발생을 산출할 수 있다.
- [118] 한편, 여기서 참조 유형의 기록은 단순히 내용 변경이 있었는지에 관한 클린 데이터 블록인지 더티 데이터 블록인지만을 식별하여 기록하는 것을 포함한다.
- [119] 단계(S240)에서, 메모리 관리 유닛은 단계(S220)에서 참조 실패한 데이터를 로딩하는 하나 이상의 휘발성 메모리를 포함하는 제 2 서브 메모리에 참조 실패가 발생한 데이터 블록을 저장할 수 있는 저장 공간이 미리 설정된 임계 값 이하인지 여부를 판단한다.

- [120] 단계(S220)에서와 같이 참조 실패한 데이터를 제 2 서브 메모리에 로딩하는 과정이 반복되면, 제 2 서브 메모리에 로딩되는 데이터가 증가하게 되며, 이로 인해 제 2 서브 메모리의 로딩 가능한 용량이 점차 감소하게 된다.
- [121] 따라서, 메모리 관리 유닛은 제 2 서브 메모리의 사용 가능한, 즉 로딩 가능한 용량이 미리 설정된 임계 값 이하인지 여부를 판단한다. 예를 들어, 제 2 서브 메모리에 새로운 메모리 블록을 저장할 수 있는 저장공간이 남아 있는지의 여부를 판단할 수 있다. 이러한 동작은 완전 연관(Fully associative) 매핑 방식을 사용하는 경우에는 모든 용량을 다 사용 했는가로, 집합 연관(set-associative) 매핑 방식을 사용하는 경우는 참조 실패된 블록이 저장될 수 있는 해당 집합(set)에 존재하는 용량이 모두 사용되었는가로 판단할 수 있다.
- [122] 단계(S250)에서는, 단계(S240)에서 제 2 서브 메모리의 로딩 가능한 용량이 미리 설정된 임계 값 이하인 것으로 판단되는 경우, 메모리 관리 유닛은 단계(S230)에서 기록한 데이터별 참조 유형 정보에 기초하여 제 2 서브 메모리에 로딩된 데이터마다 읽기 참조 율을 산출하고, 산출한 읽기 참조 율에 기초하여 제 2 서브 메모리에 로딩된 데이터를 하나 이상의 비휘발성 메모리를 포함하는 제 1 서브 메모리로 이동시킨다.
- [123] 즉, 메모리 관리 유닛은 제 2 서브 메모리에 저장된 데이터 중 읽기 참조율이 높은 데이터를 하나 이상의 비휘발성 메모리를 포함하는 제 1 서브 메모리에 저장시켜, 제 2 서브 메모리에 참조 실패가 발생한 블록을 저장할 수 있는 공간을 확보하고, 읽기 속도가 쓰기 속도에 비해 우수한 비 휘발성 메모리를 포함하는 제 1 서브 메모리에 읽기 참조 율이 높은, 즉 읽기 참조 발생율이 높은 데이터를 저장시킨다. 여기서, 읽기 참조 발생율이 높은 데이터로서 클린 데이터 블록이 우선적으로 선택될 수 있다.
- [124] 단계(S260)에서, 메모리 관리 유닛은 최상위 메모리 계층에서 참조 실패가 발생한 데이터 중 제 1 서브 메모리 또는 제 2 서브 메모리에 저장된 데이터를 검색하여 최상위 메모리 계층에 제공한다.
- [125] 상술한 단계(S210) 내지 단계(S260)이 반복됨에 따라 결과적으로 읽기 참조 발생율이 높은 데이터는 하나 이상의 비휘발성 메모리를 포함하는 제 1 서브 메모리에 저장되며, 쓰기 참조 실패의 발생율이 높은 데이터는 하나 이상의 휘발성 메모리를 포함하는 제 2 서브 메모리에 저장될 수 있으며, 이로 인해 각 메모리의 특성에 따른 데이터 처리의 효율이 증가될 수 있다.
- [126] 본 발명의 일 실시예는 컴퓨터에 의해 실행되는 프로그램 모듈과 같은 컴퓨터에 의해 실행 가능한 명령어를 포함하는 기록 매체의 형태로도 구현될 수 있다. 컴퓨터 판독 가능 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 가용 매체일 수 있고, 휘발성 및 비휘발성 매체, 분리형 및 비분리형 매체를 모두 포함한다. 또한, 컴퓨터 판독가능 매체는 컴퓨터 저장 매체 및 통신 매체를 모두 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는

기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함한다. 통신 매체는 전형적으로 컴퓨터 관독가능 명령어, 데이터 구조, 프로그램 모듈, 또는 반송파와 같은 변조된 데이터 신호의 기타 데이터, 또는 기타 전송 매커니즘을 포함하며, 임의의 정보 전달 매체를 포함한다.

- [127] 본 발명의 방법 및 시스템은 특정 실시예와 관련하여 설명되었지만, 그것들의 구성 요소 또는 동작의 일부 또는 전부는 범용 하드웨어 아키텍처를 갖는 컴퓨터 시스템을 사용하여 구현될 수 있다.
- [128] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [129] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

청구범위

- [청구항 1] 복수의 계층의 메모리로 구성된 메모리 시스템에 있어서,
휘발성 메모리로 구성된 제 1 메모리 계층,
비휘발성 메모리로 구성된 제 3 메모리 계층 및
상기 제 1 메모리 계층 및 제 3 메모리 계층 사이에 배치되고, 상기
제 1 메모리 계층에서 발생한 메모리 참조 실패에 응답하여 읽기
참조 실패가 발생한 데이터 및 쓰기 참조 실패가 발생한 데이터가
각각 로딩되는 제 1 서브 메모리와 제 2 서브 메모리를 포함하는 제
2 메모리 계층을 포함하는 메모리 시스템.
- [청구항 2] 제 1 항에 있어서,
상기 제 1 서브 메모리는 상기 읽기 참조 실패가 발생한 데이터를
로딩하고, 상기 제 2 서브 메모리는 상기 쓰기 참조 실패가 발생한
데이터를 로딩하며, 상기 제 1 서브 메모리의 읽기 속도 및 쓰기
속도의 차이는 상기 제 2 서브 메모리의 읽기 속도 및 쓰기 속도의
차이보다 더 큰 것인 메모리 시스템.
- [청구항 3] 제 2 항에 있어서,
상기 제 1 서브 메모리는 하나 이상의 비휘발성 메모리를 포함하는
것인 메모리 시스템.
- [청구항 4] 제 3 항에 있어서,
상기 제 1 서브 메모리에 포함된 비휘발성 메모리가 복수 개
존재하는 경우, 상기 복수개의 비휘발성 메모리는 서로 읽기
속도가 상이한 것인 메모리 시스템.
- [청구항 5] 제 4 항에 있어서,
상기 복수개의 비휘발성 메모리는 접근 속도에 기초하여 상기 제 1
메모리 계층에 대해 계층화되어 구성되는 것인 메모리 시스템.
- [청구항 6] 복수의 계층의 메모리로 구성된 메모리 시스템에 있어서,
휘발성 메모리로 구성된 제 1 메모리 계층,
비휘발성 메모리로 구성된 제 3 메모리 계층 및
상기 제 1 메모리 계층 및 제 3 메모리 계층 사이에 배치되고, 제 1
서브 메모리와 제 2 서브 메모리를 포함하는 제 2 메모리 계층을
포함하고,
상기 제 1 메모리 계층에서 발생한 메모리 참조 실패에 응답하여,
상기 제 2 서브 메모리에 읽기 참조 실패가 발생한 데이터 및 쓰기
참조 실패가 발생한 데이터가 로딩되며,
상기 제 1 서브 메모리는 상기 제 2 서브 메모리에 로딩된 데이터
중 읽기 참조 실패가 발생한 데이터가 우선적으로 교체되어
저장되는 것인 메모리 시스템.

- [청구항 7] 제 6 항에 있어서,
상기 제 1 메모리 계층에서 발생한 메모리 참조 실패에 응답하여
상기 제 2 메모리 계층에 로딩된 데이터의 참조 유형의 횟수를
데이터 별로 기록하는 메모리 관리 유닛
을 더 포함하는 메모리 시스템.
- [청구항 8] 제 7 항에 있어서,
상기 메모리 관리 유닛은 상기 제 1 메모리 계층에서 발생한
메모리 참조 실패에 응답하여 상기 메모리 참조 실패가 발생한
데이터를 상기 제 2 서버 메모리에 로딩시키고, 상기 제 2 서버
메모리의 로딩 가능한 용량이 미리 설정된 임계 값 이하인 경우,
읽기 참조 횟수에 기초하여 상기 제 2 서버 메모리에 저장된
데이터를 상기 제 1 서버 메모리에 저장시키는 것인 메모리
시스템.
- [청구항 9] 제 8 항에 있어서,
상기 제 1 서버 메모리의 읽기 속도 및 쓰기 속도의 차이는 상기 제
2 서버 메모리의 읽기 속도 및 쓰기 속도의 차이보다 더 큰 것인
메모리 시스템.
- [청구항 10] 복수의 계층의 메모리로 구성된 메모리 시스템에 있어서,
중앙 처리 장치(central processing unit, CPU)로 저장한 데이터를
전송하는 제 1 메모리 계층,
상기 제 1 메모리 계층에서 발생한 참조 실패에 응답하여 읽기
참조 실패가 발생한 데이터 및 쓰기 참조 실패가 발생한 데이터를
로딩하는 제 2 메모리 계층 및
상기 중앙 처리 장치에 의해 구동되는 프로그램에 대한 데이터를
상기 제 2 메모리 계층 및 상기 제 1 메모리 계층을 통해 상기 중앙
처리 장치로 전송하는 제 3 메모리 계층을 포함하고,
상기 제 2 메모리 계층은 읽기 속도 및 쓰기 속도의 차이가 서로
상이한 복수의 메모리를 포함하는 것인 메모리 시스템.
- [청구항 11] 제 10 항에 있어서,
상기 제 2 메모리 계층은 상기 제 1 메모리 계층에서 발생한 참조
실패에 응답하여 읽기 참조 실패가 발생한 데이터 및 쓰기 참조
실패가 발생한 데이터를 서로 다른 메모리에 로딩(loading)하는
것인 메모리 시스템.
- [청구항 12] 제 11 항에 있어서,
상기 제 2 메모리 계층은 제 1 서버 메모리 및 제 2 서버 메모리를
포함하고,
상기 제 1 서버 메모리는 상기 읽기 참조 실패가 발생한 데이터를
로딩하고, 상기 제 2 서버 메모리는 상기 쓰기 참조 실패가 발생한

- 데이터를 로딩하며,
 상기 제 1 서브 메모리의 읽기 속도 및 쓰기 속도의 차이는 상기 제 2 서브메모리의 읽기 속도 및 쓰기 속도의 차이보다 더 큰 것인 메모리 시스템.
- [청구항 13] 제 12 항에 있어서,
 상기 제 1 서브 메모리는 하나 이상의 비휘발성 메모리를 포함하는 것인 메모리 시스템.
- [청구항 14] 제 13 항에 있어서,
 상기 제 1 서브 메모리에 포함된 비휘발성 메모리가 복수 개 존재하는 경우, 상기 복수개의 비휘발성 메모리는 서로 접근 속도가 상이한 것인 메모리 시스템.
- [청구항 15] 제 14 항에 있어서,
 상기 복수개의 비휘발성 메모리는 접근 속도에 기초하여 상기 제 1 메모리 계층에 대해 계층화되어 구성되는 것인 메모리 시스템.
- [청구항 16] 제 12 항에 있어서,
 상기 제 2 서브 메모리는 하나 이상의 휘발성 메모리를 포함하는 것인 메모리 시스템.
- [청구항 17] 제 10 항에 있어서,
 상기 제 1 메모리 계층에서 발생한 메모리 참조에 응답하여 상기 제 1 메모리 계층에 로딩된 데이터의 참조 유형을 데이터 별로 기록하는 메모리 관리 유닛
 을 더 포함하는 메모리 시스템.
- [청구항 18] 제 17 항에 있어서,
 상기 제 2 메모리 계층은 제 1 서브 메모리 및 제 2 서브 메모리를 포함하고,
 상기 메모리 관리 유닛은 상기 제 1 메모리 계층에서 발생한 메모리 참조 실패에 응답하여 상기 메모리 참조 실패가 발생한 데이터를 상기 제 2 서브 메모리에 로딩시키고, 상기 제 2 서브 메모리에 상기 참조 실패가 발생하여 로딩한 데이터를 저장 가능한 용량이 미리 설정된 임계 값 이하인 경우, 읽기 참조 횟수에 기초하여 상기 제 2 서브 메모리에 저장된 데이터를 상기 제 1 서브 메모리에 저장시키는 것인 메모리 시스템.
- [청구항 19] 제 18 항에 있어서, 상기 제 1 서브 메모리의 읽기 속도 및 쓰기 속도의 차이는 상기 제 2 서브 메모리의 읽기 속도 및 쓰기 속도의 차이보다 더 큰 것인 메모리 시스템.
- [청구항 20] 제 18 항에 있어서,
 상기 메모리 관리 유닛은,
 상기 제 1 메모리 계층에서 발생한 참조 유형 정보를 상기 제 1

메모리 계층에 로딩된 데이터 별로 생성하는 데이터별 동작 로그 수집부,

상기 데이터별 동작 로그 수집부에 의해 생성된 데이터별 참조 유형 정보에 기초하여 상기 제 1 메모리 계층에 로딩된 데이터의 참조 유형을 분류하는 데이터별 참조 유형 분류부 및
상기 제 2 서브 메모리의 로딩 가능한 용량이 미리 설정된 임계 값 이하인 경우, 상기 분류된 참조 유형에 기초하여 상기 제 2 서브 메모리에 저장된 데이터를 상기 제 1 서브 메모리에 교체하여 저장시키는 데이터 저장 관리부를 포함하는 것인 메모리 시스템.

[청구항 21] 복수의 메모리를 포함하는 메인 메모리에 있어서,
중앙 처리 장치(central processing unit, CPU)로 데이터를 제공하는 캐쉬 메모리(cache memory)에서 발생한 읽기 참조 실패에 대응하는 데이터를 로딩하는 제 1 서브 메모리 및
상기 캐쉬 메모리에서 발생한 쓰기 참조 실패에 대응하는 데이터를 로딩하는 제 2 서브 메모리를 포함하고, 상기 제 1 서브 메모리의 읽기 속도 및 쓰기 속도의 차이는 상기 제 2 서브 메모리의 읽기 속도 및 쓰기 속도의 차이보다 더 큰 것인 메인 메모리.

[청구항 22] 제 21 항에 있어서,
상기 제 1 서브 메모리는 읽기 속도가 상이한 복수의 비휘발성 메모리를 포함하는 것인 메인 메모리.

[청구항 23] 제 22 항에 있어서,
상기 복수의 비휘발성 메모리는 접근 속도에 기초하여 상기 캐쉬 메모리 측에 대해 계층화되는 것인 메인 메모리.

[청구항 24] 제 21 항에 있어서,
상기 제 2 서브 메모리는 접근 속도가 상이한 복수의 휘발성 메모리를 포함하는 것인 메인 메모리.

[청구항 25] 제 24 항에 있어서,
상기 복수의 휘발성 메모리는 접근 속도에 기초하여 상기 캐쉬 메모리 측에 대해 계층화되는 것인 메인 메모리.

[청구항 26] 복수의 메모리를 포함하는 메인 메모리에 있어서,
중앙 처리 장치(central processing unit, CPU)로 데이터를 제공하는 캐쉬 메모리(cache memory)에서 발생한 참조 실패에 대응하는 데이터를 로딩하는 제 2 서브 메모리 및
상기 제 2 서브 메모리의 로딩 가능한 용량이 미리 설정된 임계 값 이하인 경우, 상기 캐쉬 메모리에서 발생한 메모리 참조 유형에 기초하여 선택된 데이터가 저장되는 제 1 서브 메모리

를 포함하고, 상기 제 1 서브 메모리의 읽기 속도 및 쓰기 속도의 차이는 상기 제 2 서브 메모리의 읽기 속도 및 쓰기 속도의 차이보다 더 큰 것인 메인 메모리.

[청구항 27]

제 26 항에 있어서,

상기 제 1 서브 메모리는 상기 캐쉬 메모리에서의 읽기 참조 발생율에 기초하여 선택된 데이터가 제 2 서브 메모리로부터 교체되어 저장되는 것인 메인 메모리.

[청구항 28]

제 26 항에 있어서,

상기 제 1 서브 메모리는 접근 속도가 상이한 복수의 비휘발성 메모리를 포함하는 것인 메인 메모리.

[청구항 29]

제 28 항에 있어서,

상기 제 1 서브 메모리는 상기 복수의 비휘발성 메모리의 접근 속도에 기초하여 상기 캐쉬 메모리 측에 대해 계층화되는 것인 메인 메모리.

[청구항 30]

메모리 관리 유닛이 메모리에 로딩된 데이터를 처리하는 방법에 있어서,

(a) 캐쉬 메모리로부터 수신한 메모리 참조 실패 정보에 기초하여 참조 실패가 발생한 데이터를 제 2 서브 메모리에 로딩하는 단계,

(b) 상기 제 2 서브 메모리에 로딩한 데이터 별로 상기 수신한 메모리 참조 실패 정보에 기초하여 참조 유형을 기록하는 단계 및
(c) 상기 제 2 서브 메모리의 로딩 가능한 용량이 미리 설정된 임계 값 이하인 경우, 상기 (b) 단계에서 기록한 참조 유형에 기초하여 상기 제 2 서브 메모리에 로딩된 데이터를 제 1 서브 메모리에 저장하는 단계

를 포함하고,

상기 제 1 서브 메모리의 읽기 속도 및 쓰기 속도의 차이는 상기 제 2 서브 메모리의 읽기 속도 및 쓰기 속도의 차이보다 더 큰 것인 데이터 처리 방법.

[청구항 31]

제 30 항에 있어서,

상기 (b) 단계는,

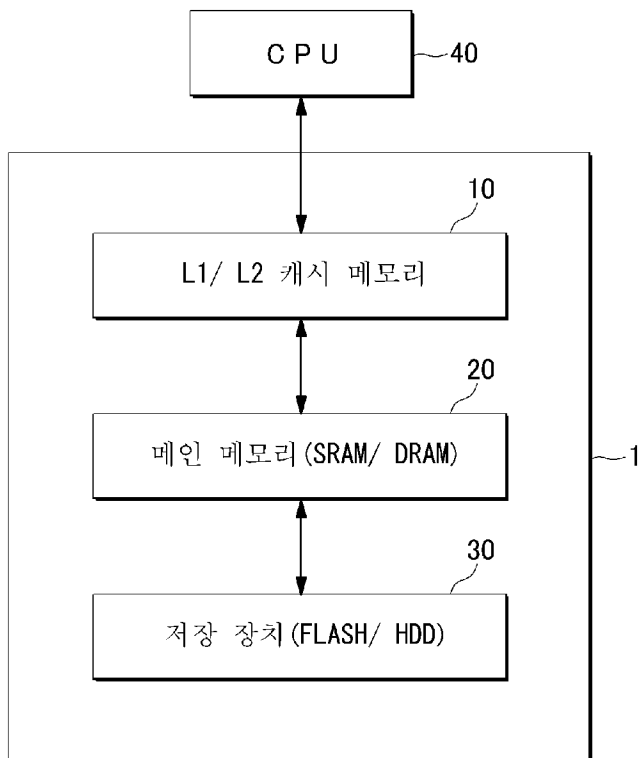
(b1) 상기 기록한 참조 유형에 기초하여 데이터 별 읽기 참조의 발생율을 산출하는 단계

를 포함하고,

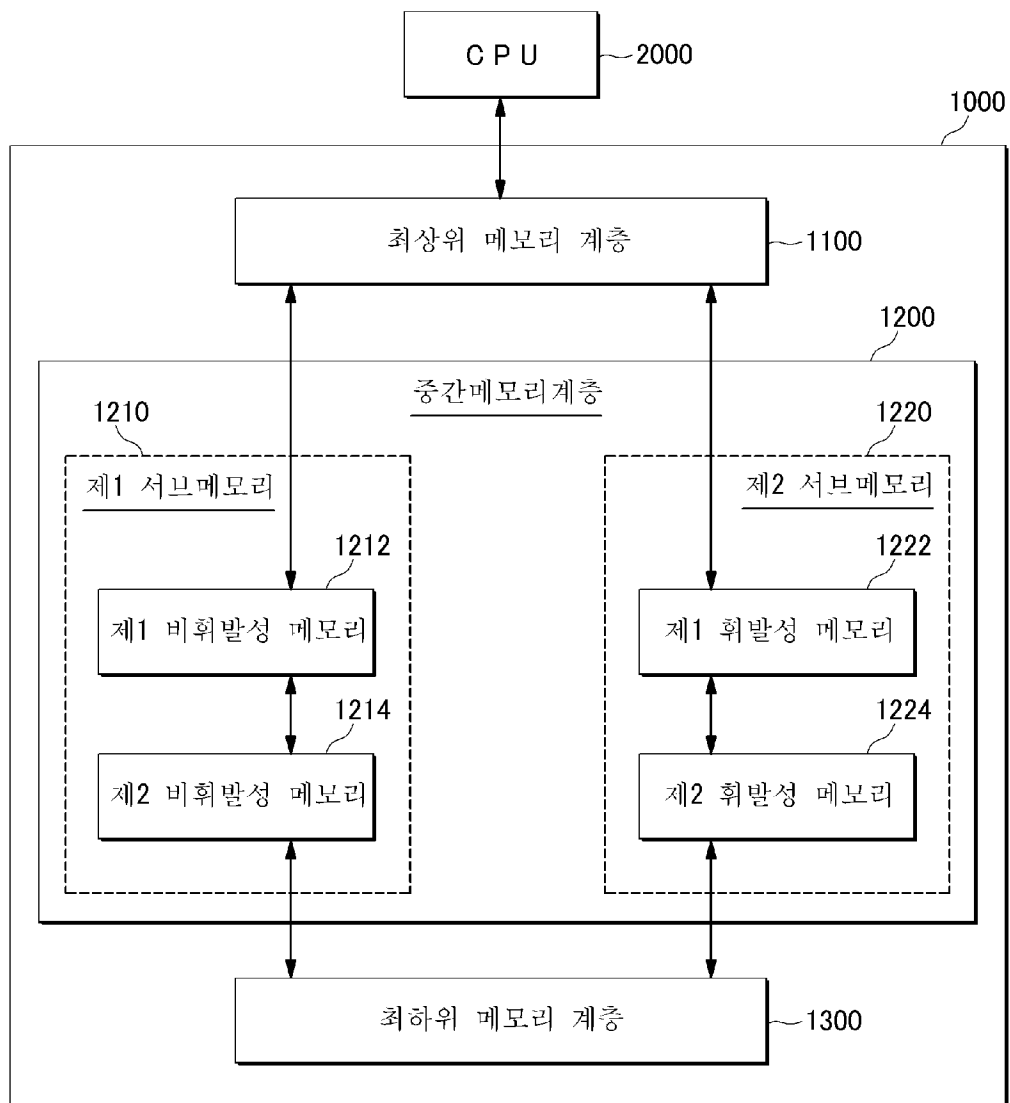
상기 (c) 단계에서, 상기 제 2 서브 메모리의 로딩 가능한 용량이 미리 설정된 임계 값 이하인 경우, 상기 (b1) 단계에서 산출된 읽기 참조 발생율에 기초하여 선택된 데이터를 제 2 서브 메모리로부터 상기 제 1 서브 메모리로 교체하여 저장하는 것인 데이터 처리 방법.

- [청구항 32] 제 30 항에 있어서,
상기 제 1 서브 메모리는 접근 속도가 상이한 복수의 비휘발성 메모리를 포함하는 것인 데이터 처리 방법.
- [청구항 33] 메모리 관리 유닛이 메모리에 로딩된 데이터를 처리하는 방법에 있어서,
(a) 캐쉬 메모리로부터 수신한 메모리 참조 실패 정보에 기초하여, 읽기 참조 실패가 발생한 데이터를 제 1 서브 메모리에 로딩하는 단계 및
(b) 캐쉬 메모리로부터 수신한 메모리 참조 실패 정보에 기초하여, 쓰기 참조 실패가 발생한 데이터를 제 2 서브 메모리에 로딩하는 단계를 포함하고,
상기 제 1 서브 메모리 및 제 2 서브 메모리는 상기 캐쉬 메모리의 하위 계층 메모리에 포함되며,
상기 제 1 서브 메모리의 읽기 속도 및 쓰기 속도의 차이는 상기 제 2 서브 메모리의 읽기 속도 및 쓰기 속도의 차이보다 더 큰 것인 데이터 처리 방법.
- [청구항 34] 제 33 항에 있어서,
상기 제 1 서브 메모리는 접근 속도가 상이한 복수의 비 휘발성 메모리를 포함하는 것인 데이터 처리 방법.
- [청구항 35] 제 33 항에 있어서,
상기 제 2 서브 메모리는 접근 속도가 상이한 복수의 휘발성 메모리를 포함하는 것인 데이터 처리 방법.

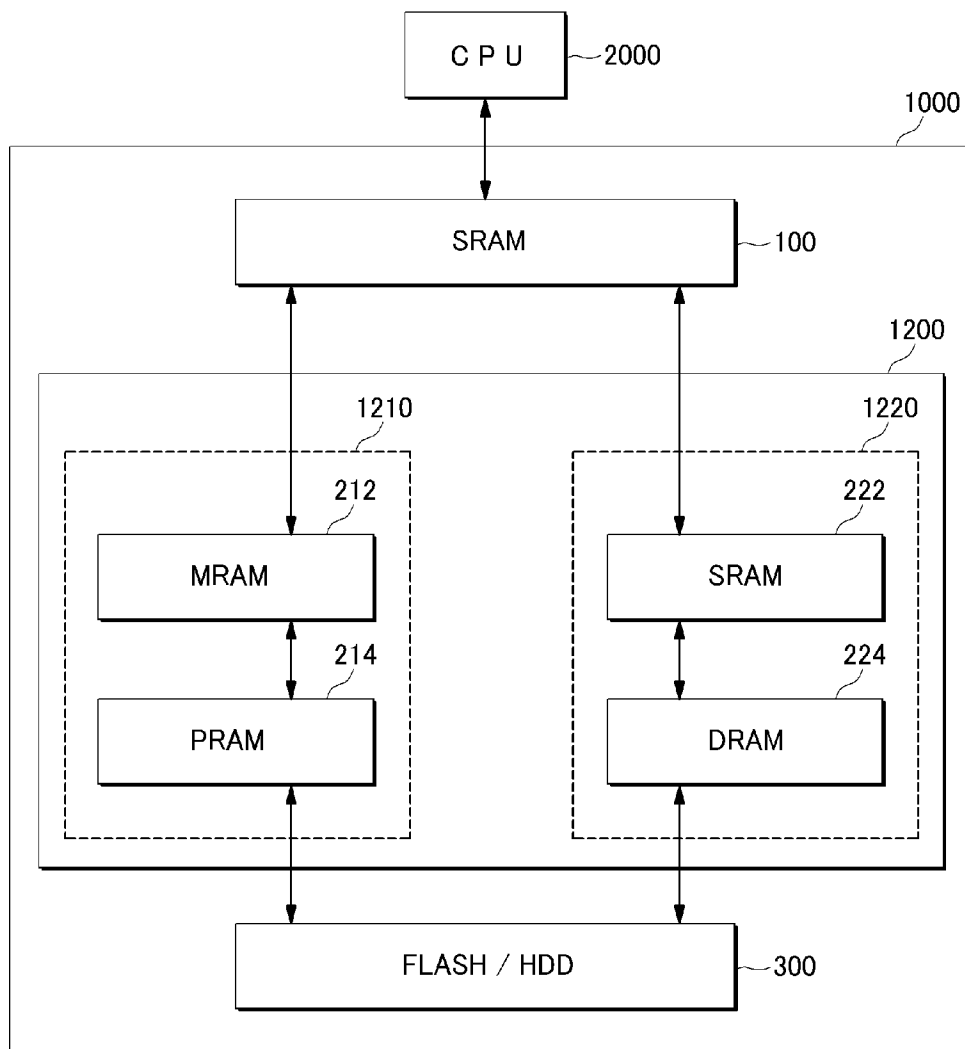
[Fig. 1]



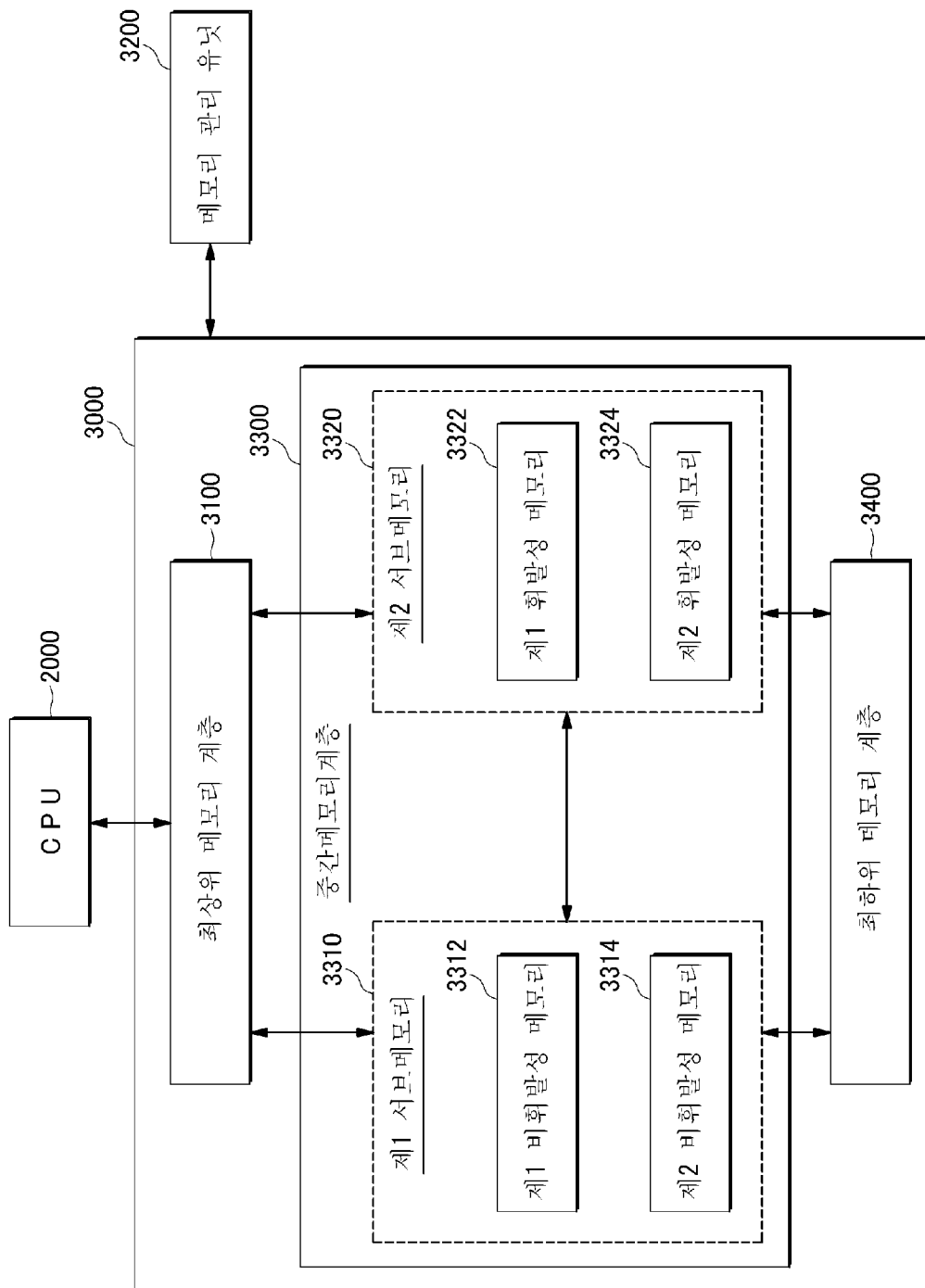
[Fig. 2]



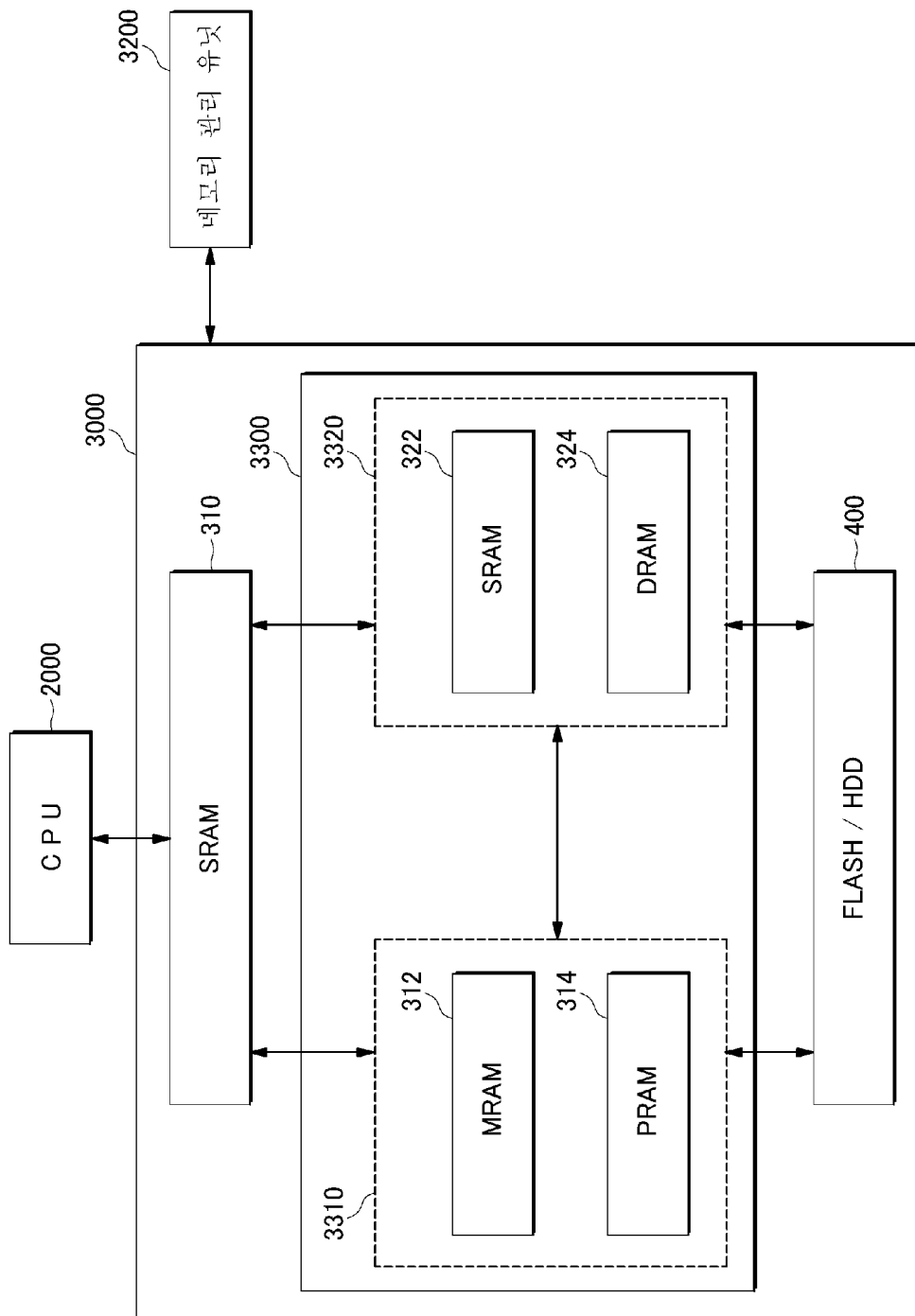
[Fig. 3]



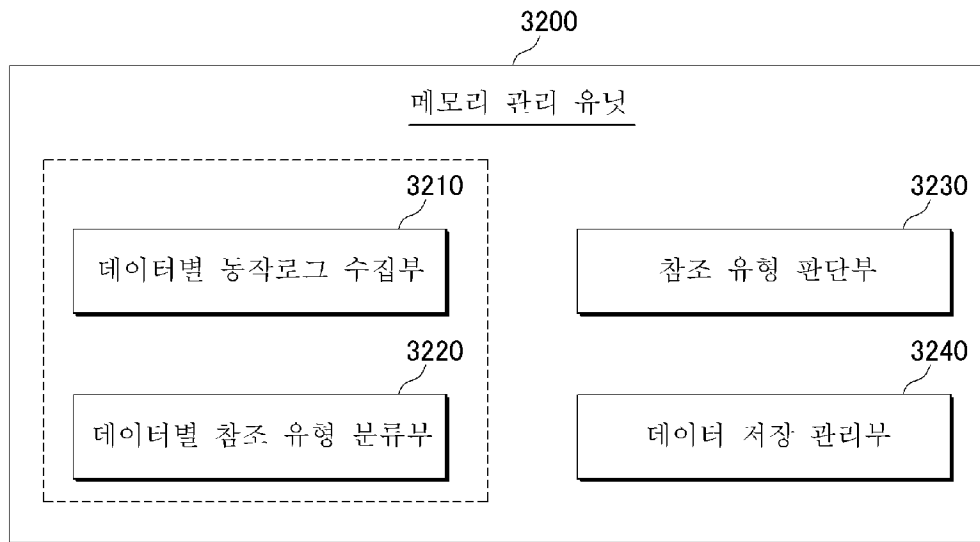
[Fig. 4]



[Fig. 5]



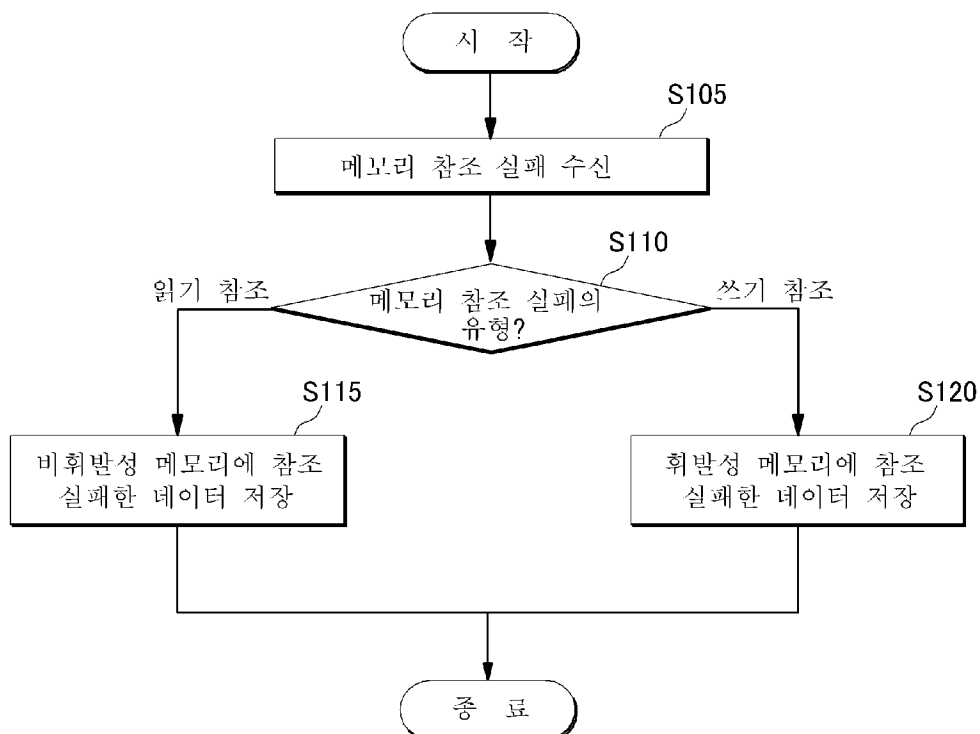
[Fig. 6]



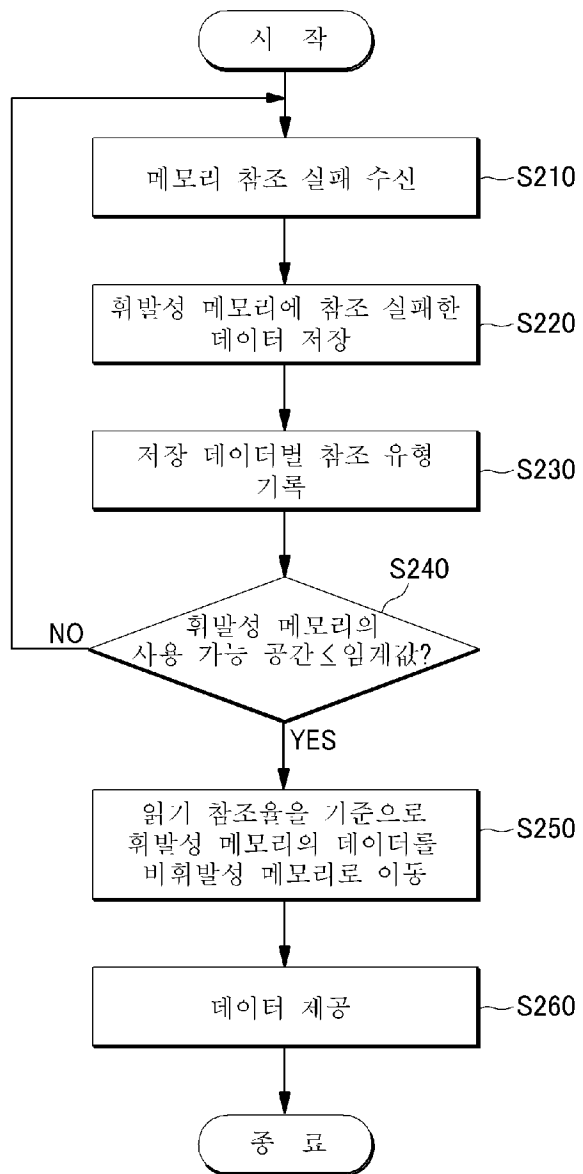
[Fig. 7]

	Cache	Norm. Density	Latency (cycles)	Dyn. eng. (nj)	Static power(W)
휘발성 메모리	SRAM(1MB)	1	8	0.388	1.36
	eDRAM(4MB)	4	24	0.72	0.4
비휘발성 메모리	MRAM(4MB)	4	read:20 write:60	read:0.4 write:2.3	0.15
	PRAM(16MB)	16	read:40 write:200	read:0.8 write:1.5	0.3

[Fig. 8]



[Fig. 9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2011/004259**A. CLASSIFICATION OF SUBJECT MATTER****G06F 13/16(2006.01)i, G06F 12/08(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F 13/16; G06F 12/16; G06F 9/44; G06F 9/24; G06F 12/00; G06F 12/08; G06F 9/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: memory, data, reading, writing, velocity

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	KR 10-2009-0009018 A (LG ELECTRONICS INC.) 22 January 2009 See abstract; page 10 line 4 - line 34; claims 1-12 and figure 1	1-6,10-16,21-35 7-9,17-20
Y A	KR 10-2010-0005539 A (SAMSUNG ELECTRONICS CO., LTD.) 15 January 2010 See abstract; page 2 line 8 - line 17 and claim 1	1-6,10-16,21-35 7-9,17-20
A	JP 2003-526135 A (INSIGNIA SOLUTIONS,PLC) 02 September 2003 See abstract; claim 1 and figure 1	1-35
A	JP 2004-523049 A (M-SYSTEM FLASH DISK PIONEERS LTD.) 29 July 2004 See abstract; claim 1 and figure 1	1-35

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

10 JANUARY 2012 (10.01.2012)

Date of mailing of the international search report

11 JANUARY 2012 (11.01.2012)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 139 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2011/004259

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2009-0009018 A	22.01.2009	CN 101387988 A	18.03.2009
		CN 101387988 B	15.12.2010
		EP 2017727 A2	21.01.2009
		EP 2017727 A3	19.08.2009
		US 2009-0024843 A1	22.01.2009
		US 8082437 B2	20.12.2011
KR 10-2010-0005539 A	15.01.2010	NONE	
JP 2003-526135 A	02.09.2003	AU 1999-28469 A1	05.06.2000
		AU 2846999 A	05.06.2000
		DE 69939495 D1	16.10.2008
		EP 1208425 A2	29.05.2002
		EP 1208425 B1	03.09.2008
		GB 9825102 D0	13.01.1999
		JP 04-783471 B2	15.07.2011
		JP 2003-526135 T	02.09.2003
		JP 2010-267291 A	25.11.2010
		US 2002-0029357 A1	07.03.2002
		US 2002-0032719 A1	14.03.2002
		US 2002-0032822 A1	14.03.2002
		US 2002-0040470 A1	04.04.2002
		US 2002-0042807 A1	11.04.2002
		US 2002-0049865 A1	25.04.2002
		US 2002-0104077 A1	01.08.2002
		US 2002-0108106 A1	08.08.2002
		US 2002-0108107 A1	08.08.2002
		US 2002-0112227 A1	15.08.2002
		US 2002-0165848 A1	07.11.2002
		US 2008-0016507 A1	17.01.2008
		US 6691303 B2	10.02.2004
		US 6766513 B2	20.07.2004
		US 6862728 B2	01.03.2005
		US 6901587 B2	31.05.2005
		US 6925637 B2	02.08.2005
		US 7007005 B2	28.02.2006
		US 7039738 B2	02.05.2006
		US 7058929 B2	06.06.2006
		US 7069549 B2	27.06.2006
		US 7080366 B2	18.07.2006
		WO 00-29937 A2	25.05.2000
		WO 00-29937 A8	20.12.2001
JP 2004-523049 A	29.07.2004	JP 2004-523049 T	29.07.2004
		US 2002-0124129 A1	05.09.2002
		US 6691205 B2	10.02.2004
		WO 02-071228 A1	12.09.2002

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G06F 13/16(2006.01)i, G06F 12/08(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G06F 13/16; G06F 12/16; G06F 9/44; G06F 9/24; G06F 12/00; G06F 12/08; G06F 9/45

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 메모리, 데이터, 읽기, 쓰기, 속도

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y A	KR 10-2009-0009018 A (엘지전자 주식회사) 2009.01.22 요약; 페이지 10 라인 4 - 라인 34; 청구항 1-12 및 도면 1 참조	1-6, 10-16, 21-35 7-9, 17-20
Y A	KR 10-2010-0005539 A (삼성전자주식회사) 2010.01.15 요약; 페이지 2 라인 8 - 라인 17 및 청구항 1 참조	1-6, 10-16, 21-35 7-9, 17-20
A	JP 2003-526135 A (INSIGNIA SOLUTIONS, PLC) 2003.09.02 요약; 청구항 1 및 도면 1 참조	1-35
A	JP 2004-523049 A (M-SYSTEM FLASH DISK PIONEERS LTD.) 2004.07.29 요약; 청구항 1 및 도면 1 참조	1-35

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2012년 01월 10일 (10.01.2012)

국제조사보고서 발송일

2012년 01월 11일 (11.01.2012)

ISA/KR의 명칭 및 우편주소

 대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
정부대전청사
팩스 번호 82-42-472-7140

심사관

김종택

전화번호 042 481 5983



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2009-0009018 A	2009.01.22	CN 101387988 A CN 101387988 B EP 2017727 A2 EP 2017727 A3 US 2009-0024843 A1 US 8082437 B2	2009.03.18 2010.12.15 2009.01.21 2009.08.19 2009.01.22 2011.12.20
KR 10-2010-0005539 A	2010.01.15	없음	
JP 2003-526135 A	2003.09.02	AU 1999-28469 A1 AU 2846999 A DE 69939495 D1 EP 1208425 A2 EP 1208425 B1 GB 9825102 D0 JP 04-783471 B2 JP 2003-526135 T JP 2010-267291 A US 2002-0029357 A1 US 2002-0032719 A1 US 2002-0032822 A1 US 2002-0040470 A1 US 2002-0042807 A1 US 2002-0049865 A1 US 2002-0104077 A1 US 2002-0108106 A1 US 2002-0108107 A1 US 2002-0112227 A1 US 2002-0165848 A1 US 2008-0016507 A1 US 6691303 B2 US 6766513 B2 US 6862728 B2 US 6901587 B2 US 6925637 B2 US 7007005 B2 US 7039738 B2 US 7058929 B2 US 7069549 B2 US 7080366 B2 WO 00-29937 A2 WO 00-29937 A8	2000.06.05 2000.06.05 2008.10.16 2002.05.29 2008.09.03 1999.01.13 2011.07.15 2003.09.02 2010.11.25 2002.03.07 2002.03.14 2002.03.14 2002.04.04 2002.04.11 2002.04.25 2002.08.01 2002.08.08 2002.08.08 2002.08.15 2002.11.07 2008.01.17 2004.02.10 2004.07.20 2005.03.01 2005.05.31 2005.08.02 2006.02.28 2006.05.02 2006.06.06 2006.06.27 2006.07.18 2000.05.25 2001.12.20
JP 2004-523049 A	2004.07.29	JP 2004-523049 T US 2002-0124129 A1 US 6691205 B2 WO 02-071228 A1	2004.07.29 2002.09.05 2004.02.10 2002.09.12