

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5524359号
(P5524359)

(45) 発行日 平成26年6月18日 (2014. 6. 18)

(24) 登録日 平成26年4月18日 (2014. 4. 18)

(51) Int. Cl.		F I	
H03F	1/26	(2006.01)	H03F 1/26
H03F	3/68	(2006.01)	H03F 3/68 Z
H03F	1/02	(2006.01)	H03F 1/02
H04B	1/18	(2006.01)	H04B 1/18 C

請求項の数 18 (全 15 頁)

(21) 出願番号	特願2012-553028 (P2012-553028)	(73) 特許権者	595020643
(86) (22) 出願日	平成23年2月11日 (2011. 2. 11)		クアルコム・インコーポレイテッド
(65) 公表番号	特表2013-520099 (P2013-520099A)		QUALCOMM INCORPORATED
(43) 公表日	平成25年5月30日 (2013. 5. 30)		ED
(86) 国際出願番号	PCT/US2011/024516		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02011/100539		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成23年8月18日 (2011. 8. 18)		ハウス・ドライブ 5775
審査請求日	平成24年9月13日 (2012. 9. 13)	(74) 代理人	100108855
(31) 優先権主張番号	12/796, 593		弁理士 蔵田 昌俊
(32) 優先日	平成22年6月8日 (2010. 6. 8)	(74) 代理人	100109830
(33) 優先権主張国	米国 (US)		弁理士 福原 淑弘
(31) 優先権主張番号	61/303, 589	(74) 代理人	100088683
(32) 優先日	平成22年2月11日 (2010. 2. 11)		弁理士 中村 誠
(33) 優先権主張国	米国 (US)	(74) 代理人	100103034
			弁理士 野河 信久

最終頁に続く

(54) 【発明の名称】 雑音除去を備える広帯域 LNA

(57) 【特許請求の範囲】

【請求項 1】

低雑音増幅器 (LNA) であって、

第 1 のノード及び第 2 のノードを有する、RF 信号を受信するための入力ステージ回路と、

1 対のコンデンサを介してそれぞれ前記第 1 のノードに結合された 1 対の相補型 MOS トランジスタを含む第 1 の増幅器であって、前記第 1 のノードにおける第 1 の雑音電圧を前記第 1 の増幅器の出力において第 1 の雑音電流に変換するための第 1 の増幅器と、

コンデンサを介して前記第 2 のノードにゲートを結合され、前記 LNA の出力端子にドレインを結合され、前記第 1 の増幅器の出力にソースを結合された MOS トランジスタを含む第 2 の増幅器であって、前記第 2 のノードにおける雑音電圧の関数として前記第 2 の増幅器によって生成された第 2 の雑音電流と前記第 1 の雑音電流とを加算することによって雑音除去を提供する第 2 の増幅器と、

を備える低雑音増幅器 (LNA) 。

【請求項 2】

前記入力ステージ回路は、前記第 1 の雑音電圧に比例する前記第 2 の雑音電圧を設定する、請求項 1 に記載の LNA 。

【請求項 3】

前記第 1 の増幅器の相互コンダクタンスは、前記第 1 の雑音電流が前記第 2 の雑音電流に等しく、かつ異符号となるように、前記第 2 の増幅器の相互コンダクタンスの関数であ

る、請求項 1 に記載の L N A。

【請求項 4】

前記 1 対の相補型 M O S トランジスタのうち第 1 の M O S トランジスタのソースは、正電源に結合され、前記対のうち第 1 の M O S トランジスタのドレインは、前記対のうち第 2 の M O S トランジスタのドレインに結合されている、請求項 1 に記載の L N A。

【請求項 5】

前記対のうち第 2 の M O S トランジスタのソースは、接地に結合されている、請求項 4 に記載の L N A。

【請求項 6】

前記第 2 の増幅器の M O S トランジスタのソースに一方の端子を結合され、接地に他方の端子を結合された抵抗を更に備える、請求項 1 に記載の L N A。

10

【請求項 7】

M O S トランジスタを更に備え、そのゲートはコンデンサを介して前記 L N A の入力端子に結合され、そのソースは前記正電源に結合され、そのドレインは前記 L N A の出力に結合されている、請求項 4 に記載の L N A。

【請求項 8】

前記入力ステージは、負荷抵抗に結合された共通ゲート構成内の M O S トランジスタである、請求項 5 に記載の L N A。

【請求項 9】

第 1 のノード及び第 2 のノードを有する、R F 信号を受信するための入力ステージ回路と、

20

各々がそれぞれ 1 対のコンデンサを介して前記第 1 のノードに結合された第 1 の対の相補型 M O S トランジスタを含む第 1 の増幅器であって、前記第 1 のノードにおける雑音電圧を前記第 1 の増幅器の出力ノードにおいて第 1 の雑音電流に変換するための第 1 の増幅器と、

各々がそれぞれ 1 対のコンデンサを介して前記第 2 のノードにゲート結合された第 2 の対の M O S トランジスタを含む第 2 の増幅器であって、前記第 2 のノードにおいて前記雑音電圧の関数として前記第 2 の増幅器によって生成された第 2 の雑音電流と前記第 1 の雑音電流とを加算することによって雑音除去を提供する第 2 の増幅器と、

を備える低雑音増幅器 (L N A)。

30

【請求項 10】

前記入力ステージ回路は、前記第 1 の雑音電圧に比例する前記第 2 の雑音電圧を設定する、請求項 9 に記載の L N A。

【請求項 11】

前記第 1 の増幅器の相互コンダクタンスは、前記第 1 の雑音電流が前記第 2 の雑音電流と等しく、かつ異符号となるように、前記第 2 の増幅器の相互コンダクタンスの関数である、請求項 9 に記載の L N A。

【請求項 12】

前記第 1 の対のうち第 1 の M O S トランジスタのソースは、正電源に結合され、前記第 1 の対のうち第 1 の M O S トランジスタのドレインは、前記第 2 の対のうち第 1 の M O S トランジスタのソースに結合されている、請求項 9 に記載の L N A。

40

【請求項 13】

前記第 2 の対のうち第 1 の M O S トランジスタのドレインは、前記第 2 の対のうち第 2 の M O S トランジスタのドレインと、前記 L N A の出力とに結合されている、請求項 12 に記載の L N A。

【請求項 14】

前記第 2 の対のうち第 2 の M O S トランジスタのソースは、前記第 1 の対のうち第 2 の M O S トランジスタのドレインに結合されている、請求項 13 に記載の L N A。

【請求項 15】

前記第 1 の対のうち第 2 の M O S トランジスタのソースは、接地に結合されている、

50

請求項 14 に記載の LNA。

【請求項 16】

低雑音増幅器 (LNA) であって、

第 1 のノード及び第 2 のノードを有する、RF 信号を受信するための手段と、

第 1 の電圧信号を RF 信号の関数として増幅するための第 1 の手段であって、前記第 1 の手段は、1 対のコンデンサを介してそれぞれ前記第 1 のノードに結合された 1 対の相補型 MOS トランジスタを含み、前記第 1 のノードにおける第 1 の雑音電圧を前記第 1 の手段の出力において第 1 の雑音電流に変換する、第 1 の手段と、

前記第 1 の手段に直流結合されて、第 2 の電圧信号を、前記 RF 信号の関数として増幅するための第 2 の手段であって、前記第 2 の手段は、コンデンサを介して前記第 2 のノードにゲートを結合され、前記 LNA の出力端子にドレインを結合され、前記第 1 の手段の出力にソースを結合された MOS トランジスタを含み、前記第 2 の手段は、前記第 2 のノードにおける雑音電圧の関数として前記第 2 の手段によって生成された第 2 の雑音電流と前記第 1 の雑音電流とを加算することによって雑音除去を提供する、第 2 の手段と
を備える低雑音増幅器 (LNA)。

10

【請求項 17】

前記 RF 信号を受信するための手段は、前記第 1 の雑音電圧に比例する前記第 2 の雑音電圧を設定する、請求項 16 に記載の LNA。

【請求項 18】

前記第 1 の手段の相互コンダクタンスは、前記第 1 の雑音電流が前記第 2 の雑音電流に等しく、かつ異符号となるように、前記第 2 の手段の相互コンダクタンスの関数である、請求項 16 に記載の LNA。

20

【発明の詳細な説明】

【技術分野】

【0001】

(35 U.S.C. 第 119 条の下の優先権主張)

本願は、本願の譲受人に譲渡され、参照によって本願に明確に組み込まれた、“Noise Cancelling Wideband LNA” と題された米国特許仮出願第 61 / 303589 号に対する優先権を主張する。

【0002】

本開示は、電子工学に関し、さらに詳細には、高周波集積回路のための広帯域低雑音増幅器の分野に関する。

30

【背景技術】

【0003】

モバイル、無線、及び / 又はハンドヘルドのポータブル・デバイスは、ますます多機能通信デバイスとなりつつある。これらのハンドヘルド・ポータブル・デバイスは、複数の無線通信サービスを処理するためにますます広範囲の機能を統合する。例えば、1 つのハンドヘルド・ポータブル・デバイスが、GPS、CDMA、Wi-Fi、WiMAX、CDMA 2000、及び 3G の受信機に加えて FM 受信機を含むことができる。

【0004】

FM 受信機は、76 MHz から 108 MHz の間で動作する場合、広帯域低雑音増幅器 (LNA) を必要とする。FM 受信機の感度に関する仕様書の要件は、十分な利得及び 3 dB 未満の雑音指数 (NF) を有する広帯域 LNA を含む。この NF は、ソース・デジェネレーティング (degenerating) インダクタを用いる LNA の場合容易に達成可能である。

40

【0005】

更に、LNA をプリコーディングする任意の RF フィルタの特性の変化を回避するため又はアンテナにおける反射を制限するために、ソース・インピーダンス整合が通常必要とされる。インダクタを用いる LNA は、そのような要件を満たすが、共振周辺の狭い周波数大域内でしか満たさない。

50

【 0 0 0 6 】

インダクタは、かなりのダイ・エリアを占める傾向がある。新しいCMOS技術においてエリア・コストが増加するにつれ、エリア消費の激しいインダクタは全体のデバイス・コストを増加させる。FM受信機は、多機能通信デバイスにおける補助的な製品としてみなされており、ごくわずかなダイ・エリアしか占めるべきではないので、全体のデバイス・コストに影響を及ぼさない。従って、FM受信機のためのインダクタの使用は割に合わない。

【 0 0 0 7 】

インピーダンス整合のための代替解決策は、LNAの入力における電力整合を達成するように考慮されなければならない。1つのそのような解決策は、LNAの共通ソース利得ステージへ入力抵抗ターミネーションを追加することを含むことができる。代替解決策は、LNAの入力ステージとして共通ゲートを用いなければならない。また別の解決策は、LNAの入力ステージとしてシャント・フィードバック共通ソース・ステージを用いなければならない。これらの方法は、良好な電力マッチングを提供するが、NFを大幅に低下させうる。抵抗ターミネーションに基づくほとんどのLNAは、良好な電力整合を提供するが、NFを大幅に低下させる。

【 0 0 0 8 】

雑音指数からインピーダンス整合を切り離すために、雑音除去を含む様々な回路技術が提案されてきた。これらの回路技術のほとんどは、RF信号が第1のノードに現れる一方、RF信号に比例するRF信号のレプリカが第2のノードに現れる、という動作の原理に基づいている。しかし、LNAの入力ステージに起因する熱雑音の寄与は、各ノードにおいて異極性を伴って現れる。従って、雑音除去は、RF信号とそのレプリカとを加算することによって達成されうる。

【 0 0 0 9 】

本文献には、様々なそのような技術が示された。しかし、特にFM受信機のような補助部品に関しては、更に小さなダイ・サイズと更に少ない電力消費とを達成し、それらを改善するためのニーズが常にある。

【 0 0 1 0 】

図1は、FM受信機のための雑音除去を備えるLNAの実施形態を示す。

【 0 0 1 1 】

LNAは、入力ステージ回路12、第1の増幅器14、及び第2の増幅器16を含む。入力ステージ回路12は、負荷抵抗 R_L に結合された共通ゲート構成内にMOSトランジスタM1を含む。第1の増幅器14は、共通ソース構成内に相補型MOSトランジスタM2p及びM2nの対を備え、コンデンサ C_{3ac} 及び C_{4ac} を介して第2の増幅器に交流(ac)結合される。これらのコンデンサの各々は、それぞれ抵抗 R_{1DG} 及び R_{2DG} の各々とともに、第1の増幅器14の出力において現れる信号のためのハイパス・フィルタを形成する。一般に、 R_{1DG} は R_{2DG} と等しい。第2の増幅器の入力におけるインピーダンス、具体的にはトランジスタM3n及びM3pのソース・ノードにおけるインピーダンスは、 R_{1DG} 又は R_{2DG} と並列して $1/g_m$ である。トランジスタM3n及びM3pの相互コンダクタンスは、 g_m として定められる。妥当なトランジスタ・サイズ及びバイアス電流が与えられた場合、第2のステージの入力を調べるインピーダンスは、1Kohmをはるかに下回りうる。FM帯域(76MHz~108MHz)内で、第1の増幅器の出力における信号は、最小限の損失でハイパス・フィルタを通過しなければならず、これは、ハイパス・フィルタのハイパス・コーナーが、FM帯域(76MHz)の低動作周波数よりも大幅に低くなければならないことを示す。従って、この要件を満たすために、交流結合コンデンサ C_{3ac} 及び C_{4ac} は非常に大きくなければならない。

【 0 0 1 2 】

大きなコンデンサの使用は、著しく大きなダイ・エリアを占めるのみならず、LNAの異なる増幅ステージ間での電流の共有又は再利用を不可能にし、その結果、高い電流消費のLNAを用いた雑音除去解決策となるので、望ましくない。

【0013】

大きなインダクタも大きなコンデンサも必要とせず、少ない電流消費に適した雑音除去LNAを設計することが望ましい。

【図面の簡単な説明】

【0014】

【図1】図1は、FM受信機のための雑音除去を備えるLNAの実施形態を示す。

【図2】図2は、雑音除去を備えるLNAの典型的な実施形態の概略図である。

【図3】図3は、図2のLNAの典型的な実施形態のための雑音除去の原理を示す簡略化された概略図である。

【図4】図4は、雑音除去を備えるLNAの別の実施形態の概略図である。

10

【詳細な説明】

【0015】

「典型的な」という語句は、本明細書において、「例、例示、又は例証を提供する」ことを意味するために用いられる。本明細書で「典型的」として説明された任意の実施形態は、必ずしも他の実施形態に対して好適又は有利であるとは解釈されない。

【0016】

添付図面と関連して以下に示された詳細な説明は、本発明の典型的な実施形態の説明として意図されており、本発明が実施されうる実施形態のみを表すことは意図されていない。詳細な説明は、本発明の典型的な実施形態の完全な理解を提供する目的のために具体的な詳細を含む。当業者には、本発明の典型的な実施形態がそれらの具体的な詳細なしでも実施されることが明らかとなるであろう。いくつかの例において、本明細書に提示された典型的な実施形態の新規性が不明瞭になることを回避するために、周知の構成及びデバイスがブロック図の形式で示されている。

20

【0017】

当業者は、情報及び信号が、様々な異なる技術及び技法のうちのいずれを用いても表されうることを理解するであろう。例えば、上記説明を通して参照されうるデータ、命令、コマンド、情報、信号、ビット、シンボル、及びチップは、電圧、電流、電磁波、磁場あるいは磁気粒子、光場あるいは光学粒子、又はそれらの任意の組み合わせによって表すことができる。

【0018】

30

本開示は、雑音除去を備える改良型LNAの様々な実施形態に向けられる。開示された解決策は、大きな交流結合コンデンサへのニーズを排除することにより、LNAによって占められるダイ・サイズを低減する。更に、LNAの増幅ステージ間の交流結合コンデンサの排除により、電流の再利用が可能になり、その結果、電流消費が少なくなる。

【0019】

本開示によると、LNAは、入力ステージ回路、第1の増幅器、及び第2の増幅器を組み込む。入力ステージ回路は、RF信号を受信し、RF信号は、ソース・インピーダンスとの整合を提供するためにバイアスされている。第1の増幅器は、LNAの入力において現れる第1の電圧を増幅する。第1の電圧は、入力ステージ・デバイスの雑音に起因する第1の雑音電圧成分を有する。第1の増幅器は、第1の雑音電圧成分を第1の雑音電流に変換し、第1の雑音電流を第2の増幅器へ供給する。

40

【0020】

第2の増幅器は、第2の電圧を増幅する。第2の電圧は、第1の電圧と比例しており、第2の雑音電圧成分を有する。第2の雑音電圧成分は、第1の雑音電圧と比例しており、逆位相である。第2の増幅器は、第2の雑音電圧成分を第2の雑音電流に変換し、第1の雑音電流と第2の雑音電流とがLNAの出力において相殺するように、第2の雑音電流を第1の雑音電流に加える。

【0021】

第1の増幅器は、第2の増幅器に直接結合、すなわち直流(dc)結合されている。その結果、開示された解決策は、例えば図1に示す解決策のような従来の解決策と比べた場合

50

、LNAにおいてより小さな交流コンデンサを用いる。

【0022】

図2は、雑音除去を備えるLNAの典型的な実施形態の概略図である。LNA20は、入力ステージ回路22、第1の増幅器24、及び第2の増幅器26を含む。入力ステージ回路22は、負荷抵抗222 (R_L) に結合された共通ゲート構成内のMOSトランジスタ202 (M_1) を含む。第1の増幅器24は、相補型MOSトランジスタ250、252 (M_{PC5} 、 M_{NC5}) の対とコンデンサ242及び244の対とを含む。第2の増幅器26は、MOSトランジスタ260 (M_{NSF}) 及びコンデンサ262を備える。MOSトランジスタ260は、ソース・フォロアー構成にある。

【0023】

MOSトランジスタ250及び252のゲートは、それぞれコンデンサ242及び244を介して、LNAの入力であるノード200に結合されている。1対の相補型MOSトランジスタのうちの第1のMOSトランジスタ250のソースは、正電源に結合されている。対のうちの第1のMOSトランジスタ250のドレインは、その対の第2のMOSトランジスタ252のドレインと、MOSトランジスタ260の電源とに結合されている。対のうちの第2のMOSトランジスタ252のソースは、接地に結合されている。

【0024】

LNA20は更に、MOSトランジスタ266 (M_{PSF}) 及び抵抗212 (R_{DG}) を備える。MOSトランジスタ266のゲートは、コンデンサ264を介してLNAの入力端子に結合され、MOSトランジスタ266のソースは、正電源に結合され、MOSトランジスタ266のドレインは、LNAの出力に結合されている。MOSトランジスタ266は、LNAの全体利得を改善するために第3の増幅器として用いられる。抵抗212は、MOSトランジスタ260のソースに結合された一方の端子と、接地に結合された他方の端子とを有する。抵抗212は、MOSトランジスタ260へのデジェネレーション (degeneration) 抵抗として用いられる。

【0025】

第1の増幅器24は、ノード200において現れる第1の雑音電圧を感知する。ノード200は、LNAの入力である。第1の増幅器は、ノード220において第1の雑音電圧を第1の雑音電流に変換する。ノード220は、第1の増幅器の出力である。

【0026】

第2の増幅器26は、ノード210において現れる第2の雑音電圧を感知する。ノード210は入力ステージ回路の出力である。第2の雑音電圧は、第1の雑音電圧に比例している。第2の増幅器26は、第2の雑音電圧を第2の雑音電流に変換し、これはノード240において現れる。ノード240は、第2の増幅器の出力であり、LNAの出力でもある。

【0027】

第2の増幅器26は、第1及び第2の雑音電流が実質的に相殺するように、LNAの出力において第1及び第2の雑音電流を加算する。その結果、入力ステージ回路に起因する雑音は、LNAの出力において実質的に除去される。

【0028】

第1の増幅器の相互コンダクタンスは、第1の雑音電流を第2の雑音電流と等しく、かつ第2の雑音電流と異符号となるように設定するために、第2の増幅器の相互コンダクタンスの関数として設計される。

【0029】

第1の増幅器は、第2の増幅器に直接結合、すなわち直流結合される。その結果、LNAは、例えば図1に示すような従来 of 解決策と比べた場合、より小さな交流コンデンサを用いる。

【0030】

雑音除去メカニズムを更に説明するために、LNAの簡略化された概略図が図3に示される。図3は、図2に示すLNAの典型的な実施形態のための雑音除去原理を示す簡略化

10

20

30

40

50

された概略図である。

【0031】

NMOSトランジスタ M_{2n} は、図2において第1の増幅器として用いられた相補型MOSトランジスタ250及び252の対の相互コンダクタンス g_{m2} を表す。NMOSトランジスタ M_{3n} は、図2において第2の増幅器として用いられたトランジスタ260の相互コンダクタンス g_{m3} を表す。

【0032】

雑音電流源270は、図2の入力ステージ回路内に含まれるMOSトランジスタ220に起因する雑音電流 I_n を表す。抵抗280は、 r_{ds} に等しい値を有し、相補型MOSトランジスタ250及び252の対の総出力インピーダンスを表す。

10

【0033】

電流源270によって形成されたMOSトランジスタ220の雑音電流は、ノード200へ流れるがノード210の外へ流れる。これによって、逆位相を有する2つの完全に 관련된雑音電圧が生成される。ノード200における第1の雑音電圧 v_1 は、 $\alpha \cdot I_n \cdot R_S$ に等しく、ノード210における第2の雑音電圧 v_2 は、 $-\alpha \cdot I_n \cdot R_L$ に等しい。これら2つの電圧は、それぞれ第1及び第2の増幅器によって電流に変換される。相互コンダクタンス g_{m2} 及び g_{m3} を正しく選択することによって、MOSトランジスタ220によって与えられた雑音は、LNAの出力において除去されうる。一方、ノード200及び210における信号電圧は同相であるので、出力における構成的加算がもたらされる。完全な雑音除去の条件は、以下の式によって導かれる。

20

【数1】

$$\alpha I_n \cdot R_S \cdot g_{m2n} \cdot \frac{r_{ds}}{r_{ds} + \frac{1}{g_{m3}}} = \alpha I_n \cdot R_L \cdot \frac{1}{r_{ds} + \frac{1}{g_{m3}}} \Rightarrow R_S \cdot g_{m2n} r_{ds} = R_L$$

【0034】

デジネーション係数を仮定すると、

【数2】

$$\beta \equiv \frac{g_{m3} r_{ds}}{1 + g_{m3} r_{ds}}$$

30

【0035】

となる。

LNAの利得は、

【数3】

$$A_v = g_{m1} \cdot R_L \cdot \frac{g_{m3}}{1 + g_{m3} r_{ds}} + g_{m2n} \cdot \frac{g_{m3} r_{ds}}{1 + g_{m3} r_{ds}} \Rightarrow 2g_{m2n} \beta$$

40

50

【 0 0 3 6 】

であり、雑音指数は、

【 数 4 】

$$\begin{aligned}
 NF &= 1 + \frac{\left[\frac{4KTR_L}{R_{DG}^2} + \frac{4KT \cdot NEF}{g_{m3} R_{DG}^2} + \frac{4KT}{R_{DG}} + 4KT \cdot NEF \cdot g_{m2n} \right] \cdot \beta^2}{4KTR_S \cdot \frac{1}{4} \cdot 4\beta^2 \cdot g_{m2n}^2} \\
 &\Rightarrow 1 + \frac{1}{(g_{m2} R_{DG})} + \frac{NEF}{(g_{m2} R_S)(g_{m2} R_{DG})(g_{m3} R_{DG})} + \frac{1}{(g_{m2} R_S)(g_{m2} R_{DG})} + \frac{NEF}{(g_{m2} R_S)} \\
 &\Rightarrow 1 + \frac{NEF}{(g_{m2} R_S)} = 1 + \frac{2\beta \cdot NEF}{A_V R_S}
 \end{aligned}$$

【 0 0 3 7 】

となる。

【 0 0 3 8 】

デジェネレーション係数は一般的に1より小さく、電力消費と雑音指数との間のトレードオフの設計を提供するために役立つ。

【 0 0 3 9 】

図4は、雑音除去を備えるLNAの別の実施形態の概略図である。

【 0 0 4 0 】

LNA 40は、入力ステージ回路42、第1の増幅器44、及び第2の増幅器46を含む。入力ステージ回路40は、負荷抵抗422 (R_L) に結合された共通ゲート構成内にMOSトランジスタ402 (M_1) を含む。第1の増幅器44は、相補型MOSトランジスタ450、452 (M_{PCS} 、 M_{NCS}) の第1の対と、コンデンサ442及び444とを含む。第2の増幅器46は、第2の対のMOSトランジスタ466、460 (M_{PSF} 、 M_{NSF}) と、コンデンサ462及び464とを備える。

【 0 0 4 1 】

第1の対の相補型MOSトランジスタ450、452 (M_{PCS} 、 M_{NCS}) のゲートは、それぞれコンデンサ442及び444を介してLNAの入力端子400に結合されている。MOSトランジスタ450のソースは正電源に結合され、MOSトランジスタ450のドレインはMOSトランジスタ466のソースに結合されている。MOSトランジスタ466のドレインは、MOSトランジスタ460のドレインと、LNAの出力とに結合されている。MOSトランジスタ460のソースは、MOSトランジスタ452のドレインに結合されている。MOSトランジスタ452のソースは、接地に結合されている。

【 0 0 4 2 】

第2の対の相補型MOSトランジスタ466、460 (M_{PSF} 、 M_{NSF}) のゲートは、それぞれコンデンサ462及び464を介して入力ステージ回路42の出力に結合されている。

【 0 0 4 3 】

第1の増幅器44は、ノード400において現れる第1の雑音電圧を感知する。ノード400は、LNAの入力である。第1の増幅器は、第1の雑音電圧を第1の雑音電流に変換する。第1の雑音電流は、ノード420及び424において現れる差分信号である。ノード420及び424は、第1の増幅器の出力である。

【 0 0 4 4 】

10

20

30

40

50

第2の増幅器46は、ノード410において現れる第2の雑音電圧を感知する。ノード410は、入力ステージ回路の出力である。第2の雑音電圧は、第1の雑音電圧に比例する。第2の増幅器46は、第2の雑音電圧を第2の雑音電流に変換し、これはノード440において現れる。ノード440は、第2の増幅器の出力であり、LNAの出力でもある。

【0045】

第2の増幅器46は、第1及び第2の雑音電流が実質的に相殺するように、LNAの出力において第1及び第2の雑音電流を加算する。その結果、入力ステージ回路に起因する雑音は、LNAの出力において実質的に除去される。

【0046】

第1の増幅器の相互コンダクタンスは、第1の雑音電流を、第2の雑音電流と等しく、かつ異符号となるように設定するために、第2の増幅器の相互コンダクタンスの関数である。

【0047】

第1の増幅器は、第2の増幅器に直接結合、すなわち直流結合されている。その結果、LNAは、例えば図1に示すような従来の解決策と比べた場合、より小さな交流コンデンサを用いる。

【0048】

第1及び第2の増幅器は、第1の増幅器の差動出力における電流が、MOSトランジスタの第2の対のソースへ直接供給されると、電流を共有するように結合される。電流の共有によって、LNA増幅器のステージ間での交流結合を用いる従来の実施形態と比べた場合、弱電流の実施形態がもたらされる。

【0049】

例えば図2及び図4に示すような開示されたLNAの典型的な実施形態は、FM受信機のために用いられる場合、従来の解決策に対し、少なくとも30%のダイ・エリアの低減を示す。

【0050】

LNAは、LNAの増幅ステージ間の直流結合を提供することによって、第1の増幅器と第2の増幅器との間の電流の再利用を可能にし、提案された解決策を低電力にすることができる。

【0051】

当業者は更に、本明細書に開示された実施形態に関連して説明された様々な例示的な論理ブロック、モジュール、回路、及びアルゴリズムのステップが、電子工学的ハードウェア、コンピュータ・ソフトウェア、又はそれらの組み合わせとして実現されうることを理解するであろう。このハードウェアとソフトウェアとの相互置換性を明確に示すために、様々な例示的な構成要素、ブロック、モジュール、回路、及びステップが、それらの機能の観点から一般的に上述された。そのような機能がハードウェアとして実現されるかソフトウェアとして実現されるかは、特定のアプリケーション及びシステム全体に課された設計制約に依存する。当業者は、各特定のアプリケーションのために様々な方法で上述された機能を実現することができるが、そのような実現の決定は、本発明の典型的な実施形態の範囲から逸脱させるものとして解釈されてはならない。

【0052】

本明細書に開示された実施形態に関連して説明された様々な例示的な論理ブロック、モジュール、及び回路は、汎用プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールド・プログラマブル・ゲート・アレイ(FPGA)あるいは他のプログラマブル論理デバイス、ディスクリート・ゲートあるいはトランジスタ・ロジック、ディスクリート・ハードウェア部品、又は、本明細書で説明された機能を実行するように設計されたそれらの任意の組み合わせを用いて実現あるいは実行されうる。汎用プロセッサとしてマイクロプロセッサを用いることができるが、代わりに、任意の従来型プロセッサ、コントローラ、マイクロコントローラ、又はステート・マシンを用い

10

20

30

40

50

ることできる。プロセッサはまた、例えばDSPとマイクロプロセッサとの組み合わせ、複数のマイクロプロセッサ、DSPコアに接続された1つ又は複数のマイクロプロセッサ、又は他の任意のそのような構成といったコンピュータ・デバイスの組み合わせとして実現されることもできる。

【0053】

本明細書に開示された実施形態に関連して説明されたアルゴリズム又は方法のステップは、ハードウェアによって直接、プロセッサによって実行されるソフトウェア・モジュールによって、又はそれら2つの組み合わせによって具現化されうる。ソフトウェア・モジュールは、ランダム・アクセス・メモリ(RAM)、フラッシュ・メモリ、読取専用メモリ(ROM)、電気的プログラム可能ROM(EPROM)、電気的消去可能プログラム可能ROM(EEPROM)、抵抗、ハード・ディスク、リムーバブル・ディスク、CD-ROM、又は、当該技術において周知である他の任意の形式の記憶媒体に収納されうる。典型的な記憶媒体は、プロセッサがそこから情報を読み取り、またそこへ情報を書き込むことができるように、プロセッサに結合される。あるいは記憶媒体は、プロセッサに統合されうる。プロセッサ及び記憶媒体は、ASIC内に存在することができる。ASICは、ユーザ端子内に存在することができる。あるいはプロセッサ及び記憶媒体は、ユーザ端子内のディスクリート部品として存在することもできる。

【0054】

1つ又は複数の典型的な実施形態において、上述された機能は、ハードウェア、ソフトウェア、ファームウェア、又はそれらの任意の組み合わせによって実現されうる。ソフトウェアによる実現の場合、機能は、コンピュータ読取可能媒体上の1つ又は複数の命令又はコードとして格納あるいは送信されうる。コンピュータ読取可能媒体は、コンピュータ記憶媒体と、1つの場所から別の場所へのコンピュータ・プログラムの転送を容易にする任意の媒体を含む通信媒体との両方を含む。記憶媒体は、コンピュータによってアクセスすることができる任意の利用可能な媒体であることができる。限定ではなく一例として、そのようなコンピュータ読取可能媒体は、RAM、ROM、EEPROM、CD-ROMあるいは他の光学ディスク記憶媒体、磁気ディスク記憶媒体あるいは他の磁気記憶デバイス、又は、命令あるいはデータ構成の形式で所望のプログラム・コードを搬送あるいは格納するために用いることができコンピュータによってアクセスすることができる他の任意の媒体を備えることができる。例えば、ソフトウェアが、ウェブサイト、サーバ、又は他の遠隔ソースから、同軸ケーブル、光ファイバ・ケーブル、ツイスト・対、デジタル加入者線(DSL)、又は例えば赤外線、ラジオ、及びマイクロ波のような無線技術を用いて送信される場合、同軸ケーブル、光ファイバ・ケーブル、ツイスト・対、DSL、又は例えば赤外線、ラジオ、及びマイクロ波のような無線技術は、媒体の範囲に含まれる。ディスク(disk)及びディスク(disc)は本明細書で用いられる場合、コンパクト・ディスク(disc)(CD)、レーザ・ディスク(disc)、光学ディスク(disc)、デジタル・バーサタイル・ディスク(disc)(DVD)、フロッピー(登録商標)ディスク(disk)、及びブルーレイ(登録商標)ディスク(disc)を含み、ディスク(disk)が通常データを磁気的に再生するのに対し、ディスク(disc)はレーザを用いてデータを光学的に再生する。上記の組み合わせもまた、コンピュータ読取可能媒体の範囲に含まれるべきである。

【0055】

開示された典型的な実施形態の上記説明は、当業者をして、本発明の製造又は利用を可能とするために提供される。これらの典型的な実施形態に対する様々な変更が当業者には容易に可能となり、本明細書において定義された一般原理は、本発明の主旨又は範囲から逸脱することなく他の実施形態に適用することができる。従って、本発明は、本明細書に示す実施形態に限定されることは意図されておらず、本明細書に開示された原理及び新規特徴と整合が取れた最も広い範囲と一致するように意図されている。

なお、本願の出願当初の請求項と同一の記載を以下に付記する。

【C1】 第1のノード及び第2のノードを有する、RF信号を受信するための入力ステージ回路と、

10

20

30

40

50

1対のコンデンサを介してそれぞれ前記第1のノードに結合された1対の相補型MOSトランジスタを含む第1の増幅器であって、前記第1のノードにおける第1の雑音電圧を前記第1の増幅器の出力において第1の雑音電流に変換するための第1の増幅器と、
 コンデンサを介して前記第2のノードにゲートを結合され、前記LNAの出力端子にドレインを結合され、前記第1の増幅器の出力にソースを結合されたMOSトランジスタを含む第2の増幅器であって、前記第2のノードにおける雑音電圧の関数として前記第2の増幅器によって生成された第2の雑音電流と前記第1の雑音電流とを加算することによって雑音除去を提供する第2の増幅器と、
 を備える低雑音増幅器(LNA)。

[C2] 前記入力ステージ回路は、前記第1の雑音電圧に比例する前記第2の雑音電圧を設定する、C1に記載のLNA。

[C3] 前記第1の増幅器の相互コンダクタンスは、前記第1の雑音電流が前記第2の雑音電流に等しく、かつ異符号となるように、前記第2の増幅器の相互コンダクタンスの関数である、C1に記載のLNA。

[C4] 前記1対の相補型MOSトランジスタのうちの第1のMOSトランジスタのソースは、正電源に結合され、前記対のうちの第1のMOSトランジスタのドレインは、前記対のうちの第2のMOSトランジスタのドレインに結合されている、C1に記載のLNA。

[C5] 前記対のうちの第2のMOSトランジスタのソースは、接地に結合されている、C4に記載のLNA。

[C6] 前記第2の増幅器のMOSトランジスタのソースに一方の端子を結合され、接地に他方の端子を結合された抵抗を更に備える、C1に記載のLNA。

[C7] MOSトランジスタを更に備え、そのゲートはコンデンサを介して前記LNAの入力端子に結合され、そのソースは前記正電源に結合され、そのドレインは前記LNAの出力に結合されている、C4に記載のLNA。

[C8] 前記入力ステージは、負荷抵抗に結合された共通ゲート構成内のMOSトランジスタである、C5に記載のLNA。

[C9] 第1のノード及び第2のノードを有する、RF信号を受信するための入力ステージ回路と、

各々がそれぞれ1対のコンデンサを介して前記第1のノードに結合された第1の対の相補型MOSトランジスタを含む第1の増幅器であって、前記第1のノードにおける雑音電圧を前記第1の増幅器の出力ノードにおいて第1の雑音電流に変換するための第1の増幅器と、

各々がそれぞれ1対のコンデンサを介して前記第2のノードにゲート結合された第2の対のMOSトランジスタを含む第2の増幅器であって、前記第2のノードにおいて前記雑音電圧の関数として前記第2の増幅器によって生成された第2の雑音電流と前記第1の雑音電流とを加算することによって雑音除去を提供する第2の増幅器と、
 を備える低雑音増幅器(LNA)。

[C10] 前記入力ステージ回路は、前記第1の雑音電圧に比例する前記第2の雑音電圧を設定する、C9に記載のLNA。

[C11] 前記第1の増幅器の相互コンダクタンスは、前記第1の雑音電流が前記第2の雑音電流と等しく、かつ異符号となるように、前記第2の増幅器の相互コンダクタンスの関数である、C9に記載のLNA。

[C12] 前記第1の対のうちの第1のMOSトランジスタのソースは、正電源に結合され、前記第1の対のうちの第1のMOSトランジスタのドレインは、前記第2の対のうちの第1のMOSトランジスタのソースに結合されている、C9に記載のLNA。

[C13] 前記第2の対のうちの第1のMOSトランジスタのドレインは、前記第2の対のうちの第2のMOSトランジスタのドレインと、前記LNAの出力とに結合されている、C12に記載のLNA。

[C14] 前記第2の対のうちの第2のMOSトランジスタのソースは、前記第1の対

10

20

30

40

50

のうちの第2のMOSトランジスタのドレインに結合されている、C13に記載のLNA。

[C15] 前記第1の対のうちの第2のMOSトランジスタのソースは、接地に結合されている、C14に記載のLNA。

[C16] 第1の雑音電圧成分を有する第1の電圧信号をRF信号の関数として増幅するための第1の手段と、

前記第1の雑音電圧成分と比例し、かつ逆位相である第2の雑音電圧成分を有する第2の電圧信号を、前記RF信号の関数として増幅するための第2の手段であって、前記第1の手段に直列結合された第2の手段とを備える低雑音増幅器(LNA)。

[C17] 前記第1の手段はまた、前記第1の雑音電圧成分を第1の雑音電流に変換する、C16に記載のLNA。

[C18] 前記第2の手段はまた、前記第2の雑音電圧成分を第2の雑音電流に変換する、C17に記載のLNA。

[C19] 前記第2の手段は、前記第1の雑音電流と前記第2の雑音電流とを加算し、前記第1の手段の利得は、前記第1の雑音電流と前記第2の雑音電流とが実質的に相殺するように、前記第2の手段の利得に比例する、C18に記載のLNA。

【図1】

図1

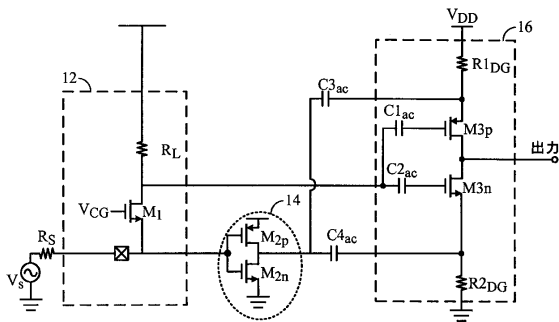


FIG. 1

【図2】

図2

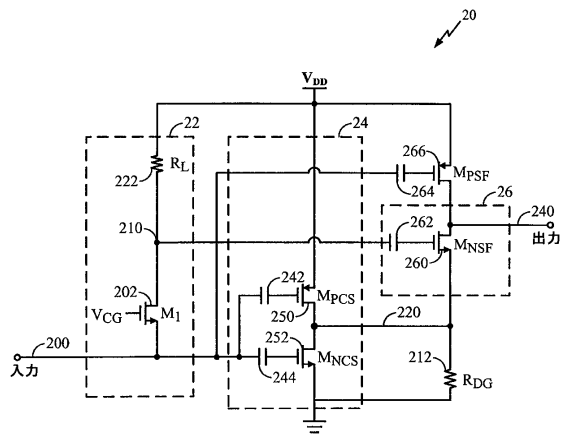


FIG. 2

【 図 3 】

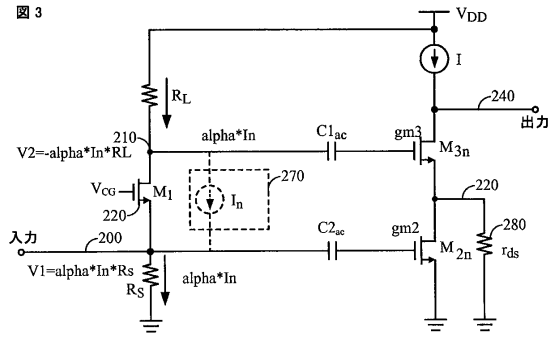


FIG. 3

【 図 4 】

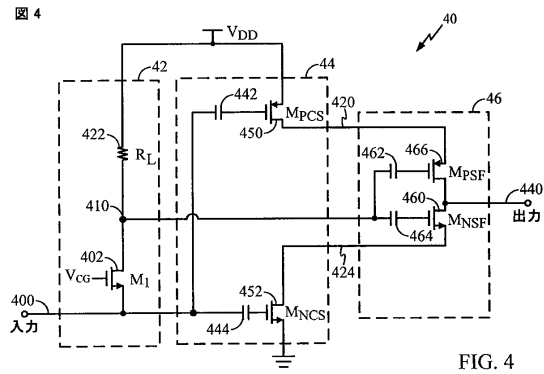


FIG. 4

フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 ゼン、イ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 リ、シャオヨン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 アプテ、ラウル・エー、
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

審査官 高橋 義昭

- (56)参考文献 特開2009-005055(JP, A)
特開2009-077142(JP, A)
CHIH-FAN LIAO, A BROADBAND NOISE-CANCELING CMOS LNA FOR 3.1-10.6-GHZ UWB RECEIVERS, IEEE JOURNAL OF SOLID-STATE CIRCUITS, 米国, IEEE SERVICE CENTER, 2007年 2月 1日
, V42 N2, P329-339
WU J M, A LOW POWER WIMAX LNA WITH NOISE CANCELLATION, THIRD INTERNATIONAL CONFERENCE
ON COMMUNICATIONS AND NETWORKING IN CHINA, 2008. CHINACOM 2008, 米国, IEEE, 2008年
8月25日, P286-288
DONG-GU IM, A WIDE-BAND CMOS VARIABLE-GAIN LOW NOISE AMPLIFIER FOR MULTI-STANDARD TERR
ESTRIAL AND CABLE TV TUNER, RADIO FREQUENCY INTEGRATED CIRCUITS(RFIC) SYMPOSIUM, 米国
, IEEE, 2007年 6月 1日, P621-624

(58)調査した分野(Int.Cl., DB名)

H03F 1/26
H03F 1/02
H03F 3/68

