



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	101996900565542
Data Deposito	23/12/1996
Data Pubblicazione	23/06/1998

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	11	C		

Titolo

POMPA DI CARICA A TENSIONE NEGATIVA PER MEMORIE FLASH EEPROM
--

DESCRIZIONE

a corredo di una domanda di Brevetto d'Invenzione avente per titolo:

" POMPA DI CARICA A TENSIONE NEGATIVA PER MEMORIE
FLASH EEPROM."

a nome: CONSORZIO EAGLE

Inventore : Stefano MENICHELLI.

La presente invenzione si riferisce in linea generale alle memorie a semiconduttore e concerne in modo più particolare una originale implementazione di un circuito moltiplicatore di tensione che permette di far funzionare i circuiti integrati realizzati in tecnologia CMOS con una classica tensione di alimentazione di 3.3. volt o di 5.0 volt anche in quei casi in cui, internamente al circuito ed in determinate circostanze, si richiedano tensioni più elevate.

È noto, per esempio, che, nelle memorie EEPROM, si utilizzano, oltre alle tensioni di alimentazione normali di 5.0 o di 3.3 volt, anche delle tensioni superiori, che possono essere di 12 volt oppure, in certi casi, anche di 18 volt, allo scopo di effettuare, per esempio, delle operazioni di programmazione delle celle o la loro cancellazione. Chiaramente, queste memorie hanno bisogno di una alimentazione addizionale, cosa che comporta qualche problema, se non altro per il fatto che la esigenza di fornire due alimentazioni invece di una non è certamente favorevole. Esiste, quindi, il problema di avere sul chip una tensione superiore a quella di alimentazione.

ING. BARZANO' & ZANARDO ROMA S.p.A.

I moltiplicatori di tensione su-chip, a cui spesso viene fatto riferimento come "pompe di cariche", sono tipicamente utilizzati per permettere il funzionamento di circuiti integrati dalla normale classica alimentazione elettrica, anche se, come si verifica nelle memorie Flash EEPROM, internamente si richiedono, in certi modi operativi, tensioni negative e/o tensioni positive superiori alle tensioni di normale alimentazione.

Come è noto agli esperti nel ramo, uno degli elementi che debbono sempre essere tenuti in molto conto nella progettazione ed implementazione di un circuito integrato è il grado di utilizzazione dell'area del chip di silicio su cui il circuito viene realizzato. Quindi, in questo quadro, bisogna tener conto del fatto che l'area di silicio necessaria per implementare un circuito di pompa di carica può variare notevolmente in dipendenza di tre fattori principali: la tensione di alimentazione, le esigenze di uscita e la capacità per unità di area dei condensatori su-chip che vengono realizzati.

Come cenno della tecnica precedente nota, si faccia riferimento alla Figura 1, la quale mostra un circuito di pompa di carica tradizionale schematizzato, per tensione negativa. Come si vede, esso consiste fondamentalmente di una catena di diodi $D_1, D_2, \dots, D_{N-1}, D_N$ più un diodo di uscita D_{out} inseriti fra la massa GND e l'uscita V_{OUT} . I nodi alternati fra i diodi della catena sono collegati a due segnali di clock o di cadenzamento PH e PH_ attraverso condensatori $C_1, C_3, \dots, C_{N-1}$ e rispettivamente $C_2, C_4, \dots, C_N$.

In questo circuito, i pacchetti di carica vengono "pompati" lungo la catena dei diodi a mano a mano che i condensatori di accoppiamento vengono caricati e scaricati sotto l'azione alternata dei due segnali di clock PH e PH_ che sono in opposizione di fase, con ampiezza V_{pp} .

I diodi del circuito della Figura 1 sono tipicamente sostituiti da transistori PMOS configurati per operare come diodi, dato che, nella tecnologia CMOS classica, diodi capaci di sopportare tensioni negative non sono disponibili.

Le prestazioni del circuito della Figura 1 sono strettamente correlate alla efficienza dei diodi ed alla tensione di alimentazione. A causa della scadentissima capacità dei transistori PMOS di svolgere la funzione di diodi, particolarmente quando vengono impiegati transistori PMOS ad alta tensione per la loro più elevata V_T e per il loro più basso K_p in confronto con i transistori PMOS a bassa tensione, nella tecnologia CMOS classica, la pompa di carica della Figura 1 presenta, specialmente per basse tensioni di alimentazione, prestazioni molto scadenti, sia in termini di efficienza di moltiplicazione di tensione, sia in termini di capacità di pilotaggio della corrente.

Inoltre, la tensione di uscita tende a collassare se la corrente di uscita aumenta al disopra del valore massimo ammissibile. Infine, si dovrebbe notare che, nel circuito in questione, i condensatori debbono permanere soggetti ad alte tensioni e questo è un inconveniente in termini di utilizzazione dell'area di silicio, come verrà spiegato nel

seguito, parlando della capacità per unità di area in relazione allo spessore dello strato di ossido del dielettrico.

In vista di questa tecnica precedente, lo scopo generale della presente invenzione è quello di realizzare un circuito di pompa di carica implementato in tecnologia CMOS in grado di generare su-chip tensioni negative molto elevate senza gli inconvenienti e le complessità delle soluzioni precedenti.

Un altro scopo dell'invenzione è di realizzare un circuito di pompa di carica come già detto, il quale sia anche molto flessibile nonché facilmente modificabile per soddisfare ogni diversa e specifica esigenza applicativa.

Ulteriori scopi dell'invenzione sono di realizzare un circuito di pompa di carica come già detto, il quale presenti una elevata efficienza in termini di potenza, una elevata capacità di pilotaggio di corrente, nonché una efficiente utilizzazione dell'area di silicio.

Gli scopi suesposti sono raggiunti, secondo la presente invenzione, a mezzo di un circuito moltiplicatore di tensione negativa per circuiti integrati costituito da due sezioni speculari pilotate da segnali di controllo generati da una circuiteria logica avente come segnali di ingresso un segnale di abilitazione ed un segnale di clock, in cui ciascuna delle sezioni speculari è costituita, in una forma di realizzazione, da N stadi e ciascuno stadio comprende un condensatore avente un terminale inferiore ed un terminale superiore, il cui terminale inferiore è collegato ad un primo interruttore che, quando è chiuso, connette il terminale inferiore del condensatore alla

tensione di alimentazione, il terminale inferiore del condensatore è inoltre collegato ad un secondo interruttore che, quando è chiuso, connette il terminale inferiore del condensatore alla tensione di massa, se trattasi del primo stadio, oppure al terminale superiore del condensatore dello stadio precedente; il terminale superiore del condensatore è collegato ad un terzo interruttore che, quando è chiuso, connette il terminale superiore del condensatore a massa, il terminale superiore del condensatore dell' N-simo stadio è connesso ad un ultimo interruttore che, quando è chiuso, connette il terminale superiore del condensatore dell' N-simo stadio all'uscita del moltiplicatore di tensione; detti segnali di controllo comandano direttamente o indirettamente i detti interruttori in modo tale che, quando il moltiplicatore di tensione è abilitato, con una temporizzazione scandita dal segnale di clock, ciascuna sezione speculare passa alternativamente nel tempo da una fase di carica ad una fase di scarica, per cui mentre una sezione speculare è in fase di carica, l'altra è in fase di scarica e viceversa; quando una sezione speculare del circuito è in fase di carica, l'ultimo e tutti i suoi secondi interruttori sono aperti, mentre i suoi primi e terzi interruttori sono chiusi, per cui tutti i condensatori della sezione circuitale risultano collegati in parallelo tra la tensione di alimentazione e la massa e si caricano ad una tensione corrispondente alla tensione di alimentazione, con la placca superiore a massa e la placca inferiore alla tensione di alimentazione; quando una sezione speculare del circuito è in fase di scarica, tutti i suoi primi e terzi interruttori sono aperti, mentre l'ultimo e tutti i suoi secondi

interruttori sono chiusi, per cui tutti i condensatori risultano collegati in serie tra loro, con il terminale inferiore del condensatore del primo stadio connesso alla tensione di massa e con il terminale superiore del condensatore dell' N-simo stadio connesso all'uscita del moltiplicatore di tensione; quando il moltiplicatore di tensione è disabilitato, entrambe le sezioni speculari sono in fase di carica.

In questo circuito, le due sezioni circuitali speculari sono pilotate ciascuna da un primo e da un secondo segnale di controllo aventi polarità opposta; quando la sezione speculare è in fase di carica detto primo segnale di controllo è a tensione di alimentazione mentre detto secondo segnale di controllo è alla tensione di massa; quando la sezione speculare è in fase di scarica detto primo segnale di controllo è alla tensione di massa mentre detto secondo segnale di controllo è a tensione di alimentazione.

Nella preferita forma di realizzazione, il primo e il secondo interruttore del primo stadio di ciascuna sezione speculare sono realizzati mediante un tradizionale invertitore CMOS per cui il primo interruttore è realizzato da un transistor MOS a canale P la cui regione di source è connessa alla massa, la cui regione di drain è connessa al terminale inferiore del condensatore del primo stadio e la cui regione di gate è connessa alla linea di detto secondo segnale di controllo, il secondo interruttore è invece realizzato da un transistor MOS a canale N la cui regione di source e quella di diffusione N in cui

il transistor è realizzato sono connesse alla tensione di alimentazione, la cui regione di drain è connessa al terminale inferiore del

condensatore del primo stadio e la cui regione di gate è connessa alla linea di detto secondo segnale di controllo.

Inoltre, detti primi interruttori, ad esclusione di quelli del primo stadio delle due sezioni speculari, sono realizzati con transistori MOS a canale P, la cui regione di source è connessa a detto primo segnale di controllo, la cui regione di drain è collegata al terminale inferiore del condensatore e la cui regione di gate è connessa alla tensione di massa.

Ancora, detti secondi interruttori, ad esclusione di quelli del primo stadio delle due sezioni speculari, sono realizzati con transistori MOS a canale N di tipo isolato (iso-NMOS), la cui regione di source e quella di diffusione P in cui il transistor è realizzato sono connesse al terminale superiore del condensatore dello stadio precedente, la cui regione di drain è collegata al terminale inferiore del condensatore del proprio stadio, la cui regione di profonda diffusione N è collegata alla tensione di alimentazione e la cui regione di gate è sicuramente connessa, per gli stadi inferiori alla linea di detto secondo segnale di controllo, mentre, per gli stadi superiori essa può essere connessa alla tensione di massa .

Come si vedrà, detti terzi interruttori sono realizzati con transistori MOS a canale P, la cui regione di source è connessa al terminale superiore del condensatore, la cui regione di drain è collegata alla tensione di massa e la cui regione di gate è collegata al terminale superiore di uno dei condensatori dell'altra sezione speculare del circuito in modo tale da poter prelevare dalla sezione in scarica una

conveniente tensione negativa da applicare sulle regioni di gate di detti transistori MOS al fine di portarli in piena conduzione quando emulano l'interruttore chiuso.

Nel circuito secondo l'invenzione, a ciascun stadio è aggiunto un diodo il cui catodo è collegato alla tensione di massa e il cui anodo è collegato al terminale superiore del condensatore al fine di garantire una precarica dei condensatori quando il moltiplicatore di tensione è disabilitato, essendo detti terzi interruttori aperti in quanto realizzati con transistori MOS a canale P, le cui regioni di gate si trovano ad una tensione non negativa, in quanto, essendo il moltiplicatore di tensione disabilitato, entrambe le sezioni speculari si trovano in fase di carica.

Verrà anche illustrato che detti diodi sono realizzati con transistori MOS a canale P, la cui regione di source è collegata al terminale superiore del condensatore e le cui regioni di drain e gate sono collegate entrambe alla tensione di massa e la cui regione di diffusione N in cui il transistor è realizzato è collegata alla tensione di alimentazione V_{DD} o, per gli stadi superiori, può essere connessa a detto secondo segnale di controllo.

In una diversa e preferita forma di realizzazione, detto ultimo interruttore è costituito da un transistor MOS a canale P, in cui la regione di drain è connessa all'uscita del moltiplicatore di tensione, la regione di source è connessa al terminale superiore del condensatore dell' N-simo stadio, la regione di diffusione N in cui il transistor è realizzato può essere connessa alla tensione di alimentazione V_{DD} , preferibilmente, al terminale inferiore del condensatore dell'N-simo

stadio , infine, per un corretto pilotaggio del transistor PMOS, la sua regione di gate è connessa al terminale superiore di uno stadio supplementare (N+1)-simo, del tutto simile allo stadio precedente N-simo, aggiunto alla parte superiore di ciascuna sezione speculare.

Ulteriori particolarità e vantaggi della presente invenzione appariranno evidenti dal seguito della descrizione con riferimento ai disegni allegati, in cui è rappresentata a titolo illustrativo e non restrittivo la preferita forma di realizzazione.

Nei disegni:

la Figura 1 mostra un circuito di pompa di carica realizzato in tecnologia tradizionale,

la Figura 2 mostra un circuito di pompa di carica ad alta tensione secondo la presente invenzione,

la Figura 3 mostra l'andamento della tensione di uscita V_{out} del circuito di pompa di carica della Figura 2.

Con riferimento ora alla Figura 2, è illustrato un nuovo schema di circuito moltiplicatore di tensione appositamente concepito per fornire una elevata efficienza di moltiplicazione di tensione ed una grande capacità di pilotaggio di corrente.

La struttura di base del moltiplicatore di tensione è costituita da due parti speculari pilotate con segnali di clock con fasi non sovrappendenti. La perfetta simmetria del circuito consente di limitare la analisi soltanto ad una metà di esso e di fare riferimento all'altra metà soltanto nella misura necessaria per spiegare tutti i passi del funzionamento. Ciascuna metà del moltiplicatore di tensione è

costituita da N stadi: ciascuno stadio è costituito da un condensatore e da alcuni transistori MOS operanti come interruttori. Gli N condensatori vengono isolati tra loro e caricati in parallelo alla tensione V_{pp} durante una fase del segnale di clock, mentre, durante la successiva fase del segnale di clock, gli N condensatori vengono connessi in serie, per consentire che essi, tutti con esclusione di uno, si scarichino direttamente all'uscita. In accordo con il segnale di clock, gli N condensatori vengono isolati uno dall'altro e vengono collegati insieme per mezzo di transistori NMOS isolati (iso-NMOS).

Come è noto, un transistor NMOS isolato viene tipicamente realizzato utilizzando una profonda diffusione N- che contiene una diffusione P- in cui è ricavato il transistor NMOS. I transistori NMOS isolati sono realizzati principalmente per maneggiare tensioni negative. Il corpo di un transistor NMOS di questo tipo è isolato dal substrato P- tramite la profonda diffusione N e può essere pilotato a diverse tensioni, diverse da massa, a condizione che tutte le giunzioni pn non vengano mai polarizzate in senso diretto. Per tensioni negative o per tensioni positive non superiori alla tensione di alimentazione, la diffusione N può essere collegata alla tensione di alimentazione V_{pp} , mentre la diffusione P può essere cortocircuitata alla regione di source che deve trovarsi sempre ad una tensione non superiore alla tensione di drain.

Durante la fase di carica, gli N condensatori sono isolati uno dall'altro ed i due terminali di ciascun condensatore sono collegati uno alla tensione V_{pp} e l'altro a massa GND per mezzo di transistori

PMOS. Durante la fase di scarica, gli N condensatori sono collegati in serie, essendo la placca inferiore del condensatore del primo stadio collegata a massa GND e la placca superiore del condensatore del penultimo stadio collegata all'uscita per mezzo di un transistor PMOS. La tensione di gate di questo transistor PMOS è fornita dall'ultimo stadio, nella parte superiore del circuito, allo scopo di spingere il transistor in uno stato di piena conduzione.

Il circuito di pompa di carica della Figura 2 è particolarmente adatto per una memoria Flash EEPROM incorporata (embedded) ed è stato illustrato per il caso di $N = 5$ e per fornire una tensione di uscita di -9 Volt. È da notare, inoltre, che soltanto transistori MOS per alta tensione sono impiegati nel circuito della Figura 2, eccetto per le porte logiche che sono realizzate mediante transistori MOS per bassa tensione.

I segnali di controllo sono generati da porte logiche che sono rappresentate nella parte di fondo della Figura 2 e che formano in pratica un generatore di fasi non sovrappendenti.

In condizione di stand-by o di attesa, nella quale il segnale en è basso, le fasi PH00, PH01, PH11 e PH10 sono a V_{pp} , mentre le fasi PH0_N e PH1_N sono a massa GND. I condensatori C00, C01, C02, C03, C04, C10, C11, C12, C13 e C14 sono caricati a $V_{pp} - V_d$, in cui V_d rappresenta la caduta di tensione attraverso il relativo transistor PMOS impiegato come diodo. In effetti, considerando uno qualsiasi dei condensatori, per esempio C01, nel modo di attesa, il nodo 18 viene mantenuto a V_d dal transistor PCH010 ed il nodo 12 viene collegato

alla tensione di alimentazione V_{pp} dal transistor $PCH01$ che è acceso perché ha la regione di gate collegata a massa GND e la sua regione di source collegata alla fase PH01 che si trova a V_{pp} .

Ciò significa che, in condizione di attesa, ciascuno dei condensatori C00, C01, C02, C03, C04 e C10, C11, C12, C13, C14 è precaricato a $V_{pp} - V_d$.

In condizione operativa o di funzionamento, il segnale di abilitazione en è alto, mentre il segnale di clock clk è in libera oscillazione. Supponendo, come punto di partenza della analisi, che il segnale di clock clk sia basso, allora le fasi PH00, PH01 e PH1_N sono a tensione V_{pp} , mentre le fasi PH0_N, PH11 e PH10 sono a massa GND. In questo caso, il lato sinistro del circuito moltiplicatore di tensione si trova in fase di carica, mentre il lato destro si trova in fase di scarica. Nel lato sinistro del circuito moltiplicatore di tensione, che si trova in fase di carica, i transistori NCH00, NCH01, NCH02 ed NCH03 sono spenti, poiché le loro regioni di gate si trovano a massa GND e le loro tensioni source-drain sono non-negative. Perciò, i condensatori C01, C02, C03 e C04 sono isolati uno dall'altro. Dato che le fasi PH00 e PH01 sono a tensione V_{pp} ed il nodo 17 si trova ad appropriata tensione negativa, come apparirà chiaro nel seguito, i transistori PCH00, PCH01, PCH02, PCH03, PCH04, PCH05, PCH06, PCH07 e PCH08 sono in conduzione o accesi (ON) caricando così completamente i condensatori C00, C01, C02, C03 e C04 alla tensione V_{pp} .

Il transistor PCH014, che collega il piatto superiore del penultimo condensatore all'uscita, è spento perché la sua regione di gate collegata al nodo 42 e la sua regione di drain collegata al nodo 38 si trovano ambedue a massa GND.

Nel lato destro del circuito moltiplicatore di tensione, che si trova in fase di scarica, dato che la fase PH1_N si trova a tensione V_{pp} e le tensioni su nodo 17, nodo 23, nodo 24 e nodo 34 sono negative, i transistori NCH10, NCH11, NCH12 e NCH13 sono accesi collegando conseguentemente i condensatori C10, C11, C12, C13 e C14 in serie. Poiché le fasi PH10 e PH11 si trovano a massa GND ed il nodo 26 si trova ad una tensione non inferiore alla tensione di massa GND, perché il lato sinistro del circuito si trova in fase di carica, allora i transistori PCH10, PCH11, PCH12, PCH13, PCH14, PCH15, PCH16, PCH17 e PCH18 sono spenti. La serie dei condensatori C10, C11, C12 e C13 può scaricarsi all'uscita attraverso il transistor PCH114 che si trova in uno stato di piena conduzione, dato che la sua tensione di gate è appropriatamente fornita dall'ultimo stadio della parte superiore destra del circuito (condensatore C14).

Quando il segnale di clock clk passa da basso ad alto, in primo luogo tutte le tensioni di fase PH11 e PH10 passano a V_{pp} , mentre la tensione di fase PH1_N passa a GND. I transistori PCH11, PCH13, PCH15 e PCH17 si accendono facendo salire a valori non negativi le tensioni sul lato destro del circuito moltiplicatore di tensione. Per parte loro, i transistori NCH10, NCH11, NCH12 ed NCH13 si spengono. La

tensione sul nodo 17 assume un valore non negativo ed i transistori PCH00, PCH02, PCH04, PCH06 e PCH08 si spengono.

Dopo che la tensione di fase PH11 è passata a V_{pp} , la tensione di fase PH01 passa a GND, scaricando il nodo 12, il nodo 22, il nodo 30 ed il nodo 45 attraverso i transistori PCH01, PCH03, PCH05 e PCH07 che agiscono come diodi fino a che si spengono. Questo scaricamento migliora le prestazioni del circuito, quando condensatori parassiti sono connessi a questi nodi.

È noto, infatti, che, in tecnologia MOS, un condensatore i cui terminali possono essere pilotati a tensioni negative viene tipicamente realizzato utilizzando uno strato di polisilicio, in qualità di primo terminale, su un sottostante strato sottile o spesso di ossido di gate di transistori MOS, in qualità di dielettrico, il quale è disposto su una zona di diffusione di tipo P- (P- well) , in qualità di seconda placca, la quale è contenuta in una profonda diffusione N- allo scopo di isolare la diffusione P dal substrato P-. Una diffusione P+, all'interno della diffusione P, circonda la struttura verticale di polisilicio/ossido/diffusione P, riducendo la resistenza serie e consentendo la esecuzione dei contatti per la diffusione P del secondo terminale del condensatore. La giunzione di tipo pn che si forma tra la diffusione P e la profonda diffusione N rappresenta una capacità parassita, associata al condensatore, il cui valore è funzione della tensione della diffusione P , poiché la profonda diffusione N è tipicamente connessa ad una tensione fissa, come $-V_{pp}$. Questa capacità parassita diminuisce con l'aumentare della tensione attraverso

la giunzione pn polarizzata in senso inverso. Pertanto, il rapidissimo scaricamento del nodo 12, del nodo 22, del nodo 30, del nodo 45, del nodo 13, del nodo 16, del nodo 23 e del nodo 34, prima di entrare nella fase di scarica, evita una perdita della carica "utile" dei condensatori per caricare i condensatori parassiti nel primo intervallo di tensioni in cui essi presentano il loro massimo valore della capacità. Infine, i condensatori costruiti con sottile ossido di gate del transistor MOS invece che con spesso ossido di gate presentano una capacità parassita molto inferiore, poiché il valore della capacità parassita è proporzionale all'area della giunzione pn.

Ritornando ora all'esame del circuito, si vede che successivamente la tensione di fase PH0_N passa al valore V_{pp} , portando così all'accensione i transistori NCH00 e NCH01, la tensione di fase PH00 passa al valore GND ed i transistori NCH02 ed NCH03 si accendono grazie alle tensioni negative che si vengono a trovarsi sulle loro regioni di source. In particolare il nodo 26 discende ad una tensione negativa data da V_{out} più la tensione attraverso il condensatore C03 meno le tensioni source - drain dei transistori PCH014 ed NCH02. La tensione negativa sul nodo 26 commuta i transistori PCH10, PCH12, PCH14, PCH16 e PCH18 in uno stato di piena conduzione. A questo punto, le transizioni nel circuito dovute alle commutazioni del segnale di clock clk sono complete.

Il lato sinistro del circuito moltiplicatore di tensione si trova ora in fase di scarica, mentre il lato destro si trova in fase di carica. Dato che il circuito di Figura 2 è perfettamente simmetrico, una descrizione

del comportamento del circuito perfettamente analoga potrebbe essere ripetuta per analizzare il funzionamento quando il segnale di clock *clk* passa da alto a basso.

Tutti i transistori MOS ad alta tensione del circuito della Figura 2 commutano sempre in condizioni di grande sicurezza per evitare qualsiasi rischio di breakdown della placca di campo, che è un tipo di breakdown che si verifica nei transistori quando commutano con elevate tensioni ai loro capi. In vista di ciò, diverse connessioni sono state riarrangiate per ridurre la tensione attraverso i transistori maggiormente sollecitati. Le regioni di gate dei transistori NCH02 ed NCH03, nonché quelle dei transistori NCH12 ed NCH13 sono collegate a GND invece di essere rispettivamente collegate alle tensioni di fase PH0_N e PH1_N. Inoltre, le diffusioni N tank dei transistori PCH04, PCH06, PCH08, PCH011, PCH012 e PCH013 come anche le diffusioni N tank dei transistori PCH14, PCH16, PCH18, PCH111, PCH112 e PCH113 non sono collegate a V_{pp} , ma sono appropriatamente pilotate rispettivamente dalle tensioni di fase PH01 e PH11.

Infine, i circuiti porta logici NAND0 e NAND1 forniscono la esatta temporizzazione per commutare la tensione delle diffusioni N tank dei transistori PCH07 e PCH17. In aggiunta all'effetto di diminuzione della sollecitazione in tensione, le diffusioni N tank dei transistori PCH014 e PCH114 sono collegate rispettivamente al nodo 30 ed al nodo 23 per ridurre il body effect in modo da spingere questi transistori in uno stato di piena conduzione.

Diversamente dal circuito della Figura 1, nello schema del moltiplicatore di tensione secondo la presente invenzione, la tensione massima attraverso ciascun condensatore è soltanto uguale alla tensione di alimentazione V_{pp} . Questa osservazione è molto importante sotto l'aspetto della efficienza della utilizzazione dell'area di silicio quando, come in molti casi, il dielettrico dei condensatori è costituito dall'ossido di gate di transistori MOS. Infatti, la massima tensione ammessa attraverso l'ossido di gate di un transistor MOS dipende dallo spessore dello stesso ossido di gate. I transistori MOS per bassa tensione sono realizzati con sottile ossido di gate che presenta una elevatissima capacità per unità di area. Invece, i transistori MOS per alta tensione sono realizzati con spesso ossido di gate, perché essi debbono sopportare elevate tensioni; però, un ossido di gate spesso, in confronto con un ossido di gate sottile, presenta una capacità per unità di area molto minore.

Il moltiplicatore di tensione secondo lo schema della presente invenzione consente di impiegare un ossido di gate molto sottile per la realizzazione dei condensatori e ciò rappresenta effettivamente un notevole vantaggio in termini di sfruttamento dell'area di silicio. In alcune realizzazioni pratiche della presente invenzione (tecnologia Epic3-Flash merged technology (33M12)) il sottile ossido di gate del MOS ha uno spessore di 8 nm ed una capacità per unità di area di circa $3.8 \text{ FF}/\mu\text{m}^2$, l'ossido di gate MOS spesso ha uno spessore di 21 nm ed una capacità per unità di area di $1.6 \text{ FF}/\mu\text{m}^2$. L'area di silicio necessaria per costruire lo stesso condensatore è più del doppio se

viene usato un ossido di gate MOS spesso, che se viene usato un ossido di gate MOS sottile.

Il circuito di pompa di carica della Figura 2 è stato simulato impiegando SPICE, un periodo di clock di 80 ns ed una tensione di alimentazione di 4 volt, fornita da un regolatore di tensione ad alta corrente integrato con la memoria Flash EEPROM incorporata. Nella simulazione SPICE si è tenuto conto della capacità parassita collegando un condensatore extra tra la placca inferiore di ciascun condensatore e la tensione di alimentazione V_{pp} . Ciascuna capacità parassita è stata stimata all' 1.2% del valore del condensatore a cui essa è associata. Inoltre, una sorgente di corrente ideale I_{OUT} è stata inserita tra l'uscita e la massa per emulare la corrente di carico. La forma d'onda della tensione di uscita V_{OUT} è riportata nella Figura 3. Essa dimostra che la pompa di carica per tensione negativa della Figura 2 è equivalente ad un generatore di tensione ideale di -13.7 V in serie ad un resistore di 18 K Ω . Un moltiplicatore di tensione basato su questo nuovo schema è equivalente ad un generatore di tensione ideale V_o con in serie un resistore R_o i cui valori, nell'intervallo di interesse e come buona approssimazione, sono proporzionali rispettivamente a V_{pp} ed al periodo di clock T , vale a dire $V_o \cong \alpha \cdot V_{pp}$ e $R_o \cong \beta \cdot T$. I coefficiente α e β dipendono solo dal circuito. Come dimostrato dalla simulazione SPICE, per una corrente di uscita fra 200 μA e 300 μA , il rendimento di potenza è praticamente costante ed uguale al 33%, che è un valore molto elevato per un circuito di pompa di carica per tensione negativa.

In quel che precede è stata descritta la preferita forma di realizzazione e sono state suggerite delle varianti, ma deve essere chiaro che gli esperti nel ramo potranno apportare modificazioni e cambiamenti nella componentistica senza con ciò uscire dall'ambito di protezione della presente privativa industriale.

UN MANDATARIO
per se' e per gli altri
Antonio Talierno
(N° d'iscr. 171)



ING. BARZANO' & ZANARDO ROMA S.p.A.

RIVENDICAZIONI

1.- Circuito moltiplicatore di tensione negativa per circuiti integrati costituito da due sezioni speculari pilotate da segnali di controllo (PH00, PH01, PH0_N; PH10, PH11, PH1_N) generati da una circuiteria logica avente come segnali di ingresso un segnale di abilitazione (en) ed un segnale di clock (clk), in cui ciascuna delle sezioni speculari è costituita da N stadi e ciascuno stadio comprende un condensatore (C00, C01, C02, C03; C10, C11, C12, C13) avente un terminale inferiore ed un terminale superiore, il cui terminale inferiore è collegato ad un primo interruttore (INV0, PCH01, PCH03, PCH05; INV1, PCH11, PCH13, PCH15) che, quando è chiuso, connette il terminale inferiore del condensatore alla tensione di alimentazione (Vpp), il terminale inferiore del condensatore è inoltre collegato ad un secondo interruttore (INV0, NCH00, NCH01, NCH02; INV1, NCH10, NCH11, NCH12) che, quando è chiuso, connette il terminale inferiore del condensatore alla tensione di massa (GND), se trattasi del primo stadio, oppure al terminale superiore del condensatore dello stadio precedente; il terminale superiore del condensatore è collegato ad un terzo interruttore (PCH00, PCH02, PCH04, PCH06; PCH10, PCH12, PCH14, PCH16) che, quando è chiuso, connette il terminale superiore del condensatore a massa (GND), il terminale superiore del condensatore (C03; C13) dell' N-simo stadio è connesso ad un ultimo interruttore (PCH014; PCH114) che, quando è chiuso, connette il terminale superiore del condensatore dell' N-simo stadio all'uscita del moltiplicatore di tensione; detti segnali di controllo comandano

direttamente o indirettamente i detti interruttori in modo tale che, quando il moltiplicatore di tensione è abilitato ($en = 1$), con una temporizzazione scandita dal segnale di clock (clk), ciascuna sezione speculare passa alternativamente nel tempo da una fase di carica ad una fase di scarica, per cui mentre una sezione speculare è in fase di carica, l'altra è in fase di scarica e viceversa; quando una sezione speculare del circuito è in fase di carica, l'ultimo (PCH014; PCH114) e tutti i suoi secondi interruttori (INV0, NCH00, NCH01, NCH02; INV1, NCH10, NCH11, NCH12) sono aperti, mentre i suoi primi (INV0, PCH01, PCH03, PCH05; INV1, PCH11, PCH13, PCH15) e terzi interruttori (PCH00, PCH02, PCH04, PCH06; PCH10, PCH12, PCH14, PCH16) sono chiusi, per cui tutti i condensatori della sezione circuitale risultano collegati in parallelo tra la tensione di alimentazione (V_{pp}) e la massa (GND) e si caricano ad una tensione corrispondente alla tensione di alimentazione (V_{pp}), con la placca superiore a massa e la placca inferiore alla tensione di alimentazione (V_{pp}); quando una sezione speculare del circuito è in fase di scarica, tutti i suoi primi (INV0, PCH01, PCH03, PCH05; INV1, PCH11, PCH13, PCH15) e terzi interruttori (PCH00, PCH02, PCH04, PCH06; PCH10, PCH12, PCH14, PCH16) sono aperti, mentre l'ultimo (PCH014; PCH114) e tutti i suoi secondi interruttori (INV0, NCH00, NCH01, NCH02; INV1, NCH10, NCH11, NCH12) sono chiusi, per cui tutti i condensatori risultano collegati in serie tra loro, con il terminale inferiore del condensatore (C00; C10) del primo stadio connesso alla tensione di massa (GND) e con il terminale superiore del condensatore dell' N-simo stadio

connesso all'uscita del moltiplicatore di tensione; quando il moltiplicatore di tensione è disabilitato ($en = 0$), entrambe le sezioni speculari sono in fase di carica.

2.- Circuito moltiplicatore di tensione per circuiti integrati secondo la rivendicazione 1, caratterizzato dal fatto che le due sezioni circuitali speculari sono pilotate ciascuna da un primo e da un secondo segnale di controllo ($PH01$ e $PH0_N$; $PH11$ e $PH1_N$) aventi polarità opposta; quando la sezione speculare è in fase di carica detto primo segnale di controllo è a tensione di alimentazione (V_{pp}) mentre detto secondo segnale di controllo è alla tensione di massa (GND); quando la sezione speculare è in fase di scarica detto primo segnale di controllo è alla tensione di massa (GND) mentre detto secondo segnale di controllo è a tensione di alimentazione (V_{pp}).

3.- Circuito moltiplicatore di tensione per circuiti integrati secondo le rivendicazioni 1 e 2, caratterizzato dal fatto che il primo e il secondo interruttore del primo stadio di ciascuna sezione speculare sono realizzati mediante un tradizionale invertitore CMOS ($INV0$, $INV1$) per cui il primo interruttore è realizzato da un transistor MOS a canale P la cui regione di source è connessa alla massa, la cui regione di drain è connessa al terminale inferiore del condensatore del primo stadio ($C00$, $C10$) e la cui regione di gate è connessa alla linea di detto secondo segnale di controllo ($PH0_N$, $PH1_N$), il secondo interruttore è invece realizzato da un transistor MOS a canale N la cui regione di source e quella di diffusione N in cui il transistor è realizzato sono connesse alla tensione di alimentazione (V_{pp}), la cui regione di drain è

connessa al terminale inferiore del condensatore del primo stadio (C00, C10) e la cui regione di gate è connessa alla linea di detto secondo segnale di controllo (PH0_N, PH1_N).

4.- Circuito moltiplicatore di tensione per circuiti integrati secondo le rivendicazioni 1 e 2, caratterizzato dal fatto che detti primi interruttori, ad esclusione di quelli del primo stadio delle due sezioni speculari, sono realizzati con transistori MOS a canale P (PCH01, PCH03, PCH05; PCH11, PCH13, PCH15) la cui regione di source è connessa a detto primo segnale di controllo (PH01, PH11), la cui regione di drain è collegata al terminale inferiore del condensatore e la cui regione di gate è connessa alla tensione di massa (GND).

5.- Circuito moltiplicatore di tensione per circuiti integrati secondo le rivendicazioni 1 e 2, caratterizzato dal fatto che detti secondi interruttori (NCH00, NCH01, NCH02; NCH10, NCH11, NCH12), ad esclusione di quelli del primo stadio delle due sezioni speculari, sono realizzati con transistori MOS a canale N di tipo isolato (iso-NMOS), la cui regione di source e quella di diffusione P in cui il transistor è realizzato sono connesse al terminale superiore del condensatore dello stadio precedente, la cui regione di drain è collegata al terminale inferiore del condensatore del proprio stadio, la cui regione di profonda diffusione N è collegata alla tensione di alimentazione (Vpp) e la cui regione di gate è sicuramente connessa, per gli stadi inferiori (NCH00, NCH01; NCH10, NCH11) alla linea di detto secondo segnale di controllo (PH0_N, PH1_N), mentre, per gli

stadi superiori (NCH02; NCH12) essa può essere connessa alla tensione di massa (GND).

6.- Circuito moltiplicatore di tensione per circuiti integrati secondo la rivendicazione 1, caratterizzato dal fatto che detti terzi interruttori (PCH00, PCH02, PCH04, PCH06; PCH10, PCH12, PCH14, PCH16) sono realizzati con transistori MOS a canale P, la cui regione di source è connessa al terminale superiore del condensatore, la cui regione di drain è collegata alla tensione di massa (GND) e la cui regione di gate è collegata al terminale superiore di uno dei condensatori (C12, C02) dell'altra sezione speculare del circuito in modo tale da poter prelevare dalla sezione in scarica una conveniente tensione negativa da applicare sulle regioni di gate di detti transistori MOS al fine di portarli in piena conduzione quando emulano l'interruttore chiuso.

7.- Circuito moltiplicatore di tensione per circuiti integrati secondo la rivendicazione 1 e 6, caratterizzato dal fatto che a ciascun stadio è aggiunto un diodo (PCH09, PCH010, PCH011, PCH012; PCH19, PCH110, PCH111, PCH112) il cui catodo è collegato alla tensione di massa (GND) e il cui anodo è collegato al terminale superiore del condensatore al fine di garantire una precarica dei condensatori quando il moltiplicatore di tensione è disabilitato ($en=0$), essendo detti terzi interruttori aperti in quanto realizzati con transistori MOS a canale P, le cui regioni di gate si trovano ad una tensione non negativa, in quanto, essendo il moltiplicatore di tensione disabilitato, entrambe le sezioni speculari si trovano in fase di carica.

8.- Circuito moltiplicatore di tensione per circuiti integrati secondo le rivendicazioni 1, 2, 6 e 7, caratterizzato dal fatto che detti diodi (PCH09, PCH010, PCH011, PCH012; PCH19, PCH110, PCH111, PCH112) sono realizzati con transistori MOS a canale P, la cui regione di source è collegata al terminale superiore del condensatore e le cui regioni di drain e gate sono collegate entrambe alla tensione di massa (GND) e la cui regione di diffusione N in cui il transistor è realizzato è collegata alla tensione di alimentazione (V_{pp}) o, per gli stadi superiori, può essere connessa a detto secondo segnale di controllo.

9.- Circuito moltiplicatore di tensione per circuiti integrati secondo la rivendicazione 1, caratterizzato dal fatto che detto ultimo interruttore (PCH014; PCH114) è costituito da un transistor MOS a canale P, in cui la regione di drain è connessa all'uscita del moltiplicatore di tensione, la regione di source è connessa al terminale superiore del condensatore (C03; C13) dell' N-simo stadio, la regione di diffusione N in cui il transistor è realizzato può essere connessa alla tensione di alimentazione (V_{pp}) o, preferibilmente, al terminale inferiore del condensatore dell'N-simo stadio, infine, per un corretto pilotaggio del transistor PMOS, la sua regione di gate è connessa al terminale superiore di uno stadio supplementare (N+1)-simo (C04, PCH07, NCH03, PCH08, PCH013; C14, PCH17, NCH13, PCH18, PCH113) del tutto simile allo stadio precedente N-simo, aggiunto alla parte superiore di ciascuna sezione speculare.

10.- Circuito moltiplicatore di tensione per circuiti integrati secondo una qualsiasi delle precedenti rivendicazioni e

sostanzialmente come descritto nella descrizione e rappresentato nei
disegni.

Roma, 23 DIC. 1996

p.p.: CONSORZIO EAGLE

ING. BARZANO' & ZANARDO ROMA S.p.A.

TA



UN MANDATARIO
per se e per gli altri
Antonio Terliccio
(N° d'iscr. 171)

Antoni

ING. BARZANO' & ZANARDO ROMA S.p.A.

1/2

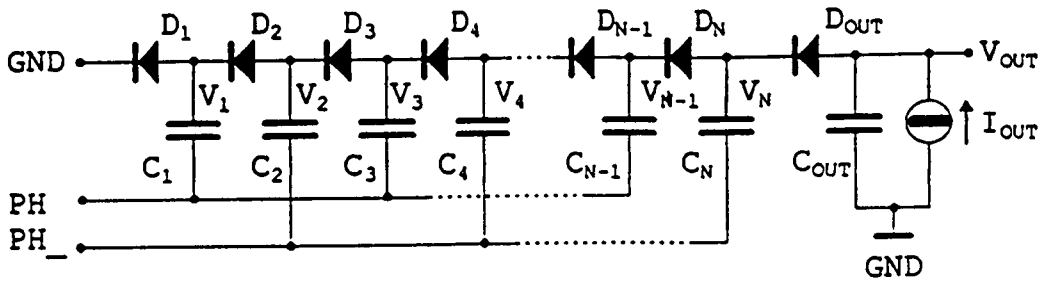
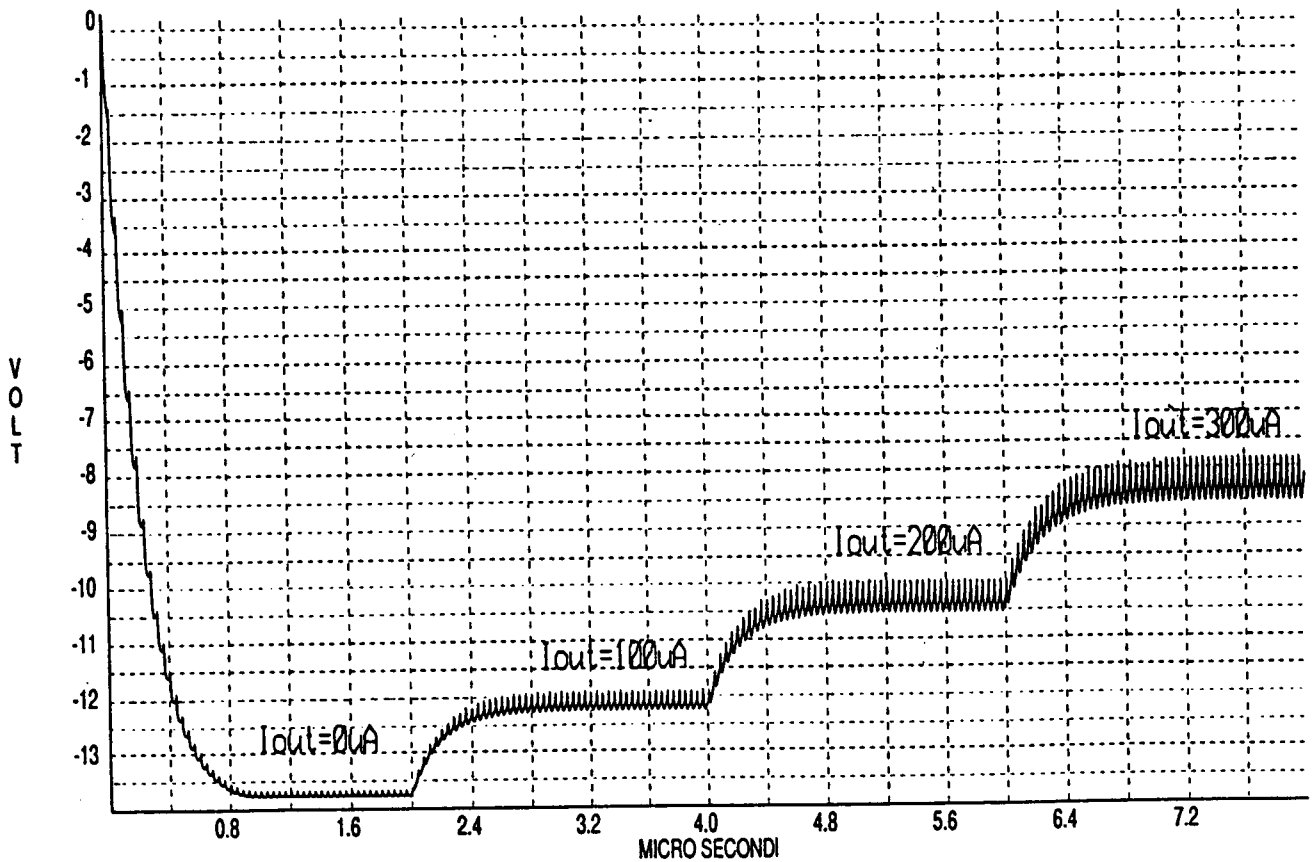


FIG. 1

FIG. 3



p.p.: CONSORZIO EAGLE
ING. BARZANO' & ZANARDO ROMA S.p.A.

UN MANDATARIO
per se e per gli altri
Antonio Talierno
(N° d'iscri. 171)

Talierno



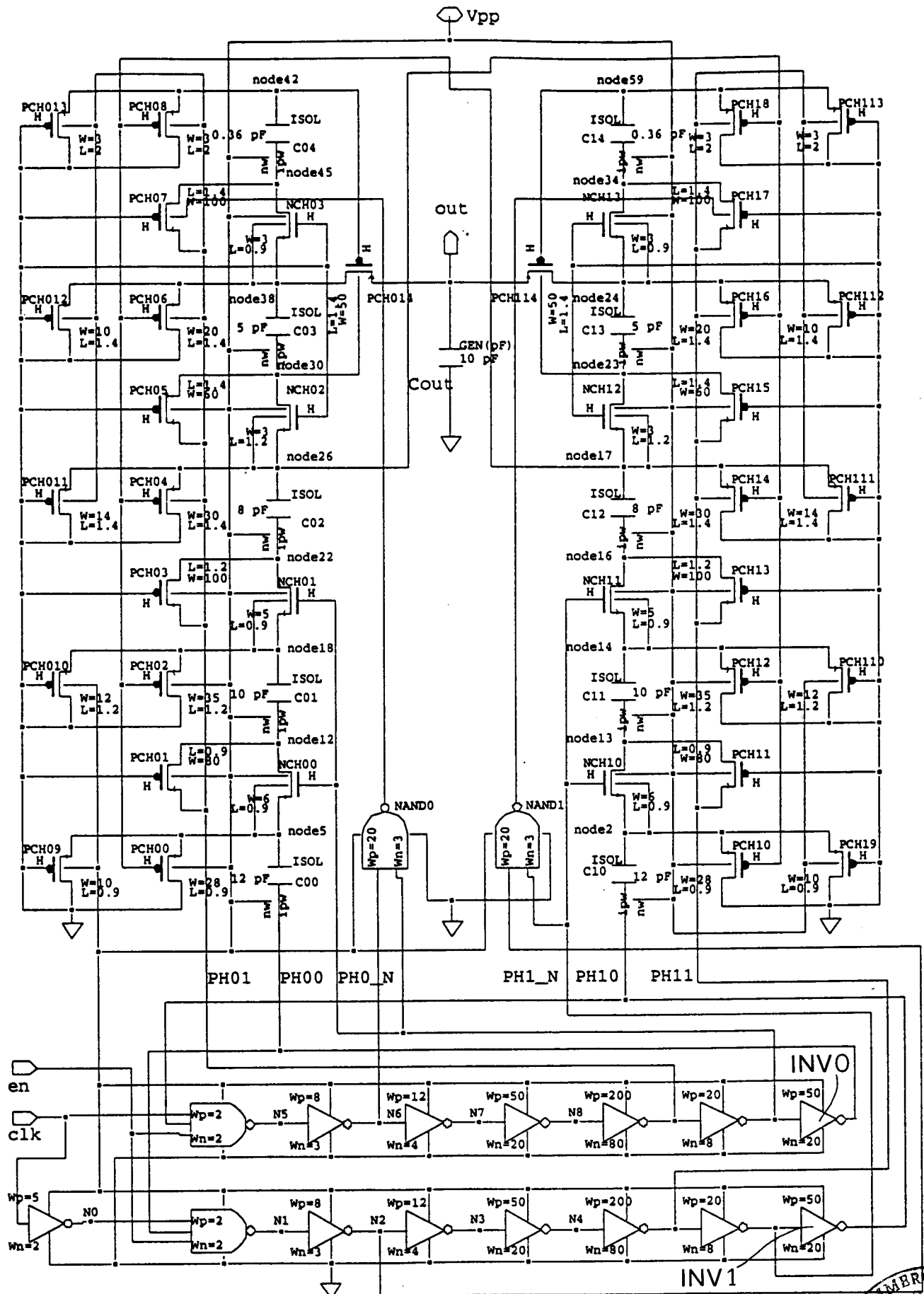


FIG. 2

