

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2011/121725 A1

PCT

(43) 国際公開日
2011 年 10 月 6 日(06.10.2011)

- (51) 国際特許分類:
H01L 25/04 (2006.01) H01L 25/18 (2006.01)
G01R 31/28 (2006.01) H05K 3/34 (2006.01)
- (21) 国際出願番号: PCT/JP2010/055694
- (22) 国際出願日: 2010 年 3 月 30 日(30.03.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大森 隆広 (OMORI Takahiro) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 廣畑 賢治 (HIROHATA Kenji) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP).
- (74) 代理人: 勝沼 宏仁, 外 (KATSUNUMA Hirohito et al.); 〒1000005 東京都千代田区丸の内三丁目 2

番 3 号 富士ビル 3 2 3 号 協和特許法律事務所 Tokyo (JP).

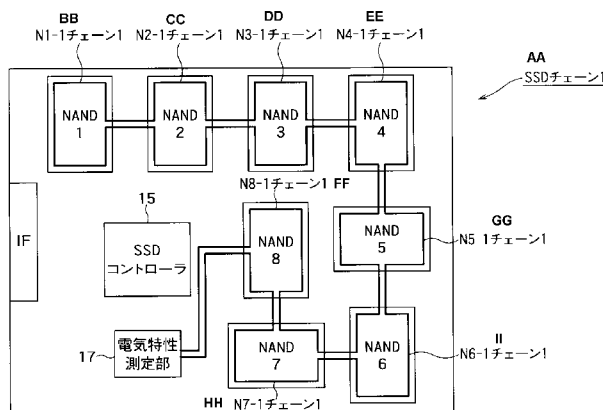
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: ELECTRONIC DEVICE AND ELECTRONIC SYSTEM

(54) 発明の名称: 電子装置および電子システム

[図5]



AA SSD CHAIN 1
BB N1-1 CHAIN 1
CC N2-1 CHAIN 1
DD N3-1 CHAIN 1
EE N4-1 CHAIN 1
FF N8-1 CHAIN 1
GG N5-1 CHAIN 1
HH N7-1 CHAIN 1
II N6-1 CHAIN 1
15 SSD CONTROLLER
17 ELECTRIC CHARACTERISTIC MEASUREMENT UNIT

(57) Abstract: Disclosed is an electronic device which is provided with: a main board; a plurality of electronic substrates which each have a plurality of solder joint sections, and which are mounted on the main board via the plurality of solder joint sections; a first chain in which the solder joint sections are connected in continuity over all the electronic substrates; a measurement unit for measuring the electric resistance value of the first chain, and the electric resistance values of a plurality of second chains which are a part of the first chain, and in which the solder joint sections of each of the electronic substrates are connected in continuity; and a control unit for acquiring the electric resistance value of the first chain using the measurement unit, and detecting a second chain, the electric resistance value of which is not less than a threshold value among the second chains which corresponds to the electronic substrates, respectively using the measurement unit when the electric resistance value of the first chain is not less than the threshold value.

(57) 要約: 本発明の電子装置は、メインボードと、それぞれ複数のはんだ接合部を有し、前記複数のはんだ接合部を介して前記メインボードに搭載された複数の電子基板と、すべての前記電子基板に渡って前記はんだ接合部を一続きに接続した第 1 チェーンと、前記第 1 チェーンの電気抵抗値、および前記第 1 チェーンの一部であり前記電子基板毎の前記はんだ接合部を一続きに接続した複数の第 2 チェーンの電気抵抗値を測定する測定部と、前記測定部を用いて前記第 1 チェーンの電気抵抗値を取得し、前記第 1 チェーンの電気抵抗値が閾値以上であるとき、前記測定部を用いて、前記電子基板にそれぞれ対応する前記第 2 チェーンのうち前記電気抵抗値が前記閾値以上である第 2 チェーンを検出する制御部と、を備える。

WO 2011/121725 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 電子装置および電子システム

技術分野

[0001] 本発明は、電子装置および電子システムに関する。

背景技術

[0002] SSD(Solid State Disk)を初めとする半導体記憶装置では、多数のNANDフラッシュメモリパッケージがはんだ接続により基板と電氣的に接続される。近年大容量化、高機能化が進み、フラッシュメモリのパッケージ形態は高密度実装に適したBGA(Ball Grid Array)等をとることが多い。しかしながら、使用環境下におけるBGAのはんだ接合部には、部品の線膨張率差による熱負荷、外部からの振動や衝撃による負荷などの多数の外力が加えられ、常に破断の危険性がある。特に、BGAの外周部のバンプは、熱や振動、衝撃などの負荷による破断が最も懸念される場所である。これらの外周のバンプは、破断によって容易にパッケージの機能が失われることを防ぐため、ダミーバンプとして信号線や電力供給には使用されないことが多い。このダミーバンプを利用して、ダミーバンプの破断を検出することにより、メモリパッケージの危険性を診断するヘルスマニタリングへの適用が期待されている。特許文献1には、BGAパッケージを対象として、4角のダミーバンプの破断を検出する技術が開示されている。また特許文献2にはBGA基板の抵抗値を測定し、測定結果に基づいてBGA基板の接合部におけるストレス進行状態を検出する技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開10-93297号

特許文献2：特開2002-76187号公報

発明の概要

発明が解決しようとする課題

[0004] 前述の通り、SSDなどの半導体記憶装置は多数の半導体メモリパッケージによって構成されるため、基板上のレイアウトによって受ける機械的負荷の強度がパッケージによって異なる。パッケージに相当程度の負荷が蓄積されると、信号線や電力供給線などに接続される、機能上不可欠なはんだ接合部が破断し、パッケージ内部に蓄えられていた情報が失われてしまう。破断の兆候を事前に検知することが可能であれば、危険水準に達した段階でパッケージ内部の情報を他の情報記憶媒体に移動することにより、情報が失われる前にバックアップをとることができる。

[0005] しかしながら、パッケージの数が多数になるに従い、ダミーバンプの数も増加し、検出に要する時間や負荷が増大する。また、SSDを複数使用したRAID (Redundant Arrays of Inexpensive Disks) 構成等を用いると、さらに構成が複雑化するため不良箇所の検出のために大きな負荷がかかり、多大な時間を要する。

[0006] 本発明は、複数の電子基板を搭載したメインボードにおいて、各電子基板のはんだ接合部の破断検査を短時間で行うことを可能とした電子装置および電子システムを提供する。

課題を解決するための手段

[0007] 本発明の第1の態様としての電子装置は、
メインボードと、
それぞれ複数のはんだ接合部を有し、前記複数のはんだ接合部を介して前記メインボードに搭載された複数の電子基板と、
すべての前記電子基板に渡って前記はんだ接合部を一続きに接続した第1チェーンと、
前記第1チェーンの電気抵抗値、および前記第1チェーンの一部であり前記電子基板毎の前記はんだ接合部を一続きに接続した複数の第2チェーンの電気抵抗値を測定する測定部と、
前記測定部を用いて前記第1チェーンの電気抵抗値を取得し、前記第1チェーンの電気抵抗値が閾値以上であるとき、前記測定部を用いて、前記電子基

板にそれぞれ対応する前記第2チェーンのうち前記電気抵抗値が前記閾値以上である第2チェーンを検出する制御部と、

を備える。

- [0008] 本発明の第2の態様としての電子システムは、
前記第1の態様に記載の複数の電子装置と、
前記複数の電子装置を制御する制御装置と、を備え、
前記制御装置は、前記複数の電子装置のそれぞれに検査指示信号を送信し、
前記電子装置は、
前記検査指示信号に応じて、前記第1チェーンの電気抵抗値を測定し、
前記第1チェーンの電気抵抗値が前記閾値未満のときは、前記電子装置におけるはんだ接合部に破断はないことを示す第1の検査結果情報を前記制御装置に送信し、
前記第1チェーンの電気抵抗値が前記閾値以上のときは、前記閾値以上の電気抵抗値を有する第2チェーンを検出し、検出した第2チェーンに対応する電子基板の前記はんだ接合部の少なくとも1つに破断が発生していることを示す第2の検査結果情報を前記制御装置に送信することを特徴とする。

発明の効果

- [0009] 本発明により、複数の電子基板を搭載したメインボードにおいて、各電子基板のはんだ接合部の破断検査を短時間で行うことが可能になる。

図面の簡単な説明

- [0010] [図1]本発明の電子装置の一実施形態としてのSSD (Solid State Disk) の機能ブロック図である。
[図2]SSDの構造を模式的に示す平面図である。
[図3]1つのNANDフラッシュパッケージの裏面に備え付けられたバンプ群を示す。
[図4]チェーンの階層構造を説明する図である。

[図5]すべてのNANDフラッシュパッケージを一巡する全体一巡チェーンを模式的に示す。

[図6]NANDフラッシュパッケージにおける最外周チェーンおよびその1つ内側のチェーンの構成例を示す。

[図7]図6とは別のNANDフラッシュパッケージにおける最外周チェーンおよびその1つ内側のチェーンの構成例を示す。

[図8]最外周チェーンの1つ下の階層のチェーンの構成例を示す。

[図9]最外周チェーンの2つ下の階層のチェーンの構成例を示す。

[図10]チェーン構造の一例を示す。

[図11]ダミーバンプの破断（チェーンの破断）の様子を示す。

[図12]データベースの構成例を示す。

[図13]図1の電子装置において行うヘルスマモニタリングの流れを示すフローチャートである。

[図14]図13に続くフローチャートである。

[図15]複数のSSDを用いたRAID構成を備えた電子システムを示す。

[図16]多層構造型NANDフラッシュパッケージを複数、メインボード上に搭載したSSDを示す斜視図である。

[図17]図16のSSDにおける1つの多層構造型NANDフラッシュパッケージの側面図を示す。

[図18]図17の多層構造型NANDフラッシュパッケージにおける一番下の基板のチェーン構造の一例を示す。

[図19]図17の多層構造型NANDフラッシュパッケージにおける中間の基板のチェーン構造の一例を示す。

[図20]図17の多層構造型NANDフラッシュパッケージにおける一番上の基板のチェーン構造の一例を示す。

発明を実施するための形態

[0011] 本発明の実施形態は、メインボード上に搭載された各電子基板（パッケージ）のダミーバンプを一巡する全体一巡チェーンを設け、さらに当該全体一

巡チェーンの一部であり各電子基板毎のダミーバンプを一巡する複数のチェーン、さらに当該チェーンのさらに一部分のチェーンと、順次短くなるように、階層構造状のチェーン群を配置する。検査の際は、全体一巡チェーンの電気抵抗値を測定し、全体一巡チェーンの電気抵抗値が閾値未満のときは、すべての電子基板の接合に異常（破断）はないと判断する。一方、閾値以上のときは、接合に異常がある電子基板が存在すると判断し、電気抵抗値が閾値以上となるチェーンを、下位階層へ向けて段階的に特定することで、破断バンプが存在する箇所（たとえば最下層のチェーン）を狭い範囲に短時間で絞り込む。

[0012] 以下、図面を参照しながら、本発明の実施形態について説明する。

[0013] （第1の実施形態）

図1は、本発明の電子装置の一実施形態としてのSSD（Solid State Disk）の機能ブロック図である。

[0014] 図2は、当該SSDの構造を模式的に示す平面図である。

[0015] 図1の電子装置は、メインボード11（図2参照）、NANDフラッシュメモリのパッケージ装置（以下、NANDフラッシュパッケージ）1～m、SSDコントローラ（制御部）15、通信インターフェース（IF：InterFace）12、電気特性測定部17、電気特性・接続状況データベース18、各NANDフラッシュパッケージのダミーバンプを接続する階層構造状のチェーン群を備える。図2の例では、NANDフラッシュパッケージの個数は8（ $m=8$ ）である。図2において、符号13はボス穴、符号16はコンデンサを示す。

[0016] NANDフラッシュパッケージ1～8は、本発明の電子基板に対応する。本発明の対象とする電子基板は、NANDフラッシュメモリパッケージに限定されず、他の種類の半導体メモリのパッケージでもよいし、あるいは、メモリパッケージでなく、演算装置等のチップでもよい。

[0017] NANDフラッシュパッケージ1～8は、それぞれ裏面にBGA等の複数のはんだ接合部（はんだバンプ）を有する。メインボード11上にははんだ接合部を受け持つ保持パッド（図示せず）が形成されている。NANDフラッシュパッケージ1～

8のはんだ接合部が、メインボード11上の保持パッドに位置合わせされて接合されることにより、NANDフラッシュパッケージ1~8はメインボード11上に実装される。すなわちNANDフラッシュパッケージ1~8が、メインボード11に物理的に固定され、かつ、メインボード11と電氣的に接続される。

[0018] NANDフラッシュパッケージ1~8のはんだバンプは、信号線または電力線等の導電線として使用されるメインバンプと、信号線や電源線として使用されないダミーバンプとを含む。

[0019] 図3に、1つのNANDフラッシュパッケージの裏面に備え付けられたバンプ群を示す。ハッチングが施された領域に存在するはんだバンプがダミーバンプ、ハッチングが施されていない領域に存在するはんだバンプがメインバンプである。

[0020] 各NANDフラッシュパッケージ1~8の最外周のダミーバンプを用いて、ダミーバンプを直列につなぐ（一筆書きの要領でつなぐ）チェーンが組まれている。当該チェーンは、パッケージに対応する部分チェーン、当該部分チェーンのさらに一部のチェーンと、階層構造状に展開される。

[0021] 同様に、各NANDフラッシュパッケージ1~8の最外周の1つ内側のダミーバンプを用いて、ダミーバンプを直列につなぐ（一筆書きの要領でつなぐ）チェーンが組まれてもよい。その場合、当該チェーンも、パッケージに対応する部分チェーン、当該部分チェーンのさらに一部のチェーンと、階層構造状に展開される。

[0022] 図4~図10を用いてチェーンの構成および階層構造について説明する。各階層のチェーンは電気特性測定部17に接続され、そのインピーダンス（ここでは電気抵抗値）が測定可能になっている。

[0023] 図4に示すように、すべてのパッケージ1~m（ここではm=8とする）のダミーバンプのうち最外周に位置するバンプを銅線等の導電性の配線により一続きに（直列に）接続するSSDチェーン1（第1チェーン）が組まれている。SSDチェーン1の模式図を図5として示す（ただし図1とはメインボード11上の配置レイアウトが異なっている）。バンプの破断は通常、最外周のものから起こ

ることが多く、このような最外周のバンプをSSDチェーン1に含める。

[0024] また、すべてのパッケージのダミーバンプのうち最外周の1つ内側に位置するものを導電性の配線により一続きに接続するSSDチェーン2（第1チェーン）が組まれてもよい。最外周の次には通常その1つ内側のバンプから破断が起こる。同様にして、最外周のJ個内側に位置するダミーバンプをすべてのパッケージに渡って導電性の配線により一続きに接続するSSDチェーンJを組むことが可能である。

[0025] 図5に示されるNANDフラッシュパッケージ1のN1-1チェーン1は、SSDチェーン1のうちNANDフラッシュパッケージ1に対応する部分のチェーン（第2チェーン）である。より詳細には、N1-1チェーン1はNANDフラッシュパッケージ1の最外周のダミーバンプを一続きに接続する（一巡する）チェーンである。

[0026] 同様にSSDチェーン1のうちNANDフラッシュパッケージ2～8にそれぞれ対応するN2-1チェーン1～N8-1チェーン1（第2チェーン）も存在する（図5参照）。N2-1チェーン1～N8-1チェーン1は、NANDフラッシュパッケージ2～8の最外周のダミーバンプを一続きに接続するチェーンである。

[0027] これらのN1-1チェーン1～N8-1チェーン1は、SSDチェーン1の一部に相当し、SSDチェーン1の1つ下位の階層に属する（図4参照）。

[0028] 図4において、NANDフラッシュパッケージ1のN1-1チェーン2は、SSDチェーン2のうちNANDフラッシュパッケージ1に対応する部分のチェーン（第2チェーン）である。具体的にN1-1チェーン2はNANDフラッシュパッケージ1の最外周の1つ内側のダミーバンプを一続きに接続するチェーンである。

[0029] 同様にSSDチェーン2のうちNANDフラッシュパッケージ2～8にそれぞれ対応するN2-1チェーン2～N8-1チェーン2（第2チェーン）（図示せず）が存在する。N1-1チェーン2～N8-1チェーン2は、NANDフラッシュパッケージ2～8のそれぞれの最外周の1つ内側のダミーバンプを一続きに接続するチェーンである。

[0030] これらのN1-1チェーン2～N8-1チェーン2は、SSDチェーン2の一部に相当し、SSDチェーン2の1つ下位の階層に属する。

- [0031] 図4のN1-2チェーン1～N1-2チェーン4は、それぞれN1-1チェーン1のうち異なる範囲に対応するチェーン（第3チェーン）であり、それぞれ角バンプを含む（後述する図8参照）。N1-1チェーン1の中で、角バンプは最も先に破損する可能性が高い特徴がある。N1-2チェーン1～4は、N1-1チェーン1の1つ下の階層に属する。同様に、他のパッケージ2～8におけるN1-1チェーン1と同一階層のチェーン（N2-1チェーン1～Nm-1チェーン1）の下位、およびN1-1チェーン2等の下位にも、複数のチェーンが存在する（図示せず）。
- [0032] N1-3チェーン1は、N1-2チェーン1の一部の範囲に対応する短いチェーン（第3チェーン）である。N1-3チェーン1は、N1-2チェーン1の1つ下の階層に属する。N1-3チェーン1は、N1-2チェーン1内の角バンプを含む（後述する図9参照）。
- [0033] N1-3チェーン2～4もそれぞれN1-2チェーン2～4の一部の範囲に対応する短いチェーン（第3チェーン）であり、N1-2チェーン2～4内の角バンプを含む。N1-3チェーン2～4は、N1-2チェーン2～4の1つ下の階層に属する。同様に、N1-2チェーン1～4と同一階層に位置する他のパッケージ2～8のチェーン群に対して、角バンプを含む短いチェーンが存在する。
- [0034] このようにチェーンを階層構造状に組むことにより、階層が下のチェーンを調査するほど、詳細な破断位置がわかり、本実施形態はこれを利用して短時間での検査を行なう。
- [0035] たとえばまず最上位のSSDチェーン1の電気抵抗値を測定し、測定した電気抵抗値が閾値未満であるときは各NANDフラッシュパッケージ1～8とメインボード11との接合は正常であると判断する。より詳細に、SSDチェーン1に含まれるダミーバンプの破断は発生していない（SSDチェーンに切断は発生していない）と判断する。
- [0036] 一方、SSDチェーン1の電気抵抗値が閾値以上であるときは、破損したダミーバンプが当該SSDチェーン1内に存在すると判断し、破損したダミーバンプが存在する箇所を絞り込む。具体的に、SSDチェーン1の1つ下位の階層のチェーン（N1-1チェーン1～N8-1チェーン1）から電気抵抗値が閾値以上となるチ

ェーンを検出し、以降、検出したチェーンの1つ下の階層のチェーンのうち電気抵抗値が閾値以上となるチェーンを検出することを繰り返す。これにより最下層のチェーン（図4の例ではN1-3チェーン1と同じ階層のチェーン）まで絞りこみを行う。このようにして破損したダミーバンプが存在する箇所を限られた範囲に絞り込む。

[0037] このとき、各チェーンは、破断の生じやすい角に近い部分のダミーバンプを含むことが望ましい。最終的には、角に極めて近い場所のバンプ周辺のみ最下層チェーンを特定することにより、破断バンプの位置を限られた範囲に特定することが可能になる。

[0038] 図6はNANDフラッシュパッケージ1におけるN1-1チェーン1（最外周チェーン）およびN1-1チェーン2（1つ内側のチェーン）の構成例を示す。

[0039] N1-1チェーン1の両端はNANDフラッシュパッケージ2における最外周チェーンにつながり（図5参照）、N1-1チェーン2の両端もNANDフラッシュパッケージ2における最外周の1つ内側のチェーンにつながる。

[0040] 図10にチェーン構造の詳細を示す。各チェーンは、パッケージ側に設けられる銅配線、メインボード11側に設けられる銅配線を交互に用いて、ダミーバンプを一続きに接続する。

[0041] 図6においては、実線が、パッケージ側に設けられる銅配線、破線がメインボード11側に設けられる銅配線を表している。このようにパッケージ側およびメインボード11側に交互に配置される銅配線によりダミーバンプを接続することで、ダミーバンプが図11のように破断したとき、チェーンの電気抵抗値が大きく上昇し、破断を検出できる。

[0042] 図6においてたとえばN1-1チェーン1の電気抵抗値を測定する際は、たとえば当該チェーンの両側の測定ポイントとなるダミーバンプを用い電気特性測定部17により測定を行う。測定ポイントとなるダミーバンプには配線P1, P1が接続され、配線P1, P1は電気特性測定部17に接続される。電気特性測定部17はたとえば内部のスイッチを切り換えて、測定すべきチェーンを選択し、選択したチェーンの電気抵抗値またはインピーダンスを測定する。N1-1チェー

ン2の電気抵抗値も同様に両側の測定ポイントとなるダミーバンプを用いて測定する。N1-1チェーン2における当該ダミーバンプには配線P2, P2が接続されている。なお配線P1, P1, P2, P2のレイアウトは、途中でチェーンと接続しないように行う。

[0043] 図7は、NANDフラッシュパッケージ2におけるN2-1チェーン1（最外周チェーン）およびN2-1チェーン2（1つ内側のチェーン）の構成例を示す。NANDフラッシュパッケージ3～8の最外周および1つ内側のチェーンも同様の構成を有する。

[0044] N2-1チェーン1は2つに分離して存在する（図5参照）。N2-1チェーン1の電気抵抗値を測定する場合は、2つのN2-1チェーン1の電気抵抗値をそれぞれ別個に測定する。つまり、それぞれのチェーンにおいて、測定ポイントとなるダミーバンプ間で測定する。本例では、一方のチェーンの両側のダミーバンプに配線P11、P11が、他方のチェーンの両側のダミーバンプに配線P12、P12が接続されている。

[0045] なお当該2つのチェーンの各々の1つの測定ポイント（ダミーバンプ）同士を一時的に接続するための回路を電気特性測定部17内に設け、当該2つのチェーンを接続した1つのチェーンの電気抵抗値を測定してもよい。

[0046] 最外周の1つ内側のN2-1チェーン2も同様に2つに分離して存在し、それぞれのチェーンの両側におけるダミーバンプ間で電気抵抗値を測定する。一方のチェーンの両側のダミーバンプには配線P13、P13が、他方のチェーンの両側のダミーバンプには配線P14、P14が接続されている。

[0047] 図8は、N1-2チェーン1～N1-2チェーン4の構成例を示す。N1-2チェーン1～N1-2チェーン4と同一階層に位置する他のチェーン（他のNANDフラッシュパッケージの同一階層に位置するチェーン、N1-1チェーン2の1つ下位のチェーン等）も同様の構成を有する。

[0048] N1-2チェーン1～N1-2チェーン4はそれぞれ、両側の測定ポイントとなるダミーバンプにおいて電気抵抗値が測定される。測定ポイントとなるダミーバンプは配線P21, P21, P22, P22, P23, P23, P24, P24により電気特性測定部17と接続

されている。

- [0049] 図9は、N1-3チェーン1～N1-3チェーン4の構成例を示す。各チェーンは短く、先に破損する可能性が高い角バンプ近傍のみを含む。N1-3チェーン1～N1-3チェーン4と同一階層に位置する他のチェーンも同様の構成を有する。N1-3チェーン1～N1-3チェーン4はそれぞれ、両側の測定ポイントとなるダミーバンプにおいて電気抵抗値が測定される。測定ポイントとなるダミーバンプは配線P31, P31, P32, P32, P33, P33, P34, P34により電気特性測定部17と接続されている。
- [0050] 図1の電気特性測定部17は、SSDコントローラ15の指示にしたがって、指定されたチェーンの電気抵抗値を測定し、測定した電気抵抗値を、当該チェーンの識別子（ID）とともに、電気特性・接続状況データベース18に格納する。この際、電気抵抗値が閾値以上であるか閾値未満であるかを示すフラグを設定し、フラグもデータベース18に格納してもよい。フラグはたとえば電気抵抗値が閾値以上のときは「NG」、閾値未満のときは「OK」である。図12にデータベース18の構造の一例を示す。
- [0051] 電気特性測定部17は、測定した電気抵抗値および設定したフラグを、測定したチェーンの番号（識別子）とともに、SSDコントローラ15に返す。
- [0052] また、電気特性測定部17は、SSDコントローラ15からデータベース18の読み出し指示を受けたときは、指定されたデータ（たとえば指定されたチェーンの電気抵抗値およびフラグなど）をデータベース18から読み出して、SSDコントローラ15に返してもよい。
- [0053] SSDコントローラ15は、電気特性測定部17の制御、および各NANDフラッシュパッケージに対するアクセス制御（たとえばデータ書き込み、消去、更新）を行う。
- [0054] またSSDコントローラ15は通信インターフェース（IF）12を介して外部のホスト機器21と通信する。ホスト機器21は、たとえばホストCPU、またはパーソナルコンピュータなどである。
- [0055] SSDコントローラ15は、外部のホスト機器21からヘルスマモニタリングの実行

指示信号を受信する。SSDコントローラ15は、当該指示信号を受けると、すなわちヘルスマモニタリングの検査イベントを検出すると、電気特性測定部17を用いて、最上位のチェーン（たとえばSSDチェーン1またはSSDチェーン2）にダミーバンプの破損が発生しているか否かを検査する。破損が発生していないときは、ヘルスマモニタリングの検査結果情報として、ダミーバンプの破損は発生していないことを示す信号を外部のホスト機器21に返す。破損が発生している場合には破損したダミーバンプの箇所の絞り込みを行い、ヘルスマモニタリングの検査結果情報として、絞り込んだ箇所（特定したパッケージ、特定したチェーン）を識別する信号を、外部のホスト機器21に返す。

[0056] SSDコントローラ15は、ヘルスマモニタリングの検査結果情報を、たとえばSMART (Self-Monitoring Analysis and Reporting Technology) 形式で、外部のホスト機器21に返す。ホスト機器21は受け取った検査結果情報を、表示装置またはプリンタ等の出力装置に出力して、作業者に検査結果を確認させてもよい。またはホスト機器21は、この検査結果情報を元に、製品の寿命予測及び修正を行っても良い。たとえば信号線または電力供給線に接続されたメインバンプはダミーの内側に配置しており、最外周から内側に向かってバンプ破断の進行を監視することで、メインバンプの破断までの製品の寿命を予測および修正することができる。

[0057] 図13および図14は、図1の電子装置において行うヘルスマモニタリングの流れを示すフローチャートである。

[0058] SSDコントローラ15がヘルスマモニタリングの検査イベントを検出すると（S101）、SSDコントローラ15は電気特性測定部17を用いて、全NANDフラッシュパッケージの最外周ダミーバンプを一巡するSSDチェーン1（第1チェーン）の電気抵抗値を測定する（S102）。

[0059] SSDコントローラ15はSSDチェーン1の電気抵抗値が閾値以上か否かを判断し（S103）、閾値未満のときは（N0）、異常はないと判断して、ヘルスマモニタリングを終了する。

[0060] 一方、SSDチェーン1の電気抵抗値が閾値以上のときは（YES）、SSDチェー

ン1の下位の階層のチェーンを検査し、破断箇所の絞り込みを行う。まず各NANDフラッシュパッケージのそれぞれにおける最外周チェーン（第2チェーン）の破断をチェックし、バンプ破断が発生したNANDフラッシュパッケージを絞り込む。具体的に、SSDコントローラ15は、まず1番目のNANDフラッシュパッケージの最外周を一巡するチェーン（N1-1チェーン1）の電気抵抗値を測定する（S104）。

[0061] SSDコントローラ15は、電気抵抗値が閾値未満のときは（S105のN0）、NANDフラッシュパッケージ1の接合に異常はないと判断する。一方、電気抵抗値が閾値以上のときは、当該NANDフラッシュパッケージ（あるいは当該最外周チェーン）の番号を特定する（S105のYES、S106）。SSDコントローラ15は、同様にして、2～m番目のNANDフラッシュパッケージについても最外周チェーンの電気抵抗値を測定し、電気抵抗値が閾値以上のときは、NANDフラッシュパッケージ（あるいは当該最外周チェーン）の番号を特定する（S105のYES、S106）。

[0062] SSDコントローラ15は、破断の発生したNANDフラッシュパッケージをすべて特定したら、それぞれのパッケージに対し、最外周チェーンのさらに下位の層のチェーン（N1-2 チェーン1など）をチェックすることにより、さらに破断箇所を絞り込んでいく。

[0063] 具体的に、まず特定したNANDフラッシュパッケージにおける最外周チェーンの1つ下位層のL個（Lは1以上の整数）のチェーン（第3チェーン）について、順番に電気特性測定部17を用いて順次電気抵抗値を測定し、電気抵抗値が閾値以上となったチェーンを特定する（S108のYES、S109）。特定したチェーンのさらに下位のチェーン（第3チェーン）についても同様に測定および特定を行うことを繰り返す（つまり新たにチェーンが特定されごとに図14のフローを繰り返す）（S110のN0、S111）。なお、電気抵抗値が閾値未満のチェーンの下位のチェーンの測定は行わない。

[0064] 最下層のチェーン群まで測定および特定を完了したら（S110のYES）、最終的に特定した最下層のチェーンの番号を含むヘルスマニタリング検査結果情

報を出力して、本ヘルスマモニタリングを終了する。当該検査結果情報は、当該最終的に特定したチェーンに含まれるはんだバンプの少なくとも1つに切断が発生してことを示す。なお、当該検査結果情報にS106で特定したNANDフラッシュパッケージの番号を含めてもよい。

[0065] なお通常は最下層のチェーンは角バンプを含み、かつ破損は角バンプから発生するため、最下層のチェーンが少なくとも1つ特定されと考えられるが、最下層より上位の層の測定において電気抵抗値が閾値以上のチェーンが検出されない可能性もあり得る。この場合、その段階で測定処理を終了し、当該上位の層のチェーンが、最終的に特定されるチェーンとなる。したがって、当該チェーンの番号を含むヘルスマモニタリング検査結果情報を出力する。なお、当該検査結果情報にS106で特定したNANDフラッシュパッケージ番号を含めても良い。

[0066] 上述したフローではSSDチェーン1の検査を行う例を示したが、順次、内側のSSDチェーン2, 3, ...についても検査を行ってもよい。特に、SSDチェーン1に破断バンプが含まれていたときは、次にその1つ内側のSSDチェーン2についても検査することが好ましい。つまりバンプの破断は通常、最外周から始まるため、最外周にバンプ破断が発生したときは、SSDチェーン2にもバンプ破断が起こっている可能性があるからである。このように、あるSSDチェーンJに破断が発生したときは、その1つ内側のSSDチェーンJ+1も検査することが好ましい。

[0067] 上記フローでは、SSDチェーンの破断を検出した場合は、破断したパッケージの絞り込みを行なったが、単にダミーバンプの破断が発生しているか否かを検査するためだけであれば、SSDチェーンのみの検査を行なってもよい。さらに、上記フローでは、破断したNANDフラッシュパッケージを検出した場合、検出したパッケージ内でのさらに細かい破断箇所の絞り込みを行なったが、NANDフラッシュパッケージの特定だけで十分であれば、その時点で処理を終了してもよい。

[0068] 以上、第1の実施形態によれば、すべてのパッケージにおける最外周バンプ

を一巡する全体一巡チェーンを設けるとともに当該全体一巡チェーンを階層状に下位に展開し、検査の際は、全体一巡チェーンを起点として階層を下位にたどりながら検査を行うことで、切断位置を短時間で検出することができる。すなわち、診断時はまず全体一巡チェーンのみをチェックし、破断が発生した際のみ階層構造をたどって、絞込みを行うことにより、診断負荷を低下させることができる。よって、破断検出のための処理を現実的な時間で済ませることが可能になり、診断負荷が低減される。これにより、メンテナンスや保守管理を容易化できるとともに、はんだ接合部の破断によるデータ消失のリスクを低減させることが可能になる。

[0069] (第2の実施形態)

図15は、複数のSSDを用いたRAID構成を備えた電子システムを示す。RAID (1) ~ RAID (N1) は、RAID構成を示すラベルである。本図ではRAID (1) の構成のみが具体的に示されているが、RAIDコントローラ31に、他のRAID (2) ~ RAID (N1) の構成が接続されてもよい。

[0070] 以下RAID (1) の構成および動作を説明するが、他のRAID (2) ~ RAID (N1) の動作も同様である。

[0071] RAID (1) 構成は、SSD (1) 1 ~ SSD (H) を含み、RAIDコントローラ31に接続されている。

[0072] 各SSDは、図1および図2と同様の構成を有する。各SSDは、RAIDコントローラ31に接続される。RAIDコントローラ31は、あらかじめ定めたRAID方式に従って、各SSDを制御する。

[0073] RAIDコントローラ31はRAID (1) の各SSDに検査指示信号を送る。各SSDはそれぞれヘルスマモニタリングを実行し、ヘルスマモニタリングの検査結果情報 (SMART情報) をRAIDコントローラに出力する。

[0074] ヘルスマモニタリングにより破断の発生していなかったSSDは、はんだバンプに破断が発生していないことを示す第1の検査結果情報を出力する。一方、破断の発生していたSSDは、破断が検出されたSSD、当該SSDにおいて破断した箇所 (パッケージの識別子、またはチェーンの識別子) を特定する第2の検査

結果情報を入力する。

[0075] 各SSDのSMART情報はRAIDコントローラ31で一括して管理し、RAIDコントローラ31側で適切な処理を行う。

[0076] 以上、本実施形態によれば、SSDを複数用いてRAID(Redundant Arrays of Inexpensive Disks)を構成した場合でも、不良箇所の検出（不良SSDの検出、および当該不良SSDにおいて接合破断のあるパッケージおよびチェーンの検出）を、短時間で行うことができる。

[0077] （第3の実施形態）

図16は、多層構造型NANDフラッシュパッケージ41を複数、メインボード上に搭載したSSDを示す斜視図である。このSSDは、図1の各NANDフラッシュパッケージをそれぞれ多層構造型NANDフラッシュパッケージに置換したものに相当する。SSDコントローラおよび電気特性測定部等の要素の図示は、簡単のため省略している。

[0078] 多層構造型NANDフラッシュパッケージ41は、メインボード11の厚み方向（垂直方向）に積み重ねられた複数のNANDフラッシュ基板を含む。積み重ねられたNANDフラッシュ基板間の電氣的な接続は、NANDフラッシュ基板内のスルーホールによって行う。スルーホールはNANDフラッシュ基板に形成したホールに銅などの導電性金属によるめっきを施したものである。また、別の方法として、NANDフラッシュ基板に多層配線基板を用いている場合には、IVH（Interstitial Via Hole）などのビア接続と銅配線による層間接続を用いてもよい。接続がNANDフラッシュ基板内部の半導体を貫通する場合には、TSV（Through-Silicon Via）などのシリコン貫通電極を用いる方法をとることも可能である。

[0079] 本実施形態では、スルーホールと、各NANDフラッシュ基板における接続パターンとによって、積み重ねられたNANDフラッシュ基板のダミーバンプを一続きに接続したチェーンを構成し、さらにこのチェーンをすべての多層構造型パッケージ間で直列状に接続することで、すべての多層構造型パッケージを一巡する全体一巡チェーンを作成しておく。これにより、基本的には、第1

の実施形態と同様のルーチンを行うことで、破断を検出することができる。

[0080] 図17は、図16のSSDにおける1つの多層構造型NANDフラッシュパッケージ41の側面図を示す。3つのNANDフラッシュ基板（電子基板）51～53が積み重ねられている。符号1-Aはメインボード11の表面層、1-BはNANDフラッシュ基板51の下面層、2-AはNANDフラッシュ基板51の上面層、2-BはNANDフラッシュ基板52の下面層、3-AはNANDフラッシュ基板52の上面層、3-BはNANDフラッシュ基板53の下面層を示す。

[0081] 図18～図20は、図17における特定の多層構造型NANDフラッシュパッケージにおけるチェーン構造の一例を示す。当該特定の多層構造型NANDフラッシュパッケージは、図3に示したSSDにおけるNANDフラッシュパッケージ1に対応する位置に配置されたものである。

[0082] 図18に示すように、NANDフラッシュ基板51のダミーバンプは、1-A層に形成した配線と、1-B層に形成した配線を交互に用いて接続されてチェーンが形成されている。このチェーンは、ダミーバンプ61a, 61aにおいて、NANDフラッシュ基板51内のスルーホール61, 61に接続され、スルーホール61, 61は、1つ上のNANDフラッシュ基板52のダミーバンプに接続されている。符号71は最外周チェーン、符号72は最外周の1つの内側のチェーンを示す。

[0083] 図19に示すように、NANDフラッシュ基板51の上に置かれたNANDフラッシュ基板52のダミーバンプは、2-A層に形成した配線と、2-B層に形成した配線を交互に用いて接続され、チェーンが形成されている。このチェーンは、ダミーバンプ62a, 62aにおいて1つ下のNANDフラッシュ基板51のスルーホール61, 61と接続され、ダミーバンプ62b, 62bにおいてNANDフラッシュ基板52内のスルーホール62, 62と接続される。スルーホール62, 62は、1つ上のNANDフラッシュ基板53のダミーバンプに接続されている。

[0084] 図20に示すように、NANDフラッシュ基板52の上に置かれたNANDフラッシュ基板53のダミーバンプは、3-A層に形成した配線と、3-B層に形成した配線を交互に用いて接続され、チェーンが形成されている。このチェーンは、ダミーバンプ63a, 63aにおいて1つ下のNANDフラッシュ基板52のスルーホール62,

62と接続される。

[0085] 図18～図20において、スルーホールに接続するバンプの位置は、角部から離れている方が望ましい。なぜなら、角部付近のバンプをスルーホールに接続してしまうと、さらに下層の破断位置を検出するためのチェーンと衝突して、破断検出チェーンをレイアウトできない可能性があるためである。

[0086] 以上のように、積み重ねられたNANDフラッシュ基板51～53間をつなぐ1つのチェーンが組まれて、1つのパッケージを一巡するチェーンとされている。このようなチェーンがさらにすべてのパッケージで一続きにつながることで、すべてのパッケージを一巡チェーンが形成される。

[0087] ヘルスマモニタリングの際は、すべてのパッケージをつなぐ全体一巡チェーンの抵抗を測定し、電気抵抗値が閾値以上であれば、電気抵抗値が閾値以上のチェーンをもつパッケージを特定する。さらに必要に応じて、特定したパッケージにおいて電気抵抗値が閾値以上のチェーンをもつNANDフラッシュ基板を特定し、以降、特定した基板において第1の実施形態と同様にして検査を行えばよい。

[0088] 以上、第3の実施形態によれば、複数の多層構造型NANDフラッシュパッケージを搭載したSSDの場合も、全体一巡チェーンと部分チェーンとの検査を組み合わせ、第1の実施形態と同様のルーチンで、破断検出および破断箇所を特定を、短時間で検出することができる。

符号の説明

[0089] 1～8 : NANDフラッシュパッケージ（電子基板）

11・・・メインボード（実装基板）

12・・・コネクタ（通信インターフェース（IF））

13・・・ボス穴

15・・・SSDコントローラ（制御部）

16・・・コンデンサ

17・・・電気特性測定部

41 : 多層構造型NANDフラッシュパッケージ

請求の範囲

[請求項1]

メインボードと、
それぞれ複数のはんだ接合部を有し、前記複数のはんだ接合部を介して前記メインボードに搭載された複数の電子基板と、
すべての前記電子基板に渡って前記はんだ接合部を一続きに接続した第1チェーンと、
前記第1チェーンの電気抵抗値、および前記第1チェーンの一部であり前記電子基板毎の前記はんだ接合部を一続きに接続した複数の第2チェーンの電気抵抗値を測定する測定部と、
前記測定部を用いて前記第1チェーンの電気抵抗値を取得し、前記第1チェーンの電気抵抗値が閾値以上であるとき、前記測定部を用いて、前記電子基板にそれぞれ対応する前記第2チェーンのうち前記電気抵抗値が前記閾値以上である第2チェーンを検出する制御部と、
を備えた電子装置。

[請求項2]

前記測定部は、前記検出された第2チェーンのうちそれぞれ異なる範囲の部分である複数の第3チェーンの電気抵抗値をそれぞれ測定し、
前記制御部は、前記測定部を用いて、前記複数の第3チェーンのうち前記電気抵抗値が閾値以上の第3チェーンを検出することを特徴とする請求項1に記載の電子装置。

[請求項3]

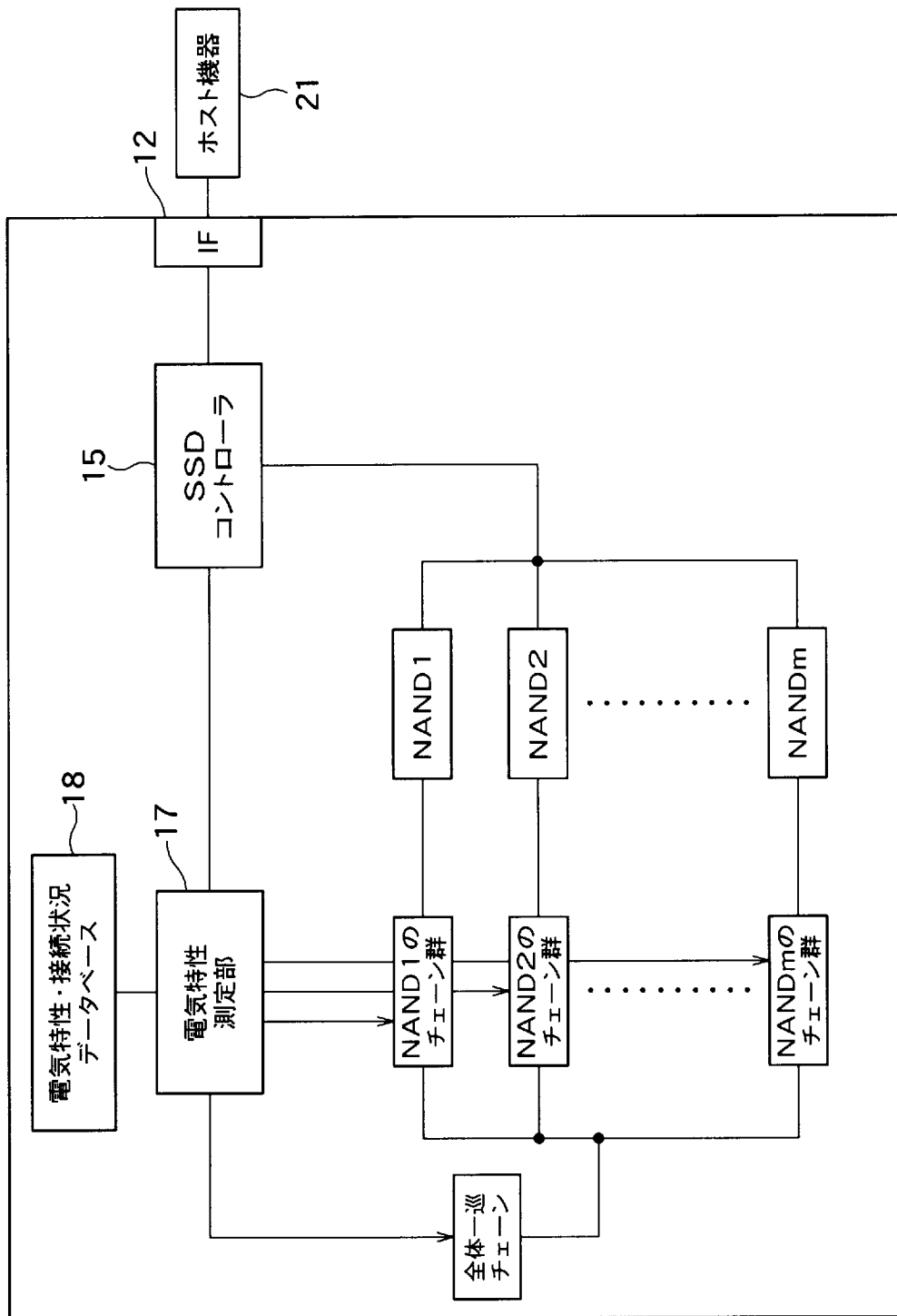
前記電子基板が前記メインボードの厚さ方向に積み重ねられ、
前記電子基板は前記はんだ接合部を介して互いに接合され、
前記第1チェーンは、積み重ねられた電子基板の前記はんだ接合部を一続きに接続した、
ことを特徴とする請求項2に記載の電子装置。

[請求項4]

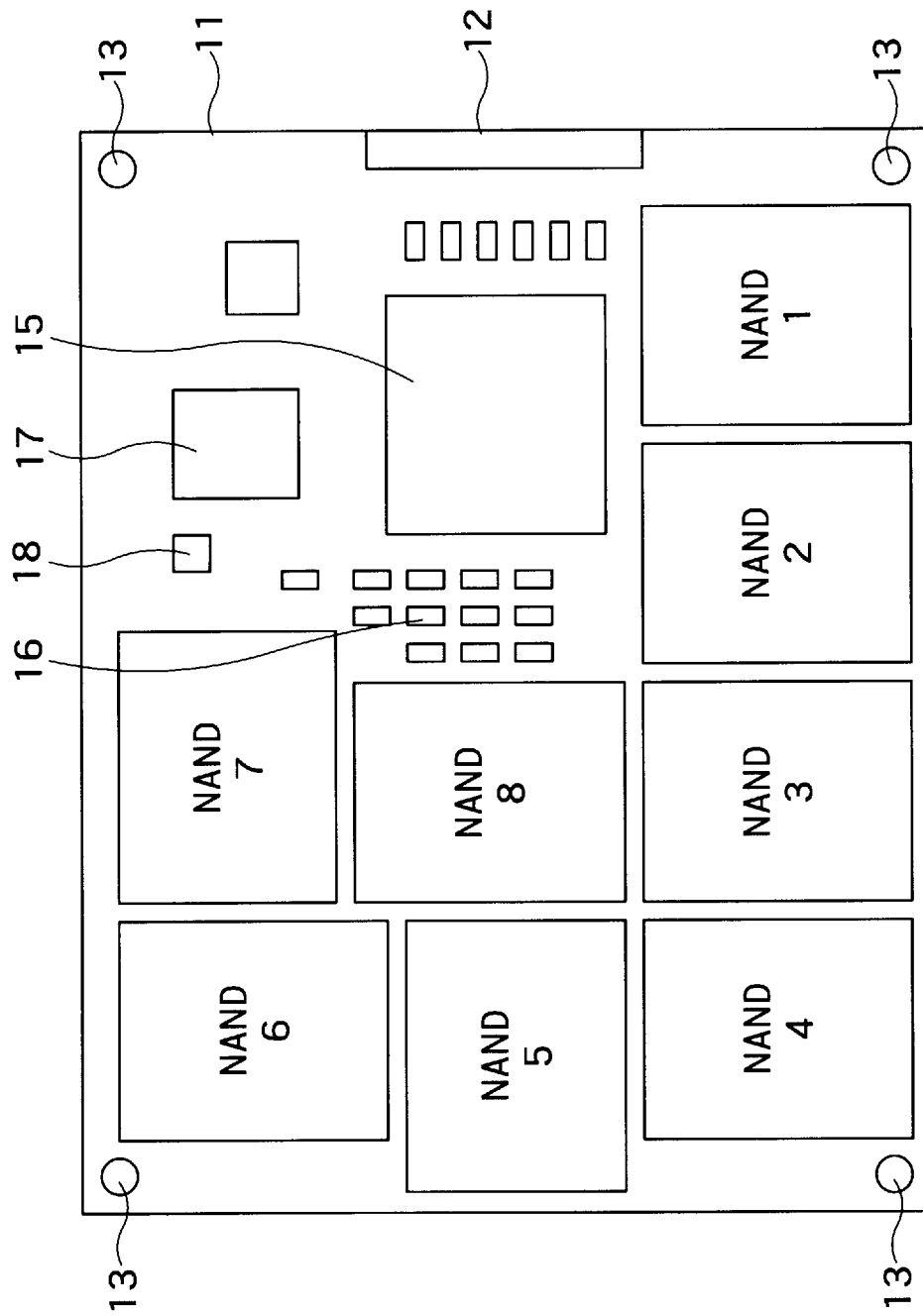
前記第1チェーンは、前記メインボード側の配線と、前記電子基板側の配線を交互に用いて前記はんだ接合部を接続することを特徴とする請求項1に記載の電子装置。

- [請求項5] 前記第1チェーンにより接続される前記はんだ接合部は、前記電子基板のはんだ接合部のうち最外周に位置する接合部であることを特徴とする請求項1に記載の電子装置。
- [請求項6] 前記第1チェーンにより接続される前記はんだ接合部はダミー接合部であることを特徴とする請求項1に記載の電子装置。
- [請求項7] 請求項1に記載の複数の電子装置と、
前記複数の電子装置を制御する制御装置と、を備え、
前記制御装置は、前記複数の電子装置のそれぞれに検査指示信号を送信し、
前記電子装置は、
前記検査指示信号に応じて、前記第1チェーンの電気抵抗値を測定し、
前記第1チェーンの電気抵抗値が前記閾値未満のときは、前記電子装置におけるはんだ接合部に破断はないことを示す第1の検査結果情報を前記制御装置に送信し、
前記第1チェーンの電気抵抗値が前記閾値以上のときは、前記閾値以上の電気抵抗値を有する第2チェーンを検出し、検出した第2チェーンに対応する電子基板の前記はんだ接合部の少なくとも1つに破断が発生していることを示す第2の検査結果情報を前記制御装置に送信する
ことを特徴とする電子システム。

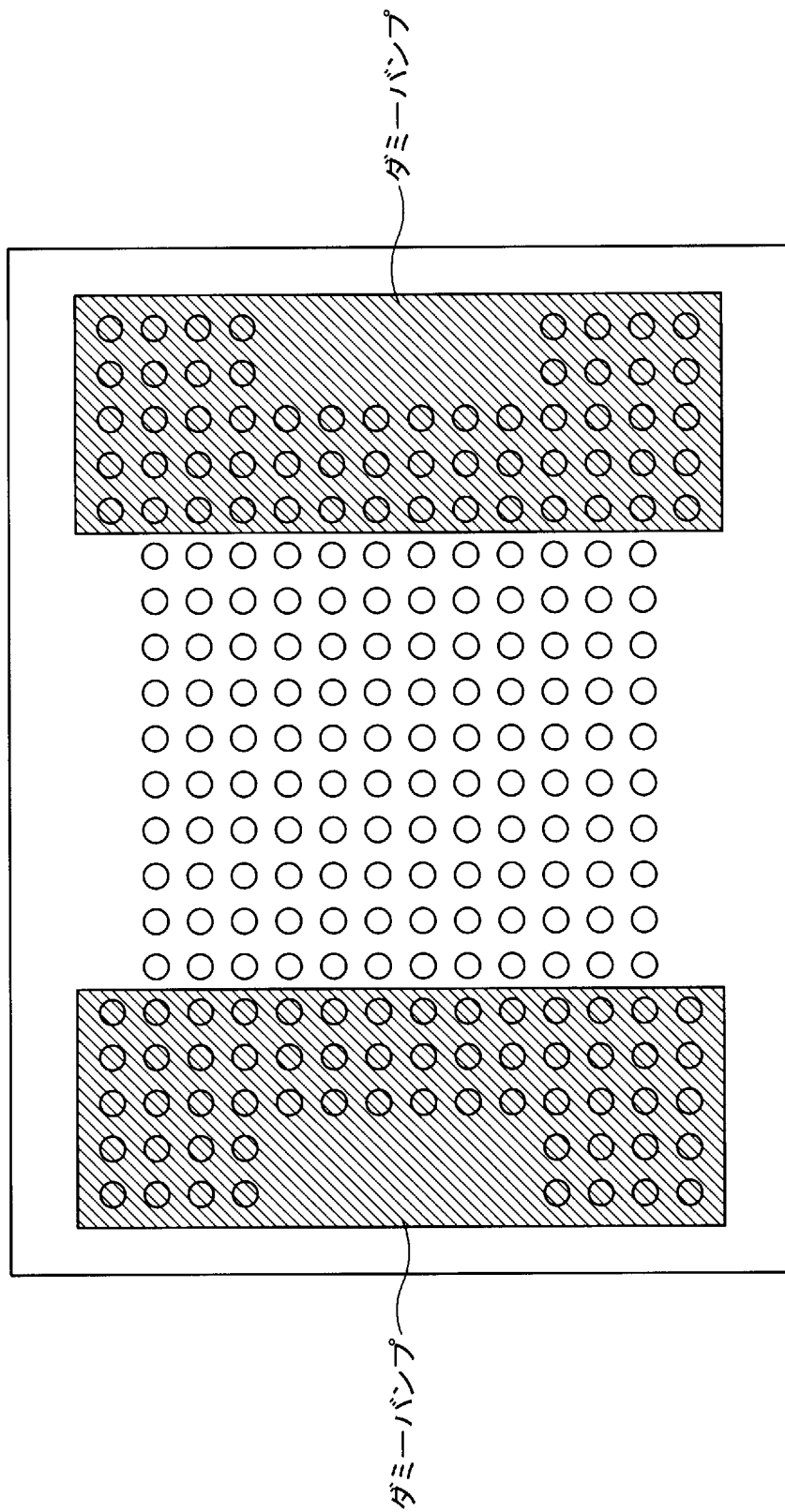
[図1]



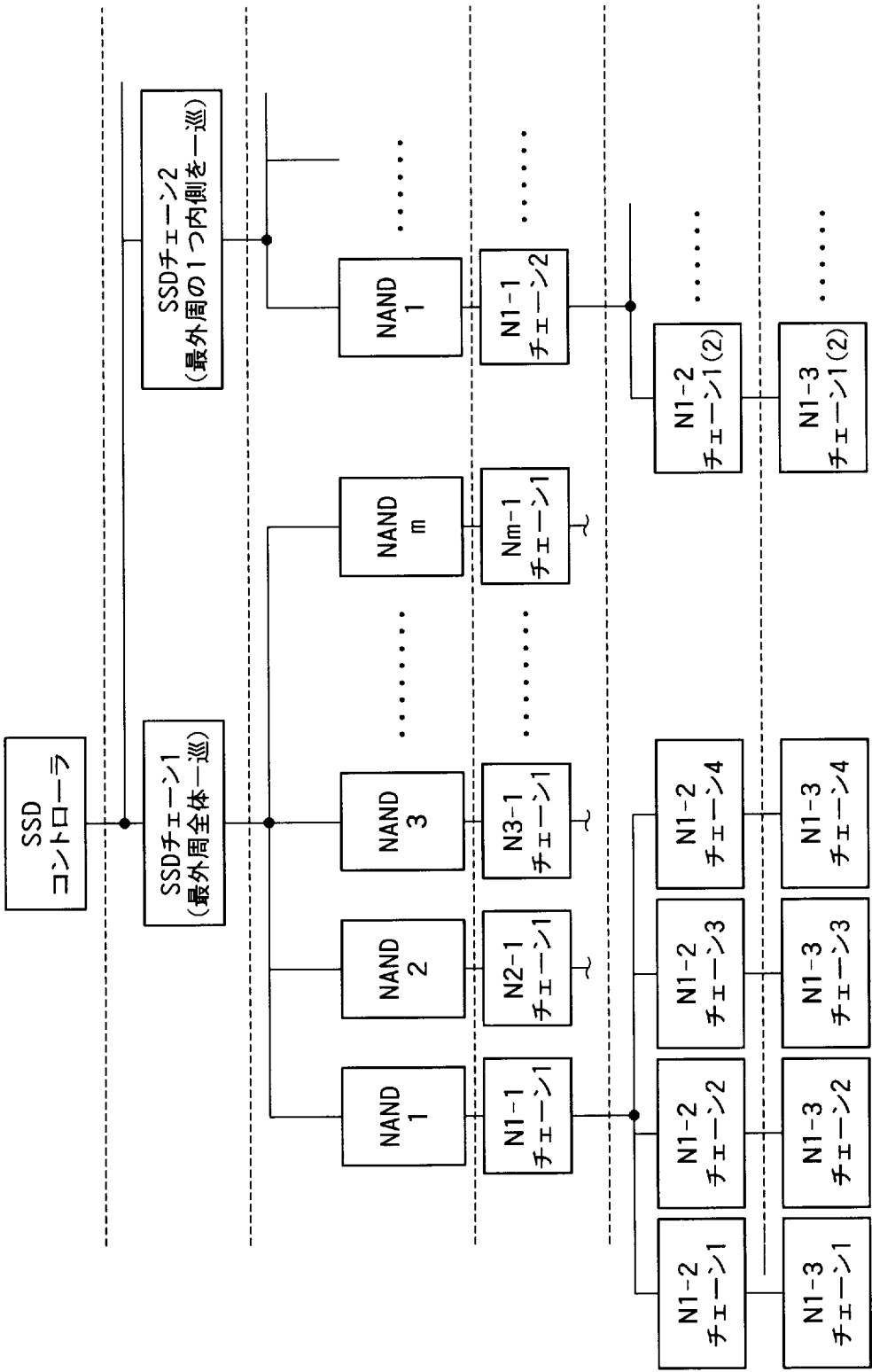
[図2]



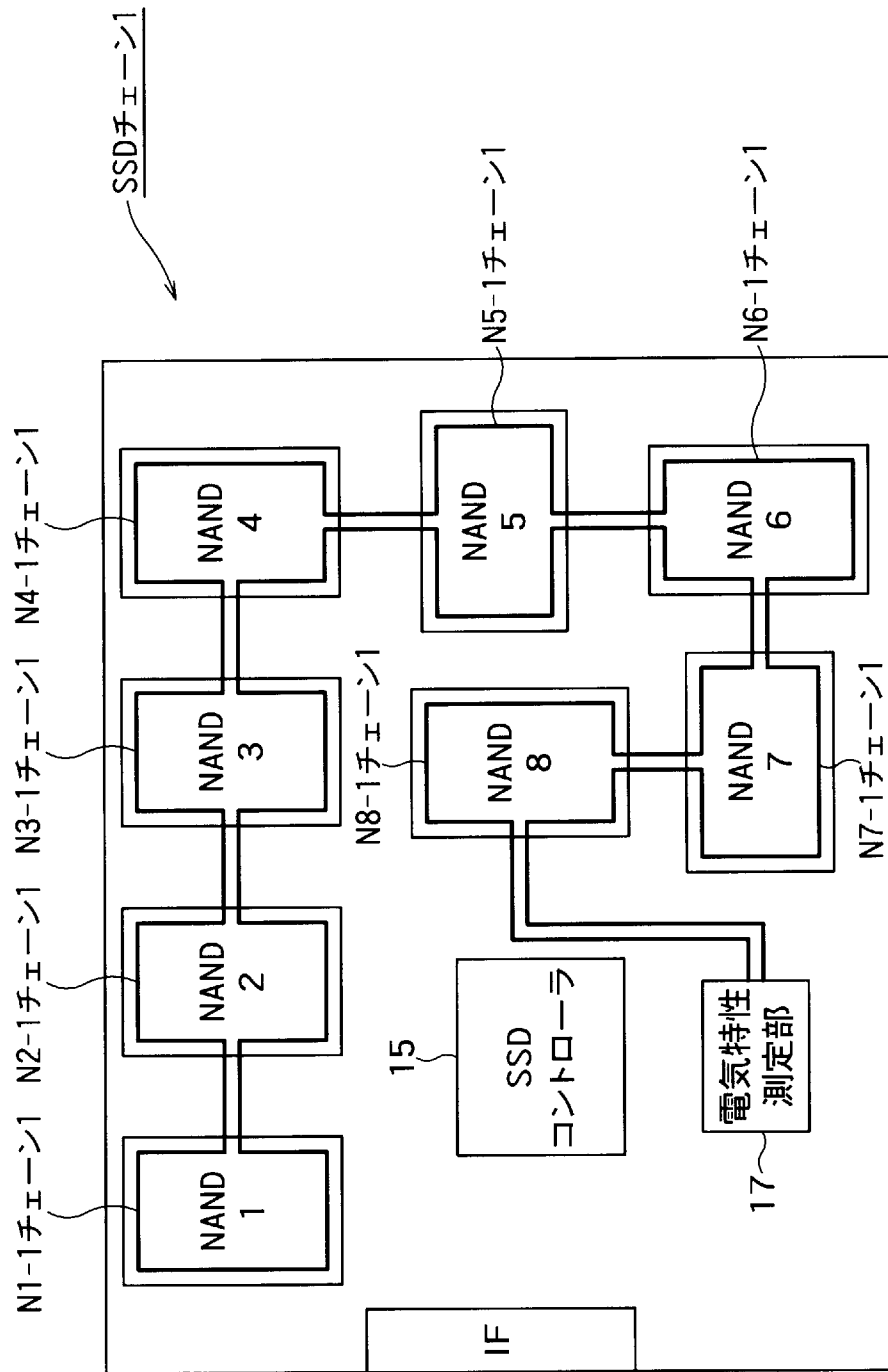
[図3]



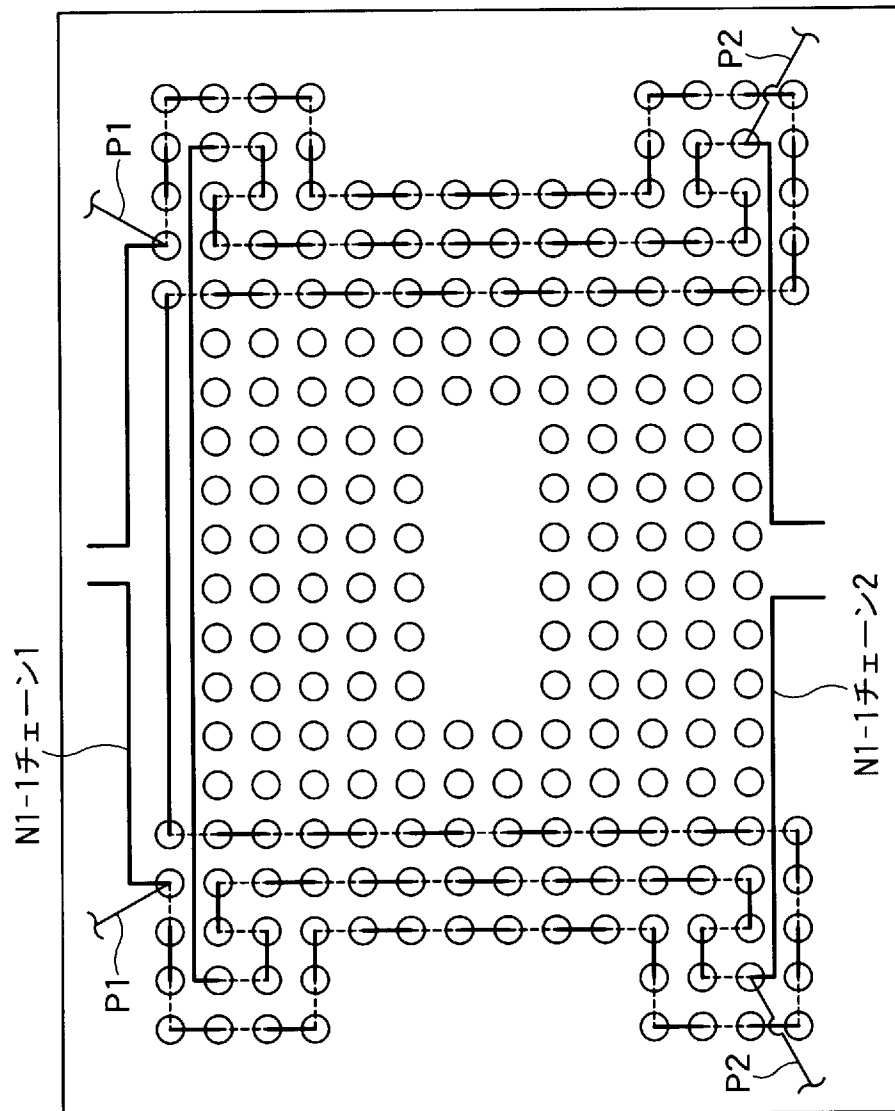
[図4]



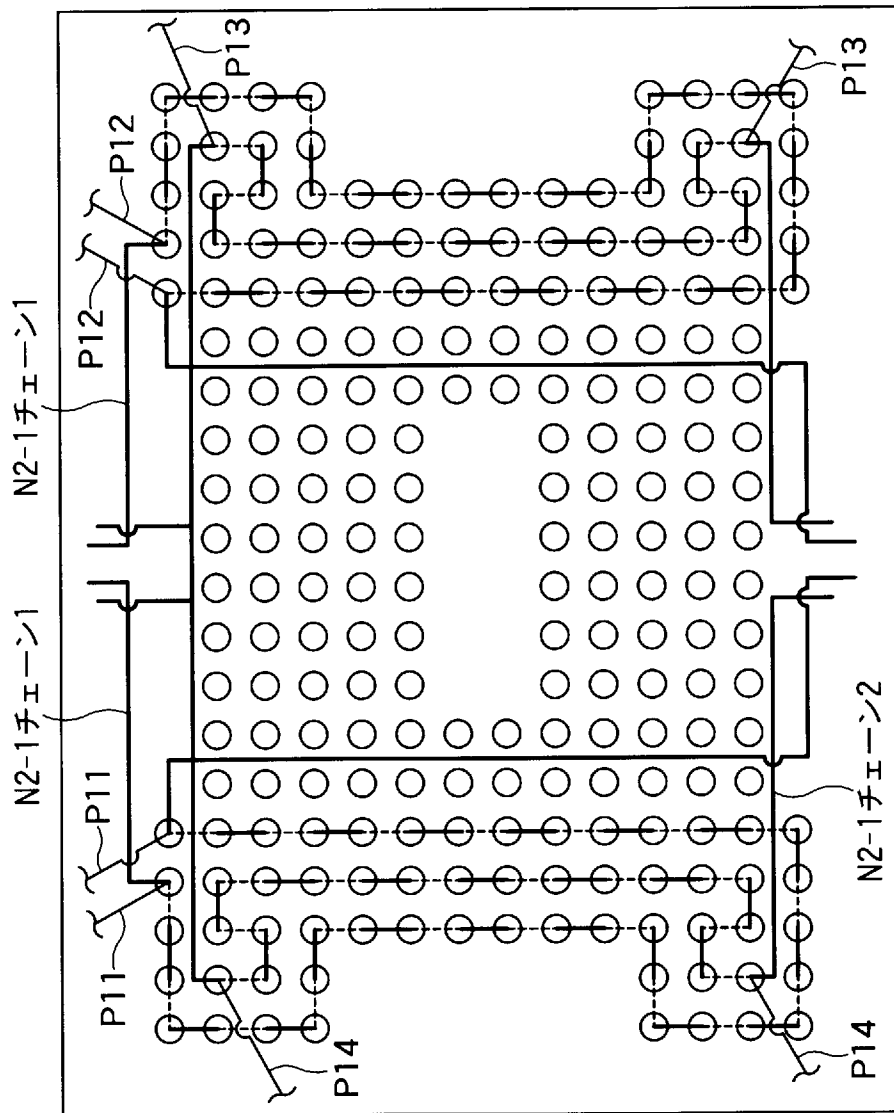
[図5]



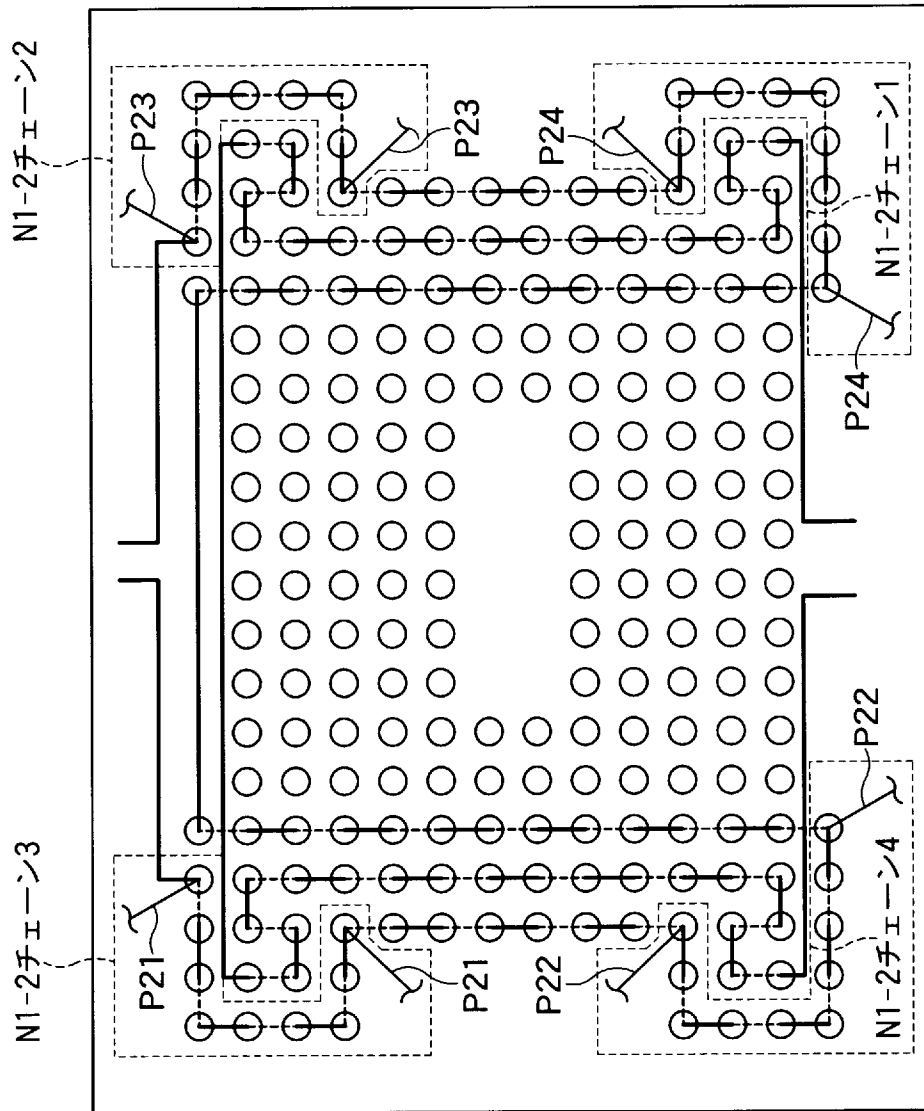
[図6]



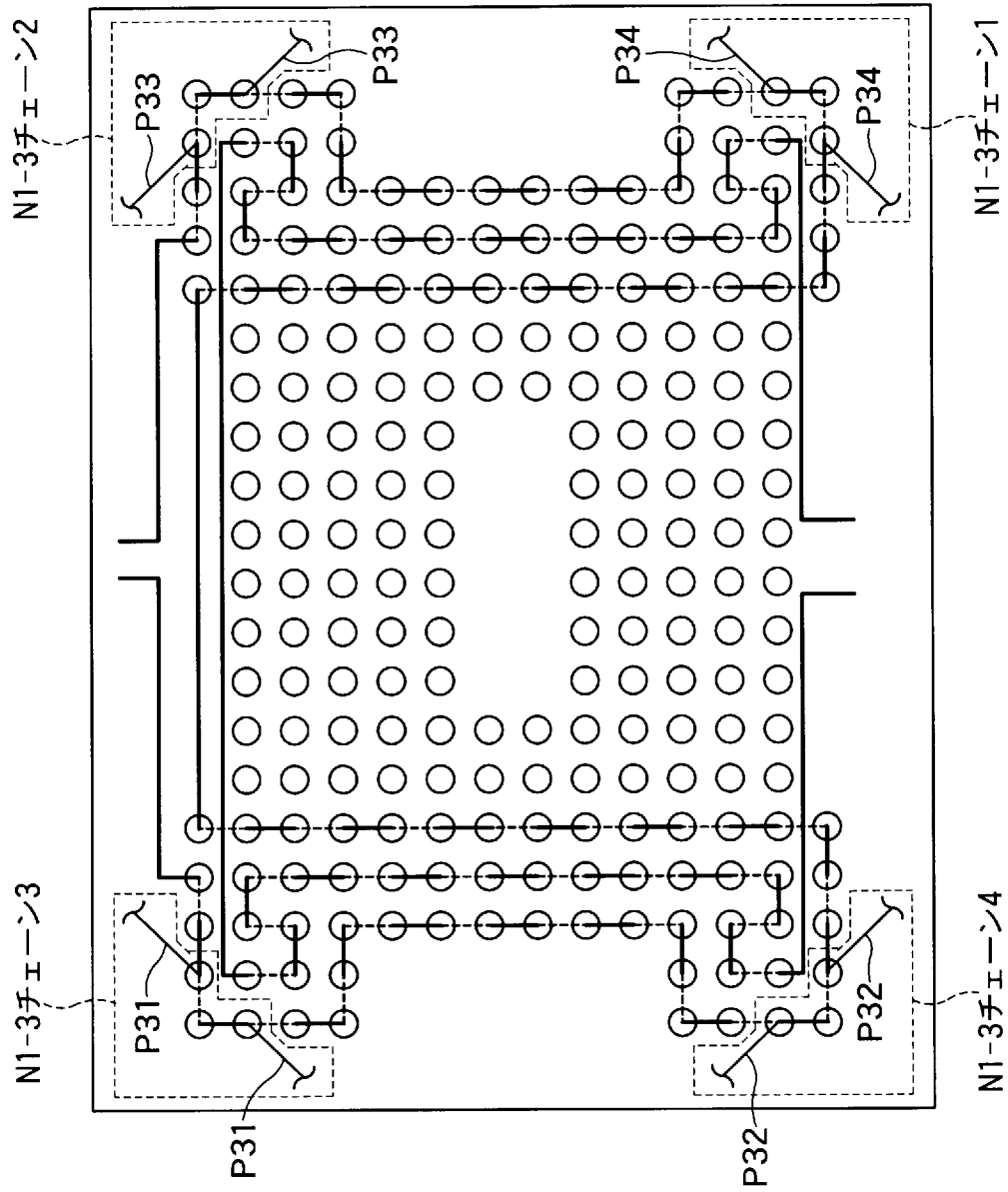
[図7]



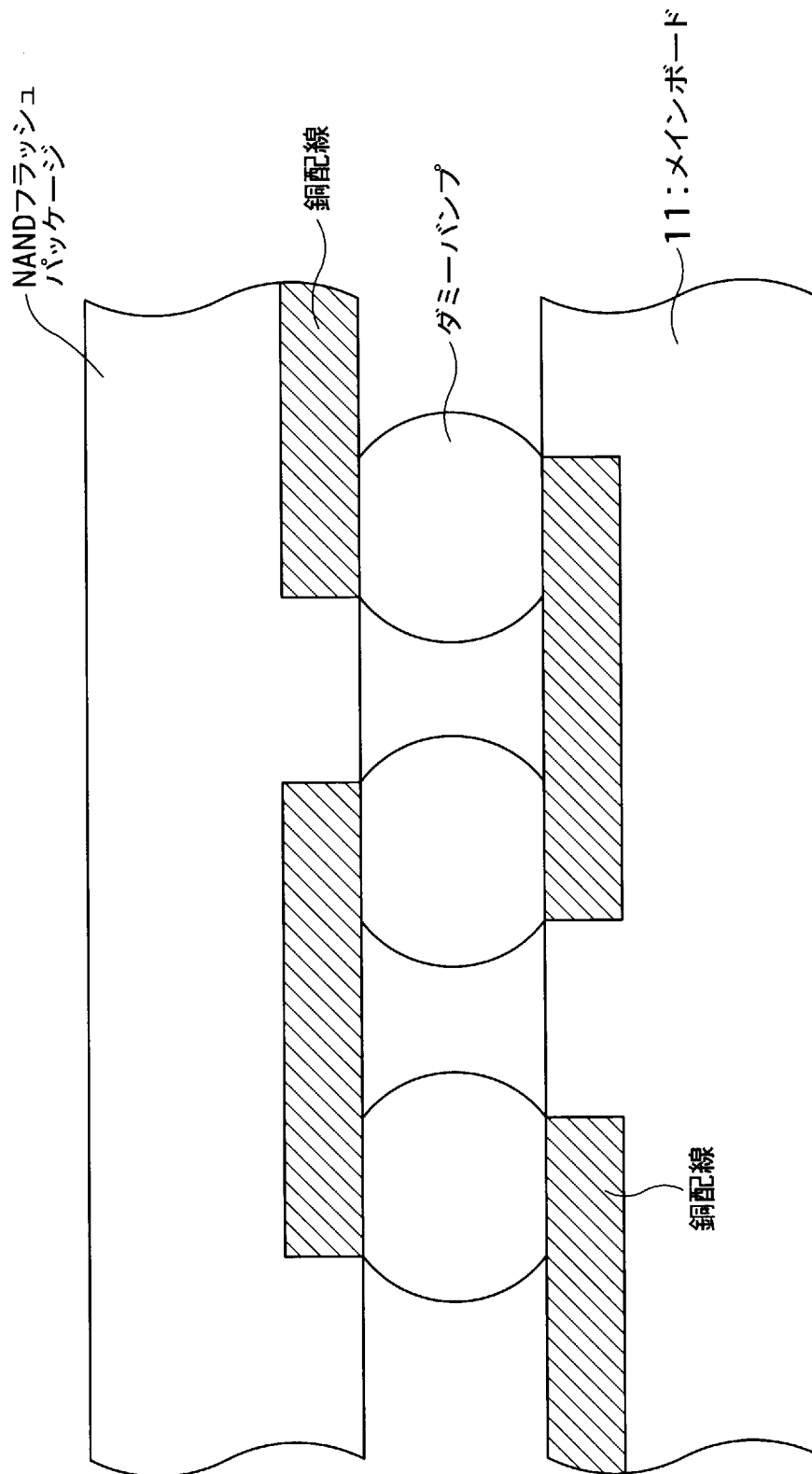
[図8]



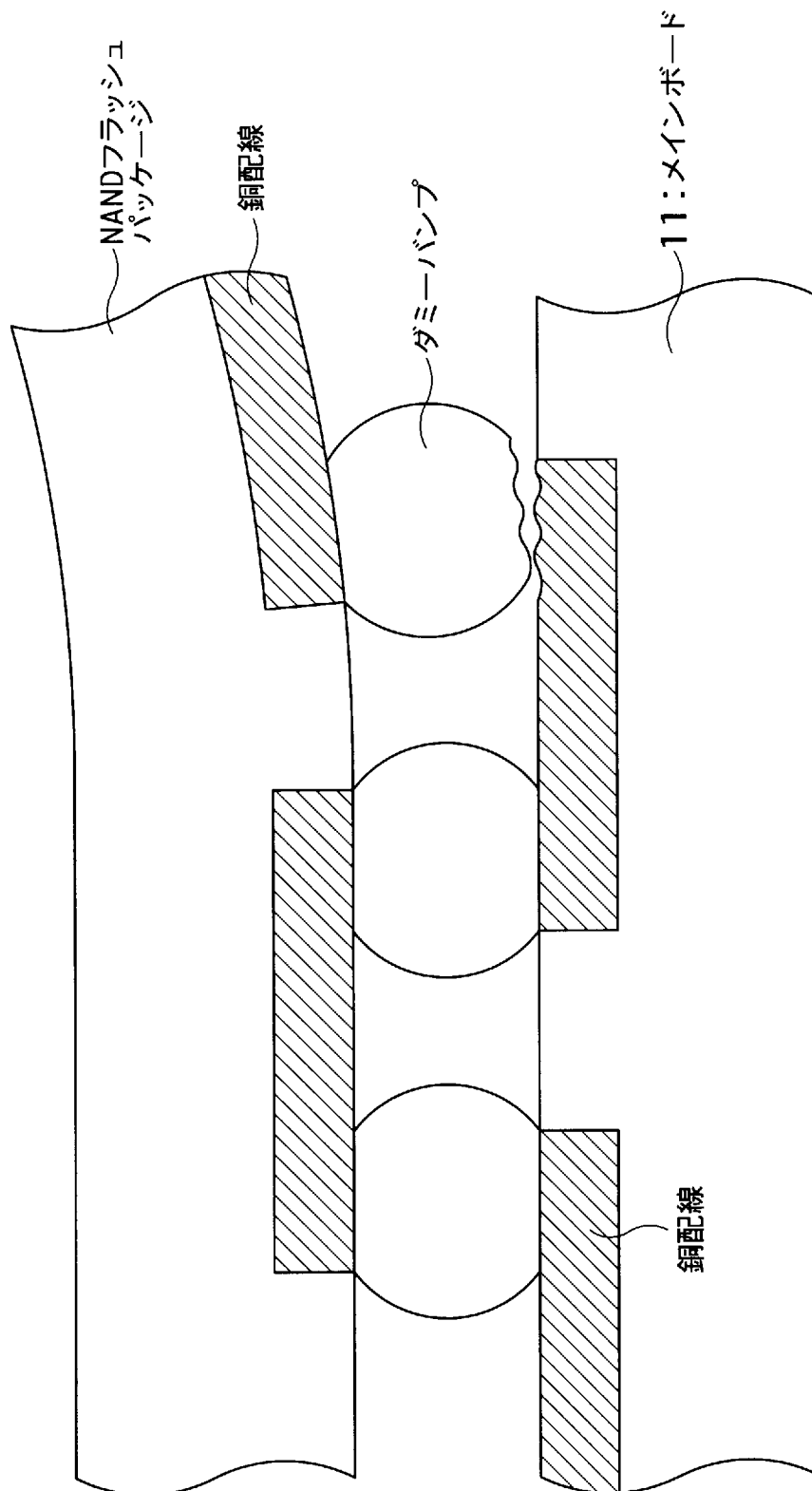
[図9]



[図10]



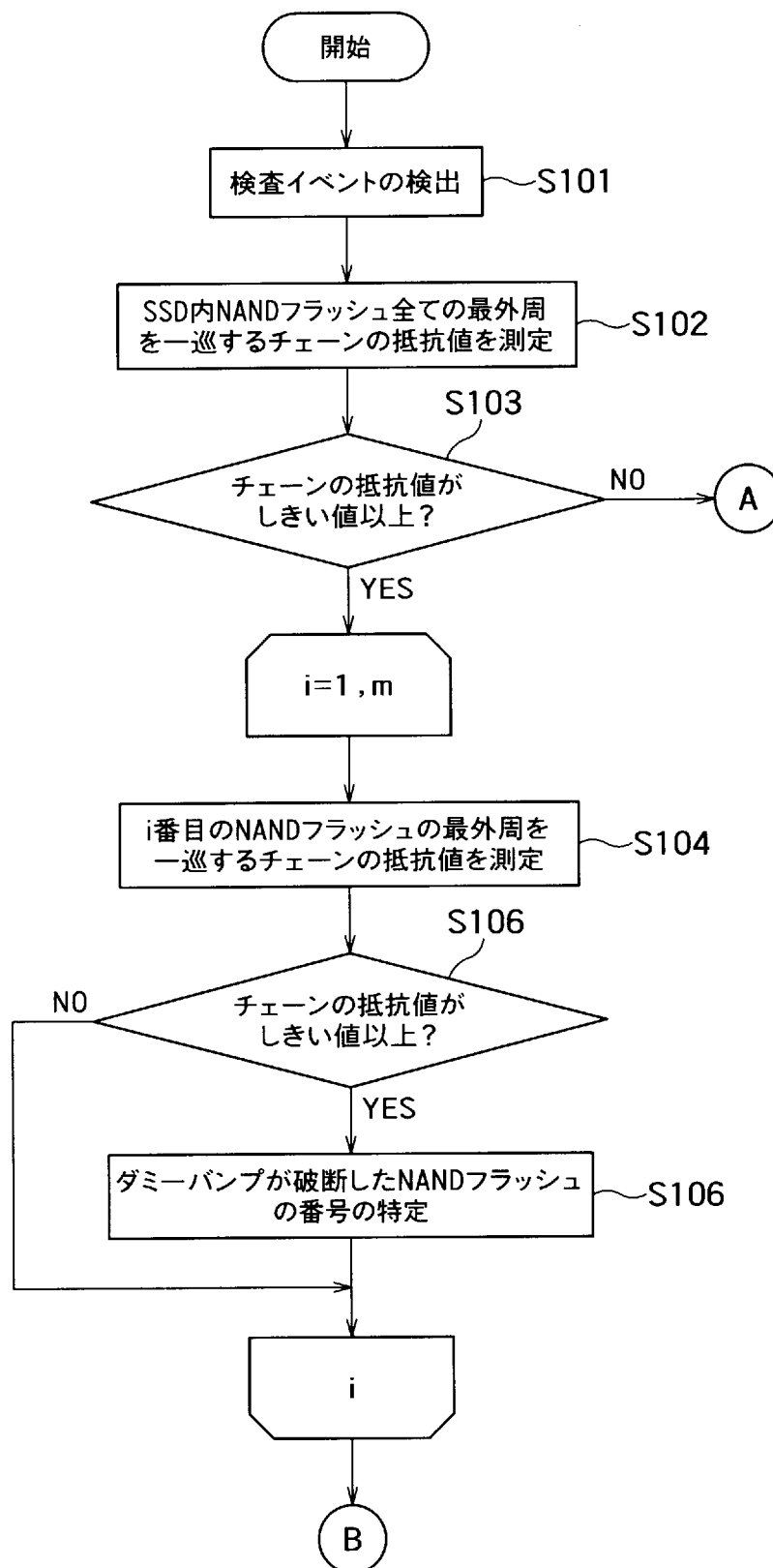
[図11]



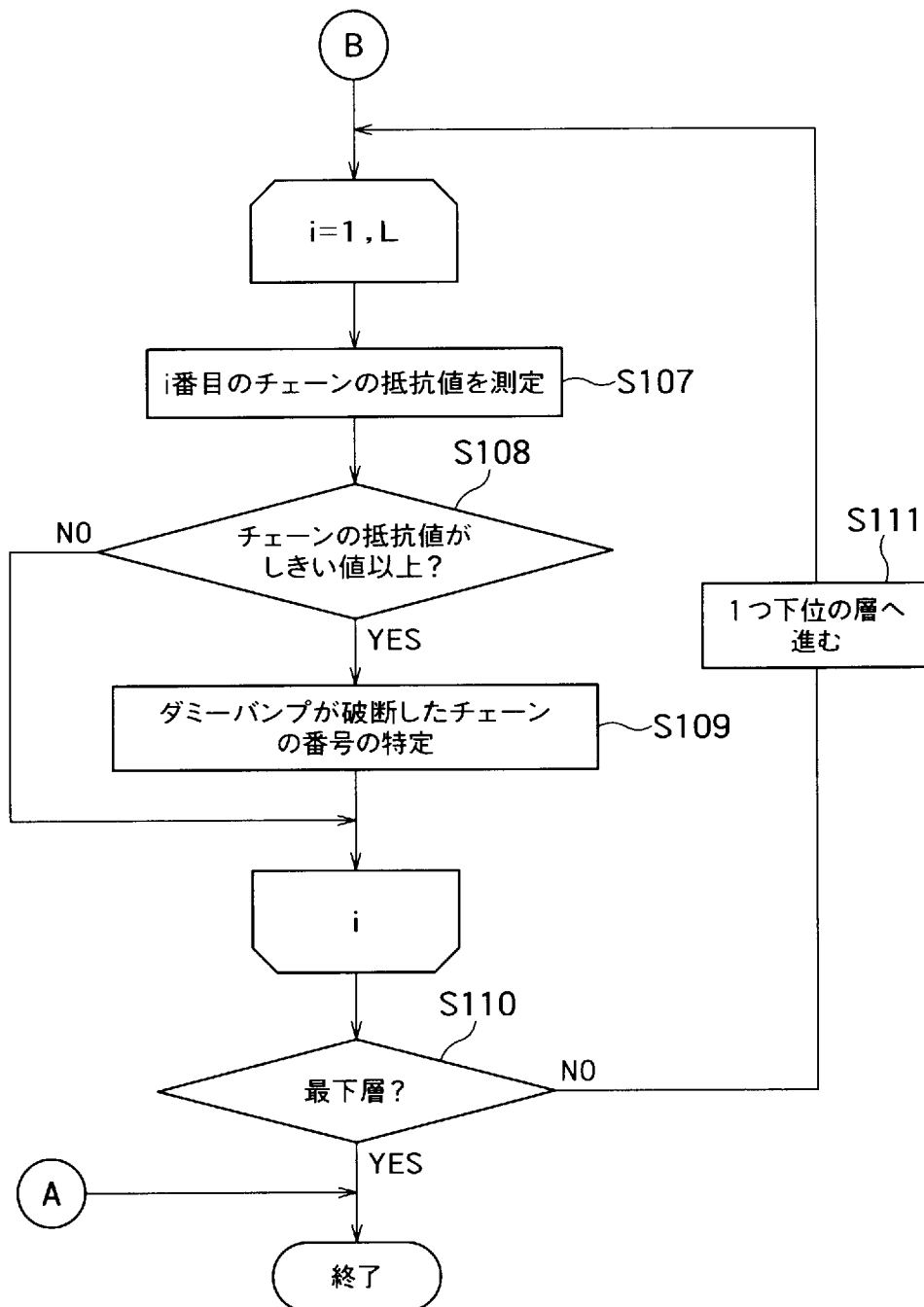
[図12]

チェーンID	抵抗値	フラグ
SSDチェーン1	-----	NG
N1-1チェーン1	-----	OK
N2-1チェーン2	-----	NG
• • •	• • •	• • •

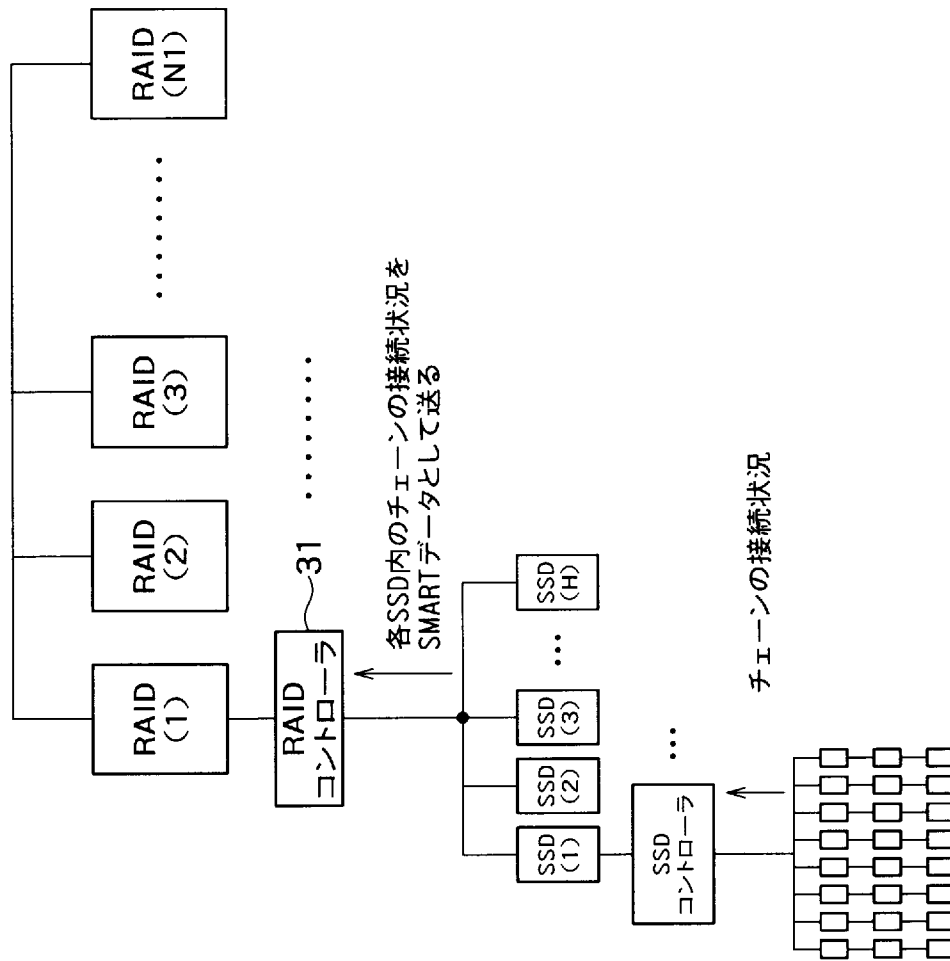
[図13]



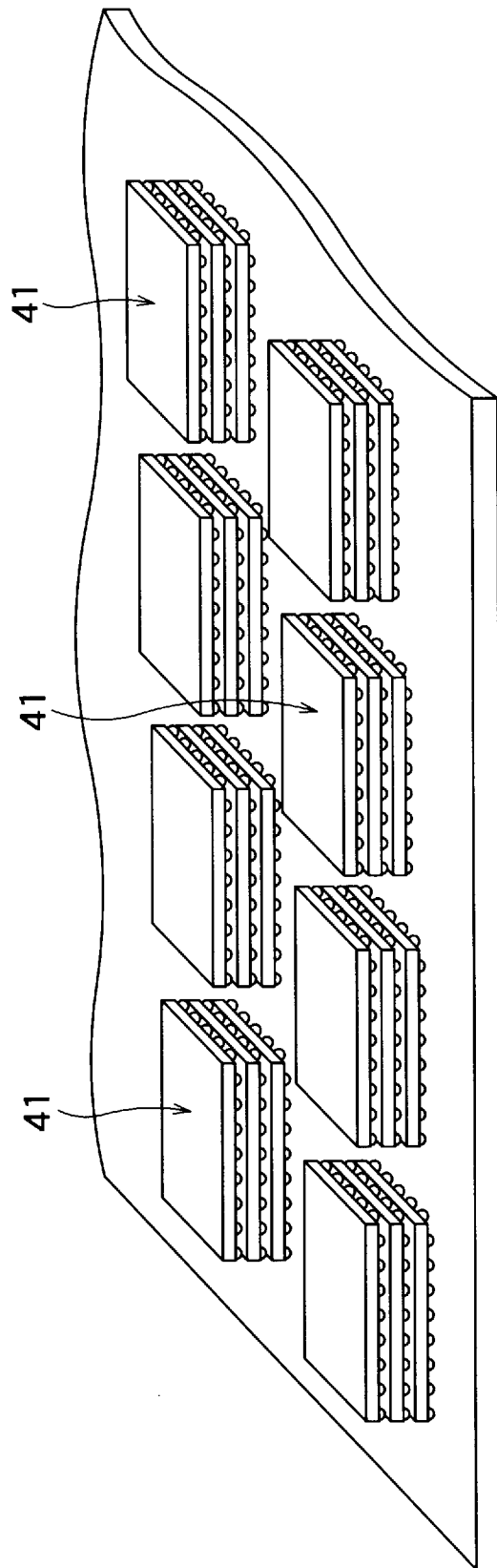
[図14]



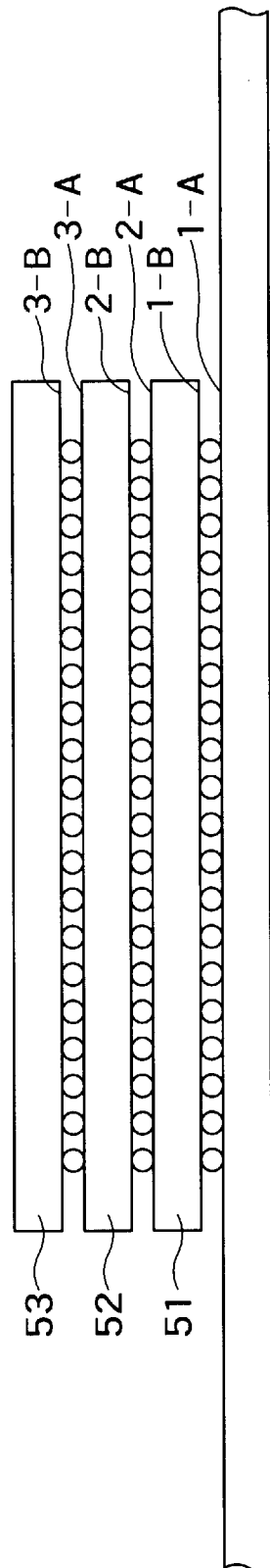
[図15]



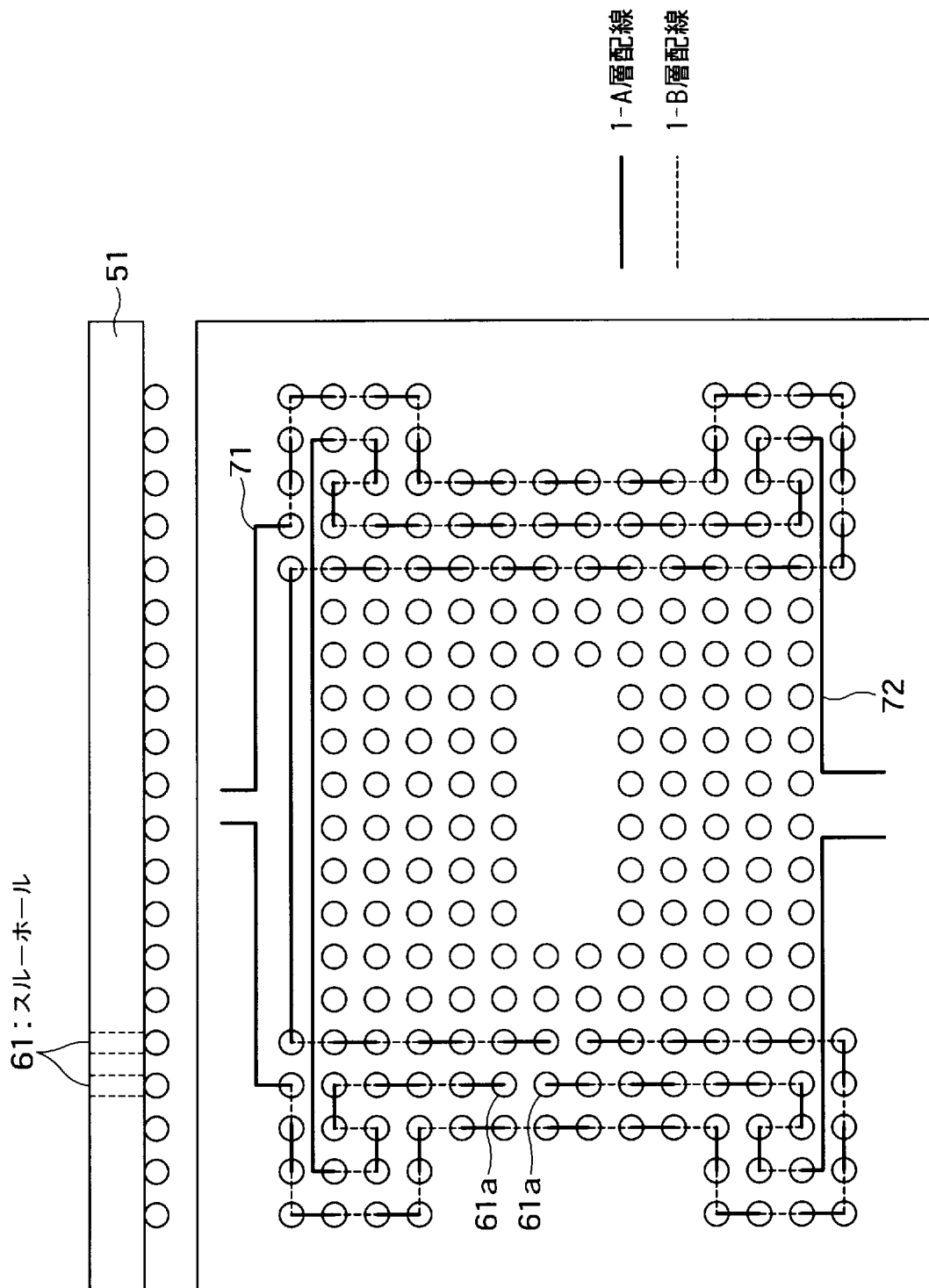
[図16]



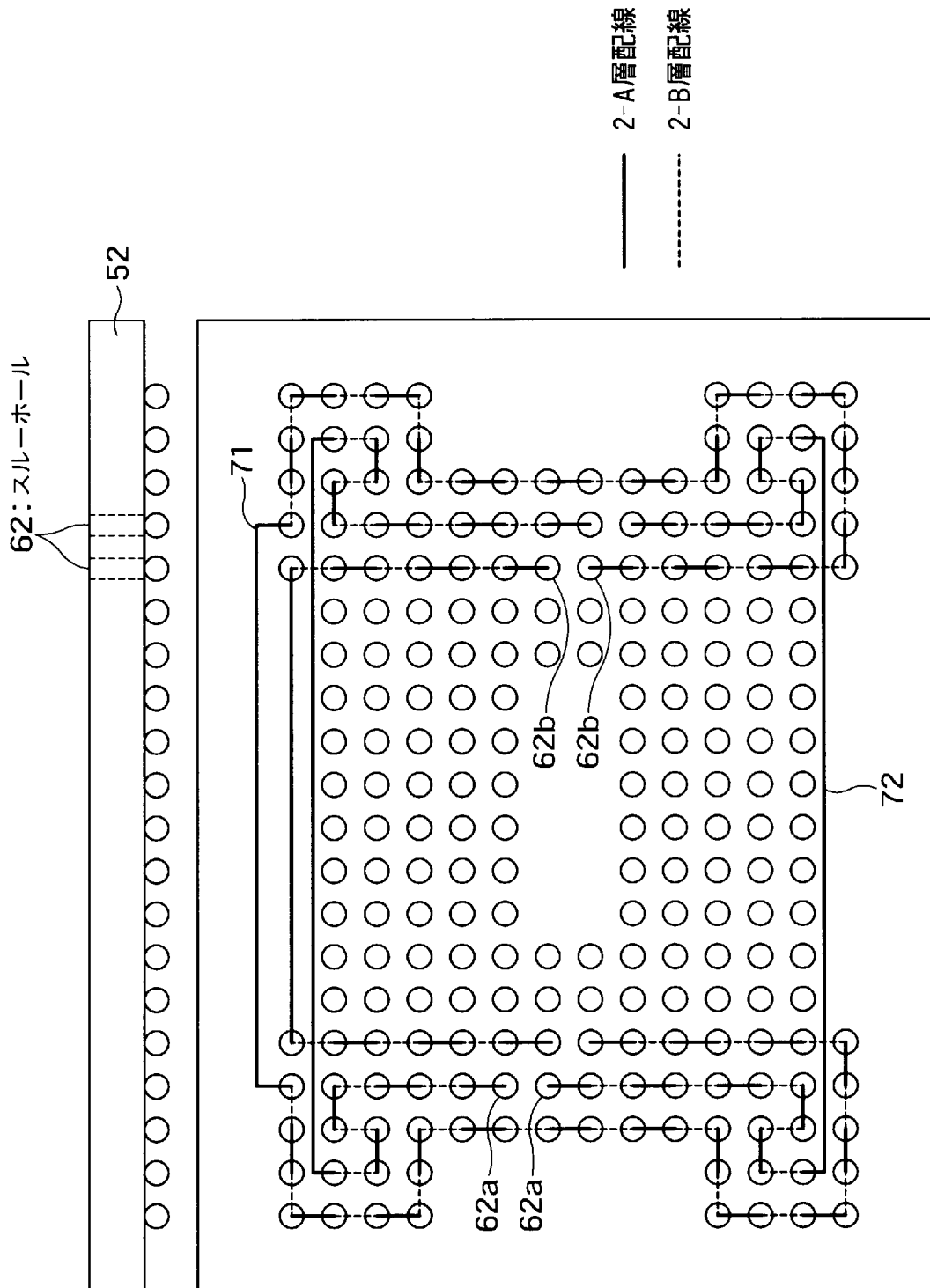
[図17]



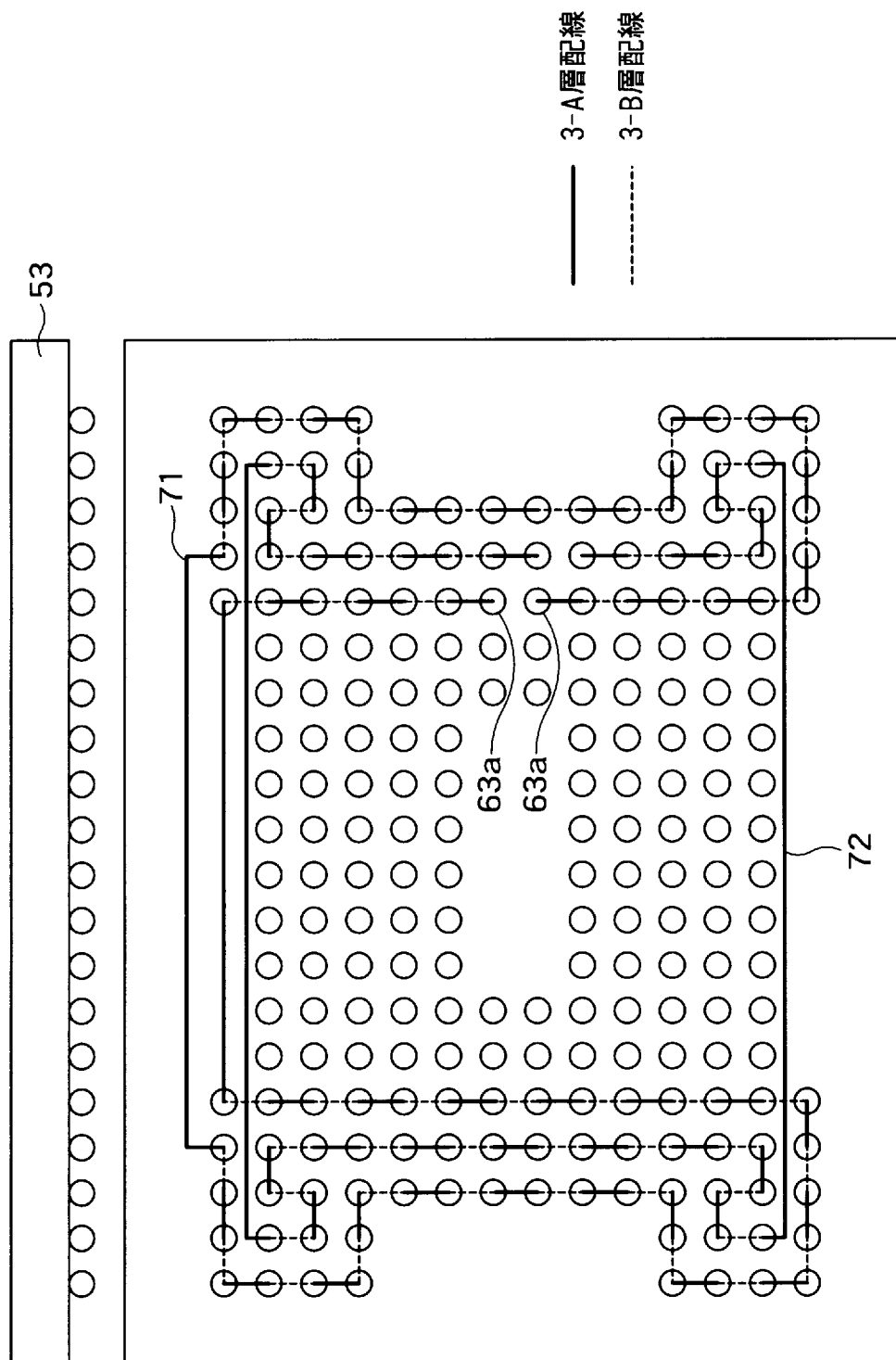
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/055694

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/04(2006.01)i, G01R31/28(2006.01)i, H01L25/18(2006.01)i, H05K3/34(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/00-H01L25/18, H01L23/12, G01R31/28, H05K3/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, A	JP 2010-93231 A (Yokogawa Electric Corp.), 22 April 2010 (22.04.2010), paragraphs [0018] to [0095]; fig. 2, 6 (Family: none)	1-7
A	JP 2006-165325 A (Toyota Motor Corp.), 22 June 2006 (22.06.2006), paragraphs [0010] to [0021]; fig. 1 to 6 (Family: none)	1-7
A	JP 11-87003 A (Sharp Corp.), 30 March 1999 (30.03.1999), paragraphs [0011] to [0018]; fig. 1 to 4 & US 6288346 B1 & EP 892274 A2	1-7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 June, 2010 (04.06.10)Date of mailing of the international search report
15 June, 2010 (15.06.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/055694

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 61-190955 A (Hitachi ULSI Engineering Corp.), 25 August 1986 (25.08.1986), page 3, lower left column, line 6 to page 6, upper left column, line 11; fig. 1 to 7 (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L25/04(2006.01)i, G01R31/28(2006.01)i, H01L25/18(2006.01)i, H05K3/34(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L25/00-H01L25/18, H01L23/12, G01R31/28, H05K3/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
E, A	JP 2010-93231 A (横河電機株式会社) 2010.04.22, [0018]-[0095], 図 2, 図 6 (ファミリーなし)	1-7
A	JP 2006-165325 A (トヨタ自動車株式会社) 2006.06.22, [0010]-[0021], 図 1-6 (ファミリーなし)	1-7
A	JP 11-87003 A (シャープ株式会社) 1999.03.30, [0011]-[0018], 図 1-4 & US 6288346 B1 & EP 892274 A2	1-7

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 6 . 2 0 1 0

国際調査報告の発送日

1 5 . 0 6 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

酒井 英夫

4 R

9 6 3 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 61-190955 A (日立超エル・エス・アイエンジニアリング株式会社) 1986.08.25, 第3頁左下欄第6行-第6頁左上欄第11行, 第1-7図 (ファミリーなし)	1-7