

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成23年5月19日(2011.5.19)

【公表番号】特表2011-511395(P2011-511395A)

【公表日】平成23年4月7日(2011.4.7)

【年通号数】公開・登録公報2011-014

【出願番号】特願2010-544941(P2010-544941)

【国際特許分類】

G 11 C 11/413 (2006.01)

【F I】

G 11 C 11/34 3 3 5 A

【手続補正書】

【提出日】平成23年1月28日(2011.1.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の別個の小部分の形に構成された複数の回路素子であって、該小部分の各々が該それぞれの小部分へ電力を伝達するための別々の電圧供給接続部を有する、複数の回路素子と、

複数の出力部を含み、該出力部の各々は該電圧供給接続部のうちの対応する1つに接続される、コントローラであって、(i)該小部分のうちの所与の1つが少なくとも1つの弱い回路素子を含まないときに、該対応する電圧供給接続部を介して該所与の小部分へ第1の電圧レベルを供給し、(ii)該所与の小部分が少なくとも1つの弱い回路素子を含むときに、該対応する電圧供給接続部を介して該所与の小部分へ少なくとも第2の電圧レベルを供給するように動作し、該第2の電圧レベルは該第1の電圧レベルよりも高い、コントローラとを備える電子回路。

【請求項2】

該コントローラは、該所与の小部分が少なくとも1つの弱い回路素子を含むかどうかを検出するようにさらに動作する、請求項1に記載の回路。

【請求項3】

該コントローラに接続されたメモリをさらに備え、該メモリは該第1の電圧レベルと該少なくとも第2の電圧レベルのうちのどれが該小部分の各々に供給されるべきであるかに関係する情報を記憶するように動作する、請求項1に記載の回路。

【請求項4】

該コントローラは複数のスイッチ素子を備え、該スイッチ素子の各々は該第1の電圧レベルを受けるための第1の端子と、該少なくとも第2の電圧レベルを受けるための第2の端子と、該スイッチ素子に与えられる制御信号の機能として該電圧供給接続部のうちの対応する1つに接続された出力部とを含む、請求項1に記載の回路。

【請求項5】

該第1の電圧レベルは電子回路の指定された最低作動電圧に実質的に等しい、請求項1に記載の回路。

【請求項6】

該第2の電圧レベルは該少なくとも1つの弱い回路素子の指定された最低作動電圧に実質的に等しい、請求項1に記載の回路。

【請求項 7】

複数のメモリセルを含むメモリ回路を備え、該複数の回路素子の少なくともサブセットの各々は該メモリセルのうちの所与の1つを備え、該コントローラは、(i)該所与の小部分が少なくとも1つの弱いメモリセルを含まないときに、該対応する電圧供給接続部を介して該所与の小部分へ該第1の電圧レベルを供給し、(ii)該所与の小部分が少なくとも1つの弱いメモリセルを含むときに、該対応する電圧供給接続部を介して該所与の小部分へ該少なくとも第2の電圧レベルを供給するように動作する、請求項1に記載の回路。

【請求項 8】

該コントローラは、該所与の小部分が少なくとも1つの弱いメモリセルを含むかどうかを検出するようにさらに動作する、請求項7に記載の回路。

【請求項 9】

複数の小部分の形に構成された複数の回路素子を含み、該小部分の各々が、該小部分に対応する別々の電圧供給接続部を有する電子回路において歩留りを向上させるための方法において、

弱い回路素子を含まない少なくとも第1の小部分へ第1の電圧レベルを印加するステップと、

少なくとも1つの弱い回路素子を含んでいるとして識別された少なくとも第2の小部分へ少なくとも第2の電圧レベルを印加するステップであって、該第2の電圧レベルは該第1の電圧レベルよりも高い、ステップとを含む方法。

【請求項 10】

少なくとも1つの弱い回路素子を含んでいる該少なくとも第2の小部分を識別することをさらに備える、請求項9に記載の方法。

【請求項 11】

該電子回路内の各小部分を該第1の電圧レベルと該少なくとも第2の電圧レベルとのうちの1つに関連付ける情報を記憶することをさらに備える、請求項9に記載の方法。

【請求項 12】

該少なくとも第2の小部分へ該少なくとも第2の電圧レベルを印加する該ステップは、該記憶した情報を読み出し、該記憶した情報の機能として該少なくとも第2の小部分へ該少なくとも第2の電圧レベルを印加することを備える、請求項11に記載の方法。

【請求項 13】

該電子回路は複数のメモリセルを含むメモリ回路を備え、該複数の回路素子の少なくともサブセットの各々は該メモリセルのうちの所与の1つを備える、請求項9に記載の方法。

。