

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4920119号
(P4920119)

(45) 発行日 平成24年4月18日(2012.4.18)

(24) 登録日 平成24年2月10日(2012.2.10)

(51) Int.Cl.		F I	
GO2F	1/1343	(2006.01)	GO2F 1/1343
GO2F	1/1368	(2006.01)	GO2F 1/1368
GO2F	1/1333	(2006.01)	GO2F 1/1333 505
GO2F	1/1335	(2006.01)	GO2F 1/1335 500

請求項の数 3 (全 25 頁)

(21) 出願番号	特願2011-229003 (P2011-229003)	(73) 特許権者	000153878
(22) 出願日	平成23年10月18日(2011.10.18)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-28117 (P2011-28117) の分割		神奈川県厚木市長谷398番地
原出願日	平成8年11月22日(1996.11.22)	(72) 発明者	張 宏勇
(65) 公開番号	特開2012-14200 (P2012-14200A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成24年1月19日(2012.1.19)	(72) 発明者	平形 吉晴
審査請求日	平成23年10月21日(2011.10.21)		神奈川県厚木市長谷398番地 株式会社
早期審査対象出願		(72) 発明者	大塚 憲司
			神奈川県厚木市長谷398番地 株式会社
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の基板上方の第1の配線と、
 前記第1の配線と同一工程で形成された第2の配線と、
 前記第1の配線及び第2の配線上方の層間絶縁膜と、
 前記層間絶縁膜上方の第3の配線と、
画素電極と、前記画素電極と同一工程で形成された第4の配線と、を有するアクティブ
 マトリクス型液晶表示装置であって、
 前記第1の配線は前記マトリクスの第1の方向に延び、
 前記第2の配線は前記マトリクスの前記第1の方向に延び、第2の方向に第1の突出部
 と第2の突出部を有し、
 前記第1の突出部及び前記第2の突出部は隣り合う画素の隣り合うふちに配置され、
 前記第3の配線は前記マトリクスの前記第2の方向に延び、前記第2の配線の前記第1
 の突出部と前記第2の突出部の間の領域に重なって形成され、
前記第4の配線は前記マトリクスの前記第2の方向に延び、前記第2の配線とコンタク
トホールを介して接続され、
 前記第1乃至第3の配線は遮光性を有し、
 第2の基板にブラックマトリクスを有し、
 前記ブラックマトリクスが半導体層と重なるように選択的に形成されていることを特徴
 とするアクティブマトリクス型液晶表示装置。

10

20

【請求項2】

第1の基板上方の複数の第1の配線と、
 前記第1の配線と同一工程で形成された複数の第2の配線と、
 前記第1の配線及び第2の配線上方の層間絶縁膜と、
 前記層間絶縁膜上方の複数の第3の配線と、
複数の画素電極と、前記画素電極と同一工程で形成された複数の第4の配線と、を有するアクティブマトリクス型液晶表示装置であって、
 前記第1の配線は画素の第1の方向の2つの辺に延び、
 前記第2の配線は前記画素の前記第1の方向の2つの辺と、第2の方向の2つの辺に延び、
 前記第3の配線は前記画素の前記第2の方向の2つの辺に延び、
前記第4の配線は前記マトリクスの前記第2の方向に延び、前記第2の配線とコンタクトホールを介して接続され、

10

前記第1乃至第3の配線は遮光性を有し、
 第2の基板にブラックマトリクスを有し、
 前記ブラックマトリクスが半導体層と重なるように選択的に形成されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項3】

請求項1または2において、
 前記第1の配線はゲート信号を入力する配線であり、前記第2の配線は一定の電位を供給する配線であり、前記第3の配線は、ソース信号を入力する配線であることを特徴とするアクティブマトリクス型液晶表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本明細書で開示する発明は、ガラスや石英等の絶縁基板に設けられた結晶性珪素膜を用いた絶縁ゲート構造を有する半導体装置、例えば、薄膜トランジスタ(TFT)や薄膜ダイオード(TFD)、またはそれらを応用した薄膜集積回路、特にパッシブマトリクス型液晶表示装置用薄膜集積回路やアクティブマトリクス型液晶表示装置用薄膜集積回路、及びその作製方法に関するものである。

30

【背景技術】

【0002】

近年、ガラスや石英等の絶縁基板に薄膜トランジスタをマトリクス状に形成し、このTFTをスイッチング素子として用いるアクティブマトリクス型の液晶表示装置の研究が盛んにされている。

【0003】

また、アクティブマトリクス回路(画素回路や画素マトリクス回路とも呼ばれる)と周辺駆動回路(ドライバ回路とも呼ばれる)とを同一絶縁基板上に集積化したアクティブマトリクス型の液晶表示装置が注目されている。この構成は、周辺駆動回路一体型と呼ばれている。

40

【0004】

従来のアクティブマトリクス型液晶表示装置では、2枚の基板の上に液晶層を駆動する電極等を形成し対向させた透明電極を用いていた。この2枚の基板間に液晶を封入し、液晶に印加する電界の方向を基板面にほぼ垂直な方向とする。そして、さらにその電界強度を変化させることで、一般的に棒状の形状を有する液晶分子の配向方向を、基板と平行、あるいは基板に垂直と変化させることで実現していた。一般的にこの場合、液晶材料の示す特徴の一つである光学異方性を利用して光を変調させるため、前記装置には偏向板を配置し、入射光を直線偏光となるようにしていた。

【0005】

しかし、このような動作方法をとる液晶電気光学装置は、表示面に対して垂直な方向か

50

ら見たときは正常な表示状態でも、斜めから見ると表示が暗く、不鮮明になり、さらにカラ表示であれば変色してしまう現象が見られた。

【0006】

このような問題を解決するため、液晶層に印加する電界の方向を基板面に平行な方向とする方法（IPSモード）がある。

このような電気光学装置では、液晶分子長軸を基板に平行な状態を維持したままスイッチングするため、視野角による液晶の光学特性の変化が少ない。

このため、視野角による光漏れ、コントラストの低下等が、従来のTN、STN方式に比べ小さい。

【0007】

このIPSモードの電極構成として、図17に示した様な一枚の基板の上に櫛歯状電極を形成した方法が知られている。

しかし、前記櫛歯状電極を用いた場合、画素素子において、配線パターンが微細化かつ複雑化し、生産性が悪いという問題点があった。

また、電極形状が複雑なので、液晶層にかかる電界も複雑なものとなっていた。

さらに、櫛歯状電極とすることによって光が遮られ、光が透過できる有効面積（開口率）が著しく低下し、暗いディスプレイしか実現できず、実用化は不可能であった。

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は上記問題を解決するものであって、その目的とするところは、透明電極がなくとも高コントラストで、工程が簡易で量産可能な、且つ、開口率が大きく明るい周辺駆動回路一体型の液晶表示装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0009】

前記課題を解決し、上記目的を達成するために本発明では以下のような手段を用いる。

【0010】

本発明の第1は図1にその具体的な構成の一例を示すように

少なくとも一方が透明な対の基板と、

前記対の基板間に、液晶層が挟持され、

一方の基板には、複数の画素がマトリクス状に配置され、

画素電極108とコモン電極110、111は同じ層内に存在し、

前記コモン電極とコモン線103、104は、絶縁層をはさみ、互いに違う層に存在し、

前記画素電極と前記コモン電極との間に、基板面に概略平行に電界を印加し、液晶分子の配向状態を制御して、光を変調し得る構造を備えていることを特徴とする液晶表示装置である。

【0011】

上記構成において、各々の画素に薄膜トランジスタを有するアクティブマトリクス型液晶表示装置であって、前記薄膜トランジスタは、画素電極108と、走査線に接続されたゲイト線102、105と、信号線に接続されたソース線106、107を有することを特徴とする液晶表示装置である。

【0012】

上記構成において、パッシブ駆動するパッシブマトリクス型液晶表示装置である。

【0013】

上記構成におけるコモン電極110、111と画素電極108は、平行であり、図2に示すように同じ層内にあり、且つ同一材料、同一工程で作られることを特徴とする液晶表示装置である。

【0014】

上記のコモン電極と画素電極は、アルミニウムまたはアルミニウムを主成分とする金属

10

20

30

40

50

、または、Siもしくは、Tiとアルミニウムとの積層から成ることを特徴とする液晶表示装置である。

【0015】

また、上記のコモン線103、104とゲイト線102、105は、図2に示すように同じ層内で、且つ同一材料、同一工程で作られることを特徴とする液晶表示装置である。

【0016】

本願発明の第2は、図3にその具体的な構成の一例を示すように、
少なくとも一方が透明な一对の基板と、
前記一对の基板間に、液晶層が挟持され、
一方の基板には、複数の画素がマトリクス状に配置され、
前記画素電極108とコモン電極110、111は同じ層内に存在し、
前記コモン電極とコモン線は、絶縁層をはさみ、互いに違う層に存在し、コンタクトにより接続され、

10

その上に、平坦化膜230を有し、

前記画素電極と前記コモン電極との間に、基板面に概略平行に電界を印加し、液晶分子の配向状態を制御して、光を変調し得る構造を備えていることを特徴とする液晶表示装置である。

【0017】

上記構成におけるコモン電極及び画素電極上の平坦化膜230は、ポリイミド等からなる有機物、窒化珪素または酸化珪素等からなる無機物を用いた膜、もしくはそれらの積層膜を用いる液晶表示装置である。

20

【0018】

また、本発明において図1に具体的な構成を示すように、
少なくとも一方が透明な一对の基板と、
前記一对の基板間に、液晶層が挟持され、
一方の基板には、複数の画素がマトリクス状に形成され、
一画素内で、1つの前記画素電極108が、一对のコモン電極110、111に挟まれて形成され、

前記画素電極と前記コモン電極との間に、基板面に概略平行に電界を印加し、液晶分子の配向状態を制御して、光を変調し得る構造を備えていることを特徴とする液晶表示装置である。

30

【0019】

本発明の第3は、図4～8にその具体的な構成の一例を示すように、
絶縁表面201を有する基板上に結晶性半導体層101を形成する工程と、
前記結晶性半導体層上にゲイト絶縁膜205を形成する工程と、
前記ゲイト絶縁膜上に第1の導電膜210を形成する工程と、
前記第1の導電膜をゲイト線102、105と、コモン線103、104に形成する工程と、

前記結晶性半導体層にドopingを行う工程と、

全面に第1の層間膜206を形成する工程と、

コンタクトホールを形成する工程と、

前記第1の層間膜上に第2の導電膜を形成する工程と、

前記第2の導電膜を画素電極108と、コモン電極110、111と、ソース線106、107に形成する工程と、を有する液晶表示装置の作製を特徴としている。

40

【0020】

ここでいう結晶性半導体層とは、単結晶シリコン膜や、アモルファスと結晶が混在している多結晶シリコン膜や、結晶構造と認められるものが、わずかに含まれたアモルファス主体の多結晶シリコン膜等のような少なくとも結晶性を有するシリコン膜を指している。

【0021】

図3で示した構成を得るために、

50

絶縁表面 201 を有する基板上に結晶性半導体層 101 を形成する工程と、
 前記結晶性半導体層上にゲイト絶縁膜 205 を形成する工程と、
 前記ゲイト絶縁膜上に第 1 の導電膜 210 を形成する工程と、
 前記第 1 の導電膜をゲイト線 105 と、コモン線 103、104 に形成する工程と、
 前記結晶性半導体層にドoping を行う工程と、
 全面に第 1 の層間膜 206 を形成する工程と、
 コンタクトホールを形成する工程と、
 前記第 1 の層間膜上に第 2 の導電膜を形成する工程と、
 前記第 2 の導電膜を画素電極 108 と、コモン電極 110、111 と、ソース線 106
 、107 に形成する工程と、前記画素電極と前記コモン電極と前記ソース線及び基板全面 10
 上に、平坦化膜 230 を形成する工程と、
 を有する液晶表示装置の作製を特徴としている。

【0022】

絶縁表面を有する基板上に結晶性半導体層を形成する工程と、
 前記結晶性半導体層上にゲイト絶縁膜を形成する工程と、
 前記ゲイト絶縁膜上に第 1 の導電膜を形成する工程と、
 前記第 1 の導電膜をゲイト線と、コモン線に形成する工程と、
 前記結晶性半導体層にドoping を行う工程と、
 全面に第 1 の層間膜を形成する工程と、
 コンタクトホールを形成する工程と、 20
 前記第 1 の層間膜上に第 2 の導電膜を形成する工程と、
 前記第 2 の導電膜を画素電極と、コモン電極と、ソース線に形成する工程と、を有し、
 且つ、5枚以下のマスクにより作製される液晶表示装置の作製を特徴としている。

【0023】

上記構成におけるコモン電極上の平坦化膜 230 は、ポリイミド等からなる有機物、ま
 たは窒化珪素からなる無機物を用いた膜、もしくはそれらの積層膜を用いる液晶表示装置
 の作製を特徴としている。

【0024】

絶縁表面を有する基板上に結晶性半導体層を形成する工程と、
 前記結晶性半導体層上にゲイト絶縁膜を形成する工程と、 30
 前記ゲイト絶縁膜上に第 1 の導電膜を形成する工程と、
 前記第 1 の導電膜をゲイト線と、コモン線に形成する工程と、
 前記第 1 の導電膜を酸化させる工程と、
 前記結晶性半導体層に第 1 次不純物ドoping を行う工程と、
 導電酸化膜を除去する工程と、
 前記導電酸化膜を除去する工程の後に、第 1 次不純物ドoping よりも低濃度の第 2 次
 不純物ドoping を行う工程と、
 全面に第 1 の層間膜を形成する工程と、
 コンタクトホールを形成する工程と、
 前記第 1 の層間膜上に第 2 の導電膜を形成する工程と、 40
 前記第 2 の導電膜を画素電極と、コモン電極と、ソース線に形成する工程と、を有し、
 且つ、5枚以下のマスクにより作製される液晶表示装置の作製を特徴としている。

【0025】

上記構成において、第 2 の導電膜を画素電極と、コモン電極と、ソース線を形成する工
 程後、基板全面に平坦化膜を形成する工程と、
 を有し、且つ、全工程を 5 枚以下のマスクで作製する液晶表示装置の作製を特徴としてい
 る。

【0026】

本発明の第 4 は、図 9 にその具体的な構成の一例を示すように、
 外部装置との配線接続端子 900 は、少なくとも 2 つ以上の配線の積み重ねで形成され 50

た配線の積層からなることを特徴とする液晶表示装置である。

【 0 0 2 7 】

図 1 0 (b) に示したように、

外部装置との配線接続端子 9 0 0 は、絶縁基板上に形成された珪素膜 1 0 1 の上に、少なくとも 2 つ以上の配線の積み重ねで形成された配線の積層からなることを特徴とする液晶表示装置である。

【 0 0 2 8 】

上記構成における配線の積層は、同一材料により形成し、同一工程によって形成することを特徴とする液晶表示装置である。

【 0 0 2 9 】

上記構成における配線接続端子 9 0 0 は、アルミニウムまたはアルミニウムを主成分とする金属、または、導電性を有する無機化合物、または、S i もしくは、T i とアルミニウムとの積層から成ることを特徴とする液晶表示装置である。

【 0 0 3 0 】

図 1 0 (b) に示したように、

絶縁表面を有する基板 2 0 1 上に第 1 の導電膜 2 1 0 を形成する工程と、

前記第 1 の導電膜を第 1 配線端子 2 1 1 の形状にする工程と、

前記第 1 の導電膜上に第 2 の導電膜 2 2 0 を形成する工程と、

前記第 2 の導電膜を第 2 配線端子 2 2 1 の形状にする工程と、

基板全面に層間絶縁膜 2 3 0 を形成する工程と、

基板表面の前記層間絶縁膜を削り、前記第 2 配線端子の上部表面を露出させ、外部装置との配線接続端子 9 0 0 を形成する工程と、
を有する液晶表示装置の作製を特徴としている。

【 0 0 3 1 】

絶縁表面を有する基板 2 0 1 上に半導体層 1 0 1 を形成する工程と、

前記半導体層上に第 1 の導電膜 2 1 0 を形成する工程と、

前記第 1 の導電膜を第 1 配線端子 2 1 1 の形状にする工程と、

前記第 1 の導電膜上に第 2 の導電膜を形成する工程と、

前記第 2 の導電膜を第 2 配線端子 2 2 1 の形状にする工程と、

基板全面に層間絶縁膜 2 3 0 を形成する工程と、

基板表面の前記層間絶縁膜を削り、前記第 2 配線端子の上部表面を露出させ、外部装置との配線接続端子 9 0 0 を形成する工程と、
を有する液晶表示装置の作製方法。

【 0 0 3 2 】

本発明の第 5 は、図 1 2 にその具体的な構成の一例を示すように、

少なくとも一方が透明な一对の基板と、

前記一对の基板間に、液晶層が挟持され、

第 1 配線と第 2 配線は、絶縁層をはさみ、互いに違う層に存在し、

並列して隣合う前記第 1 配線の間にある領域を遮光する前記第 2 配線と、 並列して隣合う前記第 2 配線の間にある領域を遮光する前記第 1 配線と、 前記第 1 配線と前記第 2 配線によって囲まれた画素表示領域は、光を変調し得ることを特徴とする液晶表示装置である。

【 0 0 3 3 】

少なくとも一方が透明な一对の基板と、

前記一对の基板間に、液晶層が挟持され、

一画素内で、1つの前記画素電極 1 2 0 8 が、一对のコモン電極 1 2 1 0、1 2 1 1 に挟まれて形成され、ソ ス線 1 2 0 6、1 2 0 7 と隣合う前記コモン電極との間に存在する領域を遮光するコモン線 1 2 0 3 と、

ゲイト線 1 2 0 5 と隣合う前記コモン線 1 2 0 3 との間に存在する領域を遮光する画素電極 1 2 0 8 と、を有することを特徴とする液晶表示装置である。

【 0 0 3 4 】

上記構成において第一配線であるコモン線 1 2 0 3 とゲート線 1 2 0 5 の両方と第二配線である画素電極間で保持容量を形成することを特徴とする液晶表示装置である。

【 0 0 3 5 】

図 1 6 に示すように、対向基板は、一对の基板を重ね合わせた時に生じる配線の間隙を十分に埋める、コモン電極 1 2 1 0 よりも小さなブラックマトリックス 1 6 0 0 を複数有することを特徴とする液晶表示装置である。

【 0 0 3 6 】

図 4 ~ 8 を用いて本発明の作製工程を示す。

絶縁表面を有する基板の上に、非晶質珪素薄膜 1 0 1 を形成し〔図 4 (a)〕、それを所望の大きさにフォトリソグラフィ法を用いてアイランドに、(1)パターニングを行い〔図 4 (b)〕、その上にゲイト絶縁膜 2 0 5 を成膜する。〔図 4 (c)〕

この状態での上面図を図 5 に示す。

【 0 0 3 7 】

前記ゲイト絶縁膜の上に、第 1 の導電膜 2 1 0 を形成する。〔図 6 (d)〕

この第 1 の導電膜の材料としては Cr、Al、Ta、Ti を使用することが可能である。また、それらの膜を組み合わせた多層膜を形成してもよい。

【 0 0 3 8 】

次に、フォトリソグラフィ法を用いて、(2)パターニングを行い、走査線と、走査線に接続されたゲイト線 1 0 2、1 0 5 と、コモン線 1 0 3、1 0 4 を形成する。〔図 6 (e)〕

この状態での上面図を図 7 に示す。

【 0 0 3 9 】

そして、ゲイト電極をマスクとして、ゲイト絶縁膜 2 0 5 をエッチングする。

【 0 0 4 0 】

その後、Pイオンを公知のイオンドープ法によって、半導体層に注入する。

引き続き、Nチャンネル型 TFT を (3)レジストマスクで覆い、Bイオンの注入を行った後、レザアニルを行う。〔図 6 (f)〕

この時、公知のイオンドープ法によって、LDD構造を形成してもよい。かくすると、トランジスタの特性をより安定なものとすることができる。

【 0 0 4 1 】

次に、第 1 の層間絶縁膜 2 0 6 を形成する。〔図 8 (g)〕この層間絶縁膜は、コモン線とコモン電極とを分離し、コンタクトのみで接続させる。こうすることで、櫛歯電極で生じていた電界の乱れを防ぐ。図 1 7 で示した従来の櫛歯電極では、液晶層に電界をかけた時、直接関係のない余計な配線(例えば櫛歯の歯でない箇所のコモン線やソース線)による電界の乱れが生じていた。

さらに、その上にポリイミド膜等の平坦化膜を形成すると、後の工程で形成される画素電極の端部とコモン電極の端部を基板から同じ距離位置にすることができる。

【 0 0 4 2 】

また、各層間絶縁膜としては、ポリイミド等からなる有機物、または窒化珪素からなる無機物を用いた膜、もしくはそれらの積層膜を用いることが可能である。

【 0 0 4 3 】

その後、フォトリソグラフィ法を用いて、(4)パターニングを行い〔図 8 (h)〕、その上に公知のスパッタ法により第 2 の導電膜 2 2 0 を形成する。

そして再びフォトリソグラフィ法を用いて、(5)パターニングを行い、画素電極 1 0 8、コモン電極、ソース線 1 0 6 を形成して、図 8 (i)の状態になる。この状態での上面図が図 1 である。

図 1 は、配線が重なって見えない箇所が、分かるよう故意に示した図であり、また、同一材料、同一工程で形成される箇所は、同じ斜線模様で塗りつぶして示した図である。

【 0 0 4 4 】

10

20

30

40

50

こうして、CMOS構造を(1)、(2)、(3)、(4)、(5)、の5枚のマスクによって作製できた。

このように、層間絶縁膜または、平坦化膜との積層膜を形成し、コモン電極の端部と画素電極の端部の基板からの距離的位置を概略同一にすることで、コモン電極の真横に絶縁膜を挟んで画素電極を形成する。

かくすると、液晶層に電界を真横にかけることができ、表示特性が向上する。

【0045】

上記作製工程と同時進行的に、図9(a)で示した外部装置の配線接続端子900を(1)、(2)、(3)、(4)、(5)、での5枚のマスクによって作製する。

この配線接続端子の断面図を図9(b)で示す。

従来、配線接続端子を作製するためには、マスクを使用する工程を追加しなければならなかった。

【0046】

まず、上記作製工程と同様に、絶縁表面を有する基板の上に、結晶性半導体薄膜を形成し、それを所望の大きさにフォトリソグラフィ法を用いて配線接続端子の形状をしたアイランドに、(1)パタニングを行う。

しかし、この工程は、高さを調整するだけであるので、配線接続端子を作製する上では、なくてもよい。

【0047】

次に、その上にゲイト絶縁膜205を成膜する。

【0048】

前記ゲイト絶縁膜の上に、第1の導電膜210を形成する。

この第1の導電膜の材料としてはCr、Al、Ta、Tiを使用することが可能である。また、それらの膜を組み合わせた多層膜を形成してもよい。

【0049】

次に、フォトリソグラフィ法を用いて、(2)パタニングを行い、第1配線端子211を形成する。

【0050】

そして、ゲイト絶縁膜205をエッチングし、第1の層間絶縁膜206を形成する。

【0051】

その後、フォトリソグラフィ法を用いて、(4)パタニングを行い、第1配線端子211上の第1の層間絶縁膜を除去し、その上に公知のスパッタ法により第2の導電膜220を形成する。

そして再びフォトリソグラフィ法を用いて、(5)パタニングを行い、第2配線端子221を形成する。

【0052】

その後、第2層間絶縁膜230を形成する場合には、第2配線端子221の表面が覆われてしまう。〔図10(a)〕そこで、 O_2 アッシングを行い、表面を削り取り、第2配線端子の表面及び第2配線の表面をむき出しにする。〔図10(b)〕こうして、外部装置の配線接続端子900も(1)、(2)、(3)、(4)、(5)、の4~5枚のマスクによって作製できる。

【0053】

上記作製工程により、外部装置の配線接続端子備えた、周辺駆動回路一体型の液晶表示装置を5枚以下のマスクで作製することが可能となった。

【0054】

また、以下で示すような電極構成としてもよい。

【0055】

例えば、画素電極とコモン電極の配置は、図11のように、一つの画素中に複数設けられた一对のコモン電極の間に画素電極を設けた構成としても良い。かくすれば、より開口率が向上する。

10

20

30

40

50

【 0 0 5 6 】

また、図 1 2 のような画素電極 1 2 0 8 の形状にして、コモン線 1 2 0 3 とゲイト線 1 2 0 5 の両方と保持容量を形成するような構成にしてもよい。

さらに、図 1 4 のように、コモン線 1 2 0 3 を設計すると、さらなる保持容量が形成される。

図 1 2 の電極構成での画素部の等価回路を図 1 5 に示す。

【 0 0 5 7 】

そして、同時に、画素電極や、コモン線の形状を上記のように変えることは、液晶表示装置を駆動させて画像表示を行う際、可視光が配線と配線との隙間を透過する光漏れを防ぐ効果を合わせもつ。

10

【 0 0 5 8 】

このように形成された C M O S 構造の上に、ポリイミドよりなる配向膜を形成した。配向膜としてはポリイミドを公知のスピンコート法もしくは D I P 法などにより形成した。

【 0 0 5 9 】

次に配向膜表面をラビングした。

ラビング方向については使用する液晶材料により異なる。誘電率異方性が正の材料の場合、電界方向に非平行であって、電界方向に 45° またはそれより電界方向に近い角度をなす方向とする。さらにまた、誘電率異方性が負の材料の場合、電界に非垂直であって、電界に垂直な方向に 45° またはそれより電界に垂直な方向に近い角度をなす方向とする。また第二の基板側のラビング処理は、第一の基板のラビング方向に平行、もしくは反平行をなすようになされる。

20

【 0 0 6 0 】

このようにして形成された基板と対向の基板を重ね合わせて液晶パネルを形成した。前記一对の基板は、基板間に球状スペーサーを挟むことでパネル面内全体で均一な基板間隔となるようにした。また、前記一对の基板を接着固定するためにエポキシ系の接着剤でシールした。シールのパターンは画素領域、周辺駆動回路領域を囲むようにした。この後所定の形状に前記一对の基板を切断した後、基板間に液晶材料を注入した。

【 0 0 6 1 】

次に偏光板を基板の外側に二枚貼り合わせた。偏光板の配置について、一对の偏光板をその光軸が直交するように配置し、いずれか一方の偏光板の光軸、例えば偏光板の光軸を、ラビング方向に平行にした。

30

【 0 0 6 2 】

このように基板を重ね合わせた時に、液晶表示装置を駆動させて画像表示を行うに際して、可視光を透過する必要のない配線と配線との隙間上方やトランジスタ上方には遮光性を有するブラックマトリクス (B M) を配置するのが一般的である。

【 0 0 6 3 】

ブラックマトリクスとしては、チタン膜、クロム膜など遮光性を有する金属薄膜や、黒色顔料を分散させた樹脂材料を用いることができる。

【 0 0 6 4 】

従来、ブラックマトリクス (B M) を形成する時には、大きめの位置合わせマジンをとってブラックマトリクスを形成していたが、そうすることで画素領域の開口率を下げていた。

40

【 0 0 6 5 】

しかし、本発明では、図 1 2 のように、画素電極や、コモン線の形状を変え、 B M 化して、ブラックマトリクスをなるべく画素表示領域に形成しないことで、開口率の向上を図った。

そして、配線の形状を変えるだけでは遮光できない領域である半導体層領域は、遮光性を有し、 B M として機能する材料で形成するか、もしくは、この部分のみ対向基板に B M を形成する。このブラックマトリクスは、コモン電極よりも小さいものでよく、画素表示領域には形成しない。

50

また、前記遮光できない領域は、配線に囲まれており、このブラックマトリックスを形成しても、開口率の低下には全く関係がない。

こうすることで、大きめの位置あわせマージンをとる必要がなく、開口率の向上が図れると同時に、半導体領域を光の劣化から保護する。

【0066】

かくすることにより、5枚のマスク工程で、透明電極を設けなくても液晶配向制御し、光を変調し得る液晶表示装置を得ることができた。

また、IPSモードの構造を取り入れることで、上下基板のアライメントずれがなくなり、共通電極と液晶駆動電極の間の距離精度を向上することができ、開口率が向上した。

【発明の効果】

【0067】

かくすることにより、5枚のマスク工程で透明電極を設けなくても液晶配向制御し、光を変調し得る液晶表示装置を得ることができた。

また、IPSモードの構造を取り入れることで、上下基板のアライメントずれがなくなり、共通電極と液晶駆動電極の間の距離精度を向上することができた。

【0068】

従来の櫛歯電極を用いた電極配線では、液晶層に最も近接している層に存在する配線及び電極が多く、且つ、複雑な形状をしており、画素表示部に接している液晶層に、複雑な電界が生じ、複雑な電気力線が存在していた。そのため、開口率が低く、複雑な電極形状により、画素表示部における個々の液晶にかかる電界が不均一なものとなり、表示特性が悪化していた。

【0069】

しかし、本発明のようにコモン線とコモン電極を絶縁層を挟み、互いに違う層に分離し、コンタクトで接続させると、液晶層に最も近接している層に存在する配線及び電極が、コモン電極と画素電極とソース線だけとなる。

このコモン電極と画素電極とソース線は、単純な形状であり、同じ層内で平行に配置されている。

そのため、画素表示部に接している液晶材料に、より均一な横電界をかけることができ、表示特性が向上した。

【0070】

上記のように、本発明では、ゲイト線とコモン線を先に形成し、第1層間膜を形成してから、画素電極とコモン電極を形成する。この第1層間膜は、画素電極端部とコモン電極端部の各々の基板からの距離的位置を概略一致させている。

つまり、層間絶縁層上に、コモン電極端部の真横に画素電極端部を配置するための層間膜である。

さらに、この第1層間膜は、液晶層に電界をかける時に余計な配線（コモン線及びソース線）を分離して、電界の乱れを防ぎ、後の工程で形成される画素電極とコモン電極を、より基板から同じ距離位置にするという効果がある。

【0071】

本発明では、第一層間膜を平坦化膜とし、画素電極とコモン電極とソース線を形成してもよい。こうすることで、後の工程で形成される画素電極とコモン電極を、より基板から同じ距離位置にする効果を持つ。

【0072】

さらに、コモン電極と画素電極とソース線を形成後、平坦化された第2層間膜を形成してもよい。この平坦化された第2層間膜は、保護膜を兼ねている。

【0073】

本発明は、コモン電極と画素電極とソース線は、同じ層内で平行に配置されており、且つ同一材料、同一工程で作られる。

こうすることで、電極層数が低減され、低コスト化できる。

さらに、従来の櫛歯電極より単純な電極配線にしたため、開口率が向上した。

10

20

30

40

50

【 0 0 7 4 】

6 5 0 以下で成膜する場合の本発明の電極及び配線材料として、アルミニウムを用いれば、導電性が高く、放熱性に優れ、発生する熱から T F T 等を保護することができる。また、低抵抗のため、ロスが少なく、さらに各配線が互いに干渉しあうことを防ぐ。

【 0 0 7 5 】

また、従来、配線接続端子を作製するためには、マスクを使用する工程を追加しなければならなかった。しかし、上記作製工程と同時進行的に、(1)、(2)、(3)、(4)、(5)、のマスク工程によって作製でき、外部装置の配線接続端子を備えた、周辺駆動回路一体型の液晶表示装置を 5 枚以下のマスクで作製することができる。

【 0 0 7 6 】

そして、従来のように対向基板に大きめの位置合わせマ ジンをとってブラックマトリクスを形成すると、画素領域の開口率が下がるという問題点があった。しかし、本発明では、図 1 2 のように、画素電極や、コモン線の形状を変え、B M 化することもできる。そして、配線の形状を変えるだけでは遮光できない半導体層領域を半 B M として使用するか、もしくは、図 1 6 のように、この部分のみ対向基板にコモン電極より小さな B M を形成する。

こうすることで、大きめの位置あわせマ ジンをとる必要がなく、開口率の向上が図れ、さらに、半導体領域を光による劣化から保護できる。

【 0 0 7 7 】

このように本発明は、工業的価値は大きな発明であるが、特に大面積基板上に薄膜トランジスタを形成し、これをアクティブマトリクスやドライバ回路、C P U、メモリ に利用して、オンボ ードの超薄型パソコン、携帯端末とした場合には、その利用分野は限りなく拡大し、新たな産業を形成するに十分たる資質を有する。

【 図面の簡単な説明 】

【 0 0 7 8 】

【 図 1 】本発明の実施例 1 の液晶装置における画素部の構成を示す上面図

【 図 2 】本発明の実施例 1 の画素部の構成の A - A ' 線における断面図と、B - B ' 線における断面図と、C - C ' 線における断面図

【 図 3 】本発明の実施例 4 の画素部の構成の A - A ' 線における断面図と、B - B ' 線における断面図と、C - C ' 線における断面図

【 図 4 】本発明の実施例 1 の作製工程の断面図

【 図 5 】図 4 (c) の作製工程の上面図

【 図 6 】本発明の実施例 1 の作製工程の断面図

【 図 7 】図 6 (e) の作製工程の上面図

【 図 8 】本発明の実施例 1 の作製工程の断面図

【 図 9 】本発明の配線接続端子の上面図と A - A ' 線における断面図

【 図 1 0 】本発明の配線接続端子の作製工程の断面図

【 図 1 1 】本発明の実施例 2 の液晶装置における画素部の構成を示す上面図

【 図 1 2 】本発明の実施例 3 の液晶装置における画素部の構成を示す上面図

【 図 1 3 】本発明の実施例 3 の画素部の構成の A - A ' 線における断面図と、B - B ' 線における断面図と、C - C ' 線における断面図

【 図 1 4 】本発明の実施例 3 の作製工程の上面図

【 図 1 5 】本発明の実施例 3 の画素部等価回路図

【 図 1 6 】本発明の実施例 3 で対向基板を貼り合わせた時の上面図

【 図 1 7 】従来の櫛歯型電極で構成された画素部を示す上面図

【 0 0 7 9 】

以下に実施例を用いて、より詳細に本発明を説明する。

【 実施例 1 】

【 0 0 8 0 】

図 4 ~ 8 に本実施例の液晶表示装置の 6 0 0 以下での作製工程を示す。

10

20

30

40

50

【 0 0 8 1 】

まず、絶縁表面を有する基板 2 0 1 としてコーニング社製 # 1 7 3 7 を用いてその上
下地膜 (図示せず) として酸化珪素を 2 0 0 0 の厚さにスパッタ法によって成膜する。
石英基板などを用いる場合は、下地膜を成膜しなくともよい。

【 0 0 8 2 】

その後、酸化珪素の下地膜上に厚さ 3 0 0 ~ 1 0 0 0 、本実施例では厚さ 5 0 0
の非晶質珪素膜 1 0 1 をシランのグロー放電を利用した平行平板式のプラズマ C V D 法に
より、成膜する。減圧 C V D 法を用いる場合は、ジシランを利用して 4 5 0 ~ 6 5 0
、典型的には 5 4 0 にて非晶質珪素を成膜する。〔 図 4 (a) 〕

【 0 0 8 3 】

非晶質珪素膜を形成したら、レザ 光の照射または加熱処理、またはレザ 光の照
射と加熱処理を組み合わせた方法により、非晶質珪素膜に結晶性を持たせる。

【 0 0 8 4 】

得られた結晶性珪素膜をフォトリソグラフィ 法によって、(1) パタ ニングし、島
状領域を形成した。〔 図 4 (b) 〕

【 0 0 8 5 】

さらに、結晶性珪素膜の上に、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜及びそれらの
積層膜をプラズマ C V D 法によって、厚さ 5 0 0 ~ 2 0 0 0 、本実施例では 1 0 0 0
の酸化珪素膜をゲイト絶縁膜 2 0 5 として、全面に堆積した。プラズマ C V D 法として
は、シランと酸素の混合気体をグロー放電させて成膜している。〔 図 4 (c) 〕

この状態の上面図を図 5 に示す。

本実施例では、図 5 で示したように、半導体層の形状は、折れ曲がった形をしている。

【 0 0 8 6 】

その後、ゲイト絶縁膜上に、スパッタ法によって、厚さ 3 0 0 0 ~ 1 0 0 0 0 、本
実施例では、厚さ 4 0 0 0 のアルミニウム膜を第 1 の導電膜 2 1 0 として全面に堆積し
た。〔 図 6 (d) 〕

【 0 0 8 7 】

このアルミニウム成膜には、シリコンやスカンジウムなどの物質を 0 . 1 ~ 5 重量 % 含
有したアルミニウム合金ターゲットを使用する。本実施例ではスカンジウムを 0 . 2 重量
% 含有したターゲットを用いて成膜している。

【 0 0 8 8 】

スカンジウムを含有させるのは、後の 1 0 0 以上の熱工程において、アルミニウムの
異常成長により、ヒロックやウイスカ と呼ばれる突起物が形成されることを抑制するた
めである。

【 0 0 8 9 】

アルミニウム以外の材料としては、C r、T a、T i 等の導電性を有する金属を使用す
ることができる。

【 0 0 9 0 】

次に、第 1 の導電膜の上に形成したレジストマスクを用いて、アルミニウム膜とゲイト
絶縁膜を (2) パタ ニングし、レジストマスクを除去することにより、導電膜をチャネ
ル領域を覆う領域でゲイト線 1 0 2 に形成する。また同時に、コモン線を形成する。〔 図
6 (e) 〕

この状態の上面図を図 7 に示す。

【 0 0 9 1 】

そして、ゲイト線 1 0 2 をマスクとして、ゲイト絶縁膜 2 0 5 を除去する。

【 0 0 9 2 】

その後、N 型を付与する不純物として P (リン) イオンを公知のイオンド ピングによ
り、全面にド ピングする。

【 0 0 9 3 】

次に、N チャネル型の薄膜トランジスタを覆う (3) レジストマスクを配置する。

10

20

30

40

50

【0094】

その後、B（ボロン）イオンの注入を行う。

ここで、Bイオンを注入する前においては、Pイオンが低濃度に注入された低濃度不純物領域である。従って、Bイオンの注入によって容易にその導電型が反転する。

【0095】

そして、レジストマスクを取り除き、注入された不純物の活性化と不純物イオンが注入された領域のアニールを行うためにレザ光の照射を行う。

【0096】

次に、第1の層間絶縁膜として厚さ3000～8000、本実施例ではプラズマCVD法によって、厚さ5000の窒化珪素膜206を形成する。〔図8（g）〕これは、酸化珪素膜あるいは酸化珪素膜と窒化珪素膜の多層膜であってもよい。また、ポリイミド等からなる有機物を用いた膜を使用してもよい。

ポリイミド膜を用いる場合、層間膜は公知のスピンコティング法により、平坦化膜を形成する。

このように、平坦化することで、後の工程で形成される各々の第2金属配線を、基板に対してより概略同じ距離的位置にすることができる。

また、例えば、厚さ2500の窒化珪素膜形成後に、厚さ2500の平坦化したポリイミド膜を形成する多層膜としてもよい。

【0097】

その後、レジストマスクを層間絶縁膜上に形成する。

そして、ソース領域202に対するコンタクトホール、ドレイン領域203に対するコンタクトホールの形成を（4）エッチングにより行う。〔図8（h）〕

【0098】

そして、スパッタ法によって、厚さ3000～10000、本実施例では、厚さ4000のアルミニウム膜を第2の導電膜として全面に堆積した。

【0099】

このアルミニウム成膜は、第1の導電膜と同様にスカンジウムを0.2重量%含有したターゲットを用いて成膜している。

【0100】

アルミニウム以外の材料としては、Cr、Ta、Ti等の導電性を有する金属を使用することができる。

【0101】

次に、導電膜の上に形成したレジストマスクを用いて、アルミニウム膜を（5）パターニングし、レジストマスクを除去することにより、画素電極108、共通電極、ソース線106を形成する。〔図8（i）〕

この状態の上面図を図1に示す。

この時、基板から画素電極の端部までの距離と、基板から共通電極の端部までの距離は、概略一致している。

その後、第2層間膜として、ポリイミド等からなる平坦化膜を形成してもよい。またこの平坦化膜は保護膜の役目も果たす。

【0102】

次に、ポリイミドよりなる配向膜を形成した。配向膜としてはポリイミドを公知のスピンコート法もしくはDIP法などにより形成した。

【0103】

次に配向膜表面をラビングした。

ラビング方向については使用する液晶材料により異なる。誘電率異方性が正の材料の場合、電界方向に非平行であって、電界方向に45°またはそれより電界方向に近い角度をなす方向とする。さらにまた、誘電率異方性が負の材料の場合、電界に非垂直であって、電界に垂直な方向に45°またはそれより電界に垂直な方向に近い角度をなす方向とする

10

20

30

40

50

。

【0104】

次に、対向基板の作製過程についての詳細を説明する。

まず、対向基板上にブラックマトリクスを1000～2000の厚さに形成する。

【0105】

このブラックマトリクスは、後にセル組みした際に、画素表示部以外の金属配線の隙間のみ配置する。ブラックマトリクスとしては、金属薄膜や黒色顔料を含有した樹脂材料を用いる。

次に、画像をカラー表示する必要がある場合は、カラーフィルタを公知の構成で形成する。

【0106】

次に、ブラックマトリクス及びカラーフィルタを覆って透光性樹脂材料でなる平坦化膜を成膜する。

【0107】

この対向の基板側のラビング処理は、第1の基板のラビング方向に平行、もしくは反平行をなすようになされる。

【0108】

このようにして形成された基板と対向の基板を重ね合わせて液晶パネルを形成した。前記一对の基板は、基板間に球状スペーサーを挟むことでパネル面内全体で均一な基板間隔となるようにした。また、前記一对の基板を接着固定するためにエポキシ系の接着剤でシールした。シールのパターンは画素領域、周辺駆動回路領域を囲むようにした。この後所定の形状に前記一对の基板を切断した後、基板間に液晶材料を注入した。

【0109】

最後に偏光板を基板の外側に二枚貼り合わせて、液晶表示装置を完成する。

【実施例2】

【0110】

本実施例に示す構成においては、実施例1と比較して、電極パターンが異なる。

【0111】

まず、絶縁表面を有する基板上に下地膜(図示せず)と非晶質珪素膜を実施例1と同様な方法により、成膜する。

【0112】

非晶質珪素膜を形成したら、実施例1と同様に、非晶質珪素膜に結晶性を持たせる。

【0113】

得られた結晶性珪素膜を実施例1と同様な方法で、島状領域を形成する。この結晶性珪素膜1101の形状は、図11で示した通りである。

【0114】

さらに、結晶性珪素膜の上に、ゲート絶縁膜を実施例と同様な方法で、全面に堆積する。

。

【0115】

その後、ゲート絶縁膜上に、アルミニウム膜を実施例1と同様な方法で、第1の導電膜として全面に堆積する。

【0116】

次に、第1の導電膜の上に形成したレジストマスクを用いて、アルミニウム膜とゲート絶縁膜をパターニングし、レジストマスクを除去することにより、導電膜をチャンネル領域を覆う領域でゲイト線に形成する。また同時に、コモン線と線幅6μmのソース線を形成する。

【0117】

そして、ゲート絶縁膜を除去する。

【0118】

その後、実施例1と同様な方法で、N型を付与する不純物としてP(リン)イオンを公

10

20

30

40

50

知のイオンド ピングにより、全面にド ピングする。

【0119】

次に、Nチャンネル型の薄膜トランジスタを覆うレジストマスクを配置する。

【0120】

その後、実施例1と同様な方法で、B(ボロン)イオンの注入を行う。

そして、レザアニルを行う。

【0121】

次に、実施例1と同様な方法で、層間絶縁膜を形成する。また、この層間膜上には公知のスピニング法による平坦化膜を積層してもよい。

【0122】

その後、レジストマスクをポリイミド膜上に形成する。

そして、ソース領域に対するコンタクトホール、ドレイン領域に対するコンタクトホールの形成をエッチングにより行う。

【0123】

そして、実施例1と同様な方法で、アルミニウム膜を第2の導電膜として全面に堆積する。

【0124】

次に、導電膜の上に形成したレジストマスクを用いて、アルミニウム膜をパターニングし、レジストマスクを除去することにより、画素電極及びコモン電極を形成する。

本実施例では、1画素中に、コモン電極1110、1111、1112を3つ形成し、その隣合うコモン電極の間に幅2 μ mの画素電極1108、1109を形成する。

【0125】

このように、形成された画素部を図11に示す。

【0126】

以下、実施例と同様な方法で、液晶セルを作製した。さらにこの後、実施例1と同様に一对の基板の上に、偏光板を貼り付け、液晶電気光学装置とした。

【実施例3】

【0127】

本実施例に示す構成においては、図12、図13に示したように、実施例1と比較して、画素電極パターンと、コモン電極パターンと、ブラックマトリクスを有する対向基板である点が異なる。

【0128】

まず、絶縁表面を有する基板の上に下地膜(図示せず)と非晶質珪素膜を実施例1と同様な方法により、成膜する。

【0129】

非晶質珪素膜を形成したら、実施例1と同様に、非晶質珪素膜に結晶性を持たせる。

【0130】

得られた結晶性珪素膜を実施例1と同様な方法で、島状領域1201を形成する。

【0131】

さらに、この結晶性珪素膜1201の上に、ゲート絶縁膜1305を実施例と同様な方法で、全面に堆積する。

【0132】

その後、ゲート絶縁膜上に、アルミニウム膜を実施例1と同様な方法で、第1の導電膜として全面に堆積する。

【0133】

次に、第1の導電膜の上に形成したレジストマスクを用いて、アルミニウム膜とゲート絶縁膜をパターニングし、レジストマスクを除去することにより、導電膜をチャンネル領域を覆う領域でゲート線1202、1205に形成する。また同時に、コモン線1203、1204を形成する。

この状態での上面図を図14に示す。

10

20

30

40

50

図14に示したように、コモン線1203の形状を変え、BMの役割も兼ねるような形にする。

【0134】

そして、ゲイト絶縁膜を除去する。

【0135】

その後、実施例1と同様な方法で、N型を付与する不純物としてP(リン)イオンを公知のイオンドープングにより、全面にドープングする。

【0136】

次に、Nチャンネル型の薄膜トランジスタを覆うレジストマスクを配置する。

【0137】

その後、実施例1と同様な方法で、B(ボロン)イオンの注入を行う。

そして、レザアニルを行う。

【0138】

次に、実施例1と同様な方法で、層間絶縁膜を形成する。この層間膜上に公知のスピンコートリング法による平坦化膜を積層してもよい。

【0139】

その後、レジストマスクをポリイミド膜上に形成する。

そして、ソース領域1302に対するコンタクトホール、ドレイン領域1303に対するコンタクトホールの形成をエッチングにより行う。

【0140】

そして、実施例1と同様な方法で、アルミニウム膜を第2の導電膜として全面に堆積する。

【0141】

次に、導電膜の上に形成したレジストマスクを用いて、アルミニウム膜をパターニングし、レジストマスクを除去することにより、画素電極1208と、コモン電極1210、1211と、ソース線1206、1207を形成する。

【0142】

この状態の上面図を図12、断面図を図13に示す。

この時の画素電極のパターンは、図12で示したようにT字型をしており、コモン線とゲイト線の両方と重なっており、その重なっている所で、保持容量を形成している。

本実施例の画素部の等価回路図を図15に示す。

【0143】

次に、本実施例の対向基板の作製過程についての詳細を説明する。

まず、対向基板上にブラックマトリクスを1000~2000の厚さに形成する。ブラックマトリクスに用いる材料としては、金属薄膜や黒色顔料を含有した樹脂材料を用いる。

【0144】

本実施例のように、配線の形状を変えても遮光できない領域である半導体層領域だけを対向基板のBMで遮光する。(図16)

従って、このブラックマトリクス1600は、コモン電極1208よりも小さいものでよく、画素表示領域には形成しない。

この小さなブラックマトリクスを形成しても、開口率の低下には全く関係がない。

また、配線の形状を変えるだけでは遮光できない領域である半導体層領域を、遮光性を有し、BMとして機能する材料で形成してもよい。

こうすることで、大きめの位置あわせマージンをとる必要がなく、開口率の向上が図れると同時に、半導体領域を光の劣化から保護する。

【0145】

以下、実施例1と同様な方法で、液晶セルを作製した。さらにこの後、実施例1と同様に一对の基板の上に、偏光板を貼り付け、液晶電気光学装置とした。

【実施例4】

10

20

30

40

50

【0146】

本実施例に示す構成においては、図3に示したように、実施例1と比較して、画素電極と、コモン電極を形成した後に第2層間絶縁膜を形成する点が異なる。よって、上面図は図1と同じである。

【0147】

また、実施例1とは、画素電極108と、コモン電極110、111と、ソス線106、107を形成する工程まで全く同じである。

【0148】

画素電極と、コモン電極と、ソス線を形成した後、第2層間絶縁膜として厚さ3000～8000、本実施例ではプラズマCVD法によって、厚さ5000の窒化珪素膜230を形成する。

この膜は、酸化珪素膜あるいは酸化珪素膜と窒化珪素膜の多層膜であってもよい。また、ポリイミド等からなる有機物を用いた膜を使用してもよい。

ポリイミド膜を用いる場合、層間膜は公知のスピンコティンク法により、平坦化できる。このように、平坦化することで、後の工程で形成される各々の第2金属配線を、基板に対してより概略同じ距離的位置にすることができる。

また、厚さ2500の窒化珪素膜形成後に、厚さ2500の平坦化したポリイミド膜を形成する多層膜としてもよい。

この第2層間絶縁膜はTFTを保護する役目を果たす。また、この膜の厚さを変えることによって、液晶層にかかる電界の強度を調節できる。

【0149】

以下、実施例1と同様な方法で、液晶セルを作製した。さらにこの後、実施例1と同様に一对の基板上に、偏光板を貼り付け、液晶電気光学装置とした。

【実施例5】

【0150】

本実施例に示す構成においては、実施例1と同時進行的に、図9(a)で示した外部装置の配線接続端子900を(1)、(2)、(3)、(4)、(5)、での5枚のマスクによって作製する。この配線接続端子の断面図を図9(b)で示す。

【0151】

まず、実施例1と同様に、絶縁表面を有する基板上に、非晶質珪素膜を形成し、それを所望の大きさにフォトリソグラフィ法を用いて配線接続端子の形状をしたアイランドに、(1)パターニングを行う。

しかし、この工程は、高さを調整するだけであるので、配線接続端子を作製する上では、なくてもよい。

【0152】

次に、実施例1と同様に、その上にゲイト絶縁膜205を成膜する。

【0153】

前記ゲイト絶縁膜の上に、実施例1と同様に、第1の導電膜210を形成する。

この第1の導電膜の材料としてはCr、Al、Ta、Tiを使用することが可能である。また、それらの膜を組み合わせた多層膜を形成してもよい。

【0154】

次に、実施例1と同様に、フォトリソグラフィ法を用いて、(2)パターニングを行い、第1配線端子211を形成する。

【0155】

そして、実施例1と同様に、ゲイト絶縁膜205をエッチングし、第1の層間絶縁膜206を形成する。

【0156】

その後、実施例1と同様に、フォトリソグラフィ法を用いて、(4)パターニングを行い、第1配線端子211上の第1の層間絶縁膜を除去し、その上に公知のスパッタ法により第2の導電膜220を形成する。

そして再びフォトリソグラフィ法を用いて、(5)パターニングを行い、第2配線端子221を形成する。

【0157】

その後、実施例4のように第2層間絶縁膜230を形成する場合には、第2配線端子221の表面が覆われてしまう。〔図10(a)〕そこで、 O_2 アッシングを行い、表面を削り取り、第2配線端子の表面及び第2配線の表面をむき出しにする。〔図10(b)〕こうして、外部装置の配線接続端子900も(1)、(2)、(3)、(4)、(5)、の4~5枚のマスクによって作製できる。

【0158】

上記作製工程により、外部装置の配線接続端子を備えた、周辺駆動回路一体型の液晶表示装置を5枚以下のマスクで作製する。

【実施例6】

【0159】

本実施例の構成は下記の要件を除けば、実施例1と同一である。

【0160】

まず、絶縁基板として、石英基板を用いる。なお、加熱処理温度に耐える基板であれば、石英に限定されるものではない。

この石英基板上に、下地膜として、酸化珪素膜を3000の厚さに成膜する。

【0161】

次に、非晶質珪素膜を減圧CVD法で600の厚さに成膜する。

この非晶質珪素膜の厚さは、2000以下とすることが好ましい。

【0162】

その後、非晶質珪素膜の一部に珪素の結晶化を助長する金属元素を選択的に導入させ、640で、4時間の加熱処理を行い、結晶化させる。

【0163】

結晶性珪素膜を得たら、HClを3%含有させた酸素雰囲気中において950の加熱処理を行うことにより、熱酸化膜を200の厚さに成膜する。

【0164】

次に、熱酸化膜を除去する。そして、(1)パターニングを施し、島状領域を得た。

【0165】

以下、実施例1と同様な方法で、液晶セルを作製した。さらにこの後、実施例1と同様に一对の基板上に、偏光板を貼り付け、液晶電気光学装置とした。

【符号の説明】

【0166】

- 101 非晶質半導体層
- 102 ゲイト線 n
- 103 コモン線 n
- 104 コモン線 n - 1
- 105 ゲイト線 n + 1
- 106 ソース線 n
- 107 ソース線 n + 1
- 108 画素電極
- 110、111 コモン電極
- 201 絶縁基板
- 202 ソース領域
- 203 ドレイン領域
- 204 チャネル領域
- 205 ゲイト絶縁膜
- 206 第1の層間膜
- 210 第1の導電膜

10

20

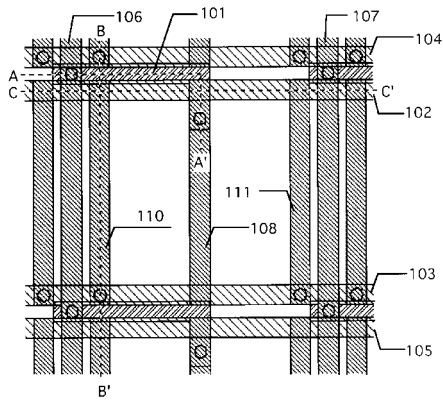
30

40

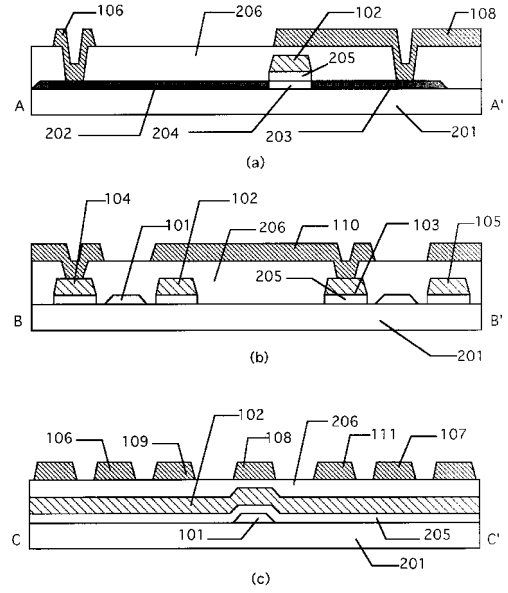
50

2 1 1	第 1 導電配線	
2 2 0	第 2 の導電膜	
2 2 1	第 2 導電配線	
2 3 0	第 2 層間絶縁膜	
3 0 1	非晶質半導体層	
3 0 2	ゲイト線 n	
3 0 3	コモン線 n	
3 0 4	コモン線 n - 1	
3 0 5	ゲイト線 n + 1	
3 0 6	ソ ス線 n	10
3 0 7	ソ ス線 n + 1	
9 0 0	配線接続端子	
1 1 0 1	非晶質半導体層	
1 1 0 2	ゲイト線 n	
1 1 0 3	コモン線 n	
1 1 0 4	コモン線 n - 1	
1 1 0 5	ゲイト線 n + 1	
1 1 0 6	ソ ス線 n	
1 1 0 7	ソ ス線 n + 1	
1 1 0 8	画素電極	20
1 1 1 0、1 1 1 1、1 1 1 2	コモン電極	
1 2 0 1	非晶質半導体層	
1 2 0 2	ゲイト線 n	
1 2 0 3	コモン線 n	
1 2 0 4	コモン線 n - 1	
1 2 0 5	ゲイト線 n + 1	
1 2 0 6	ソ ス線 n	
1 2 0 7	ソ ス線 n + 1	
1 2 0 8	画素電極	
1 2 1 0、1 2 1 1	コモン電極	30
1 3 0 1	絶縁基板	
1 3 0 2	ソ ス領域	
1 3 0 3	ドレイン領域	
1 3 0 4	チャネル領域	
1 3 0 5	ゲイト絶縁膜	
1 3 0 6	第 1 の層間膜	
1 6 0 0	ブラックマトリクス	
1 7 0 1	非晶質半導体層	
1 7 0 3	コモン線	
1 7 0 4	ゲイト線	40
1 7 0 5	ゲイト線 n + 1	
1 7 0 6	ソ ス線 n	
1 7 0 7	ソ ス線 n + 1	
1 7 0 8	画素電極	

【図1】

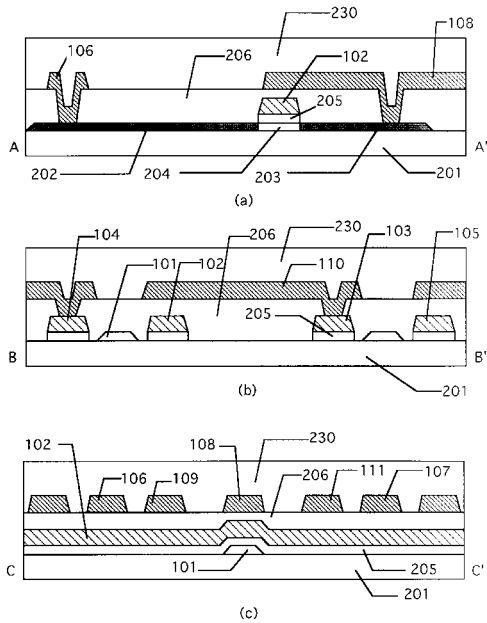


【図2】



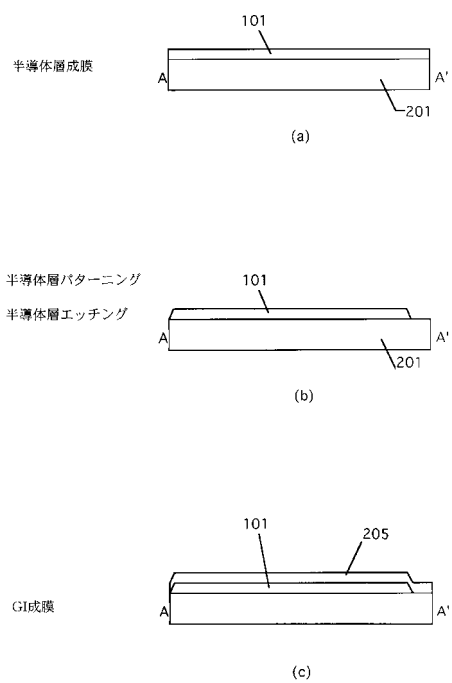
実施例1断面図

【図3】



実施例4断面図

【図4】



【図5】

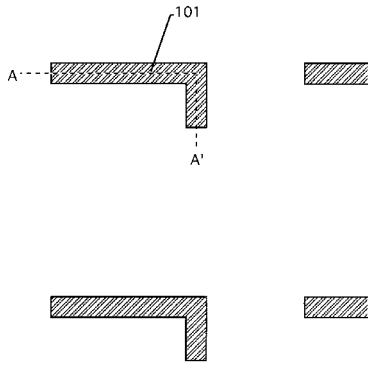
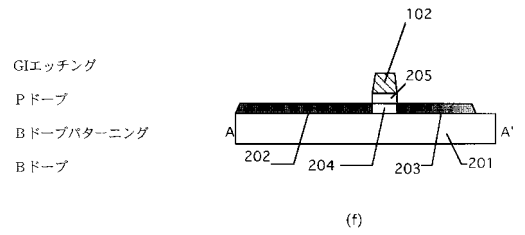
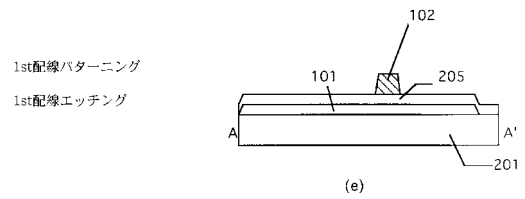
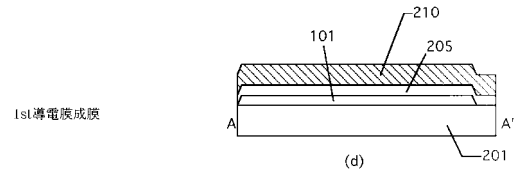


図4(c)の上面図

【図6】



【図7】

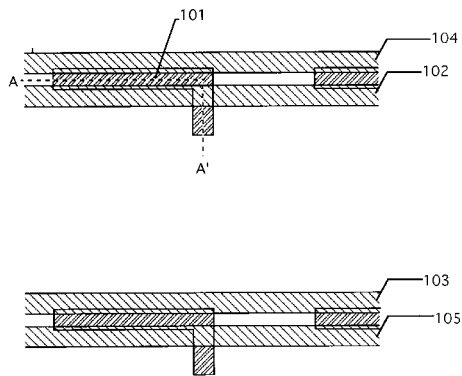
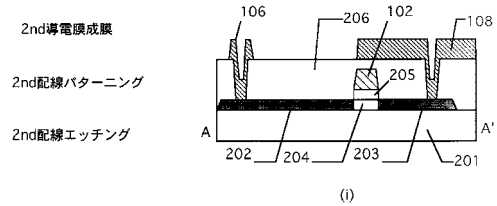
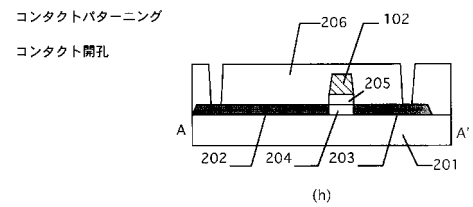
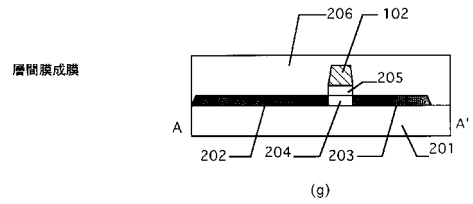
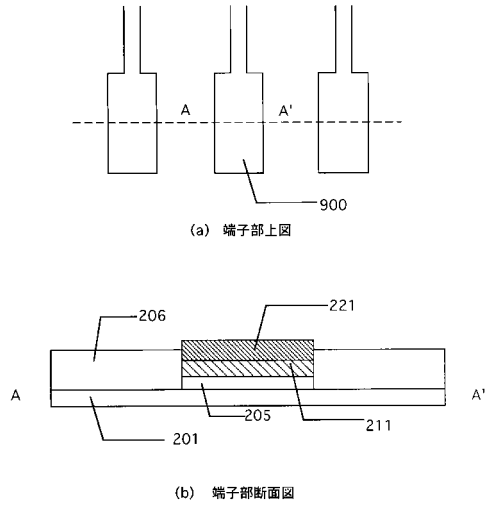


図6(f)の上面図

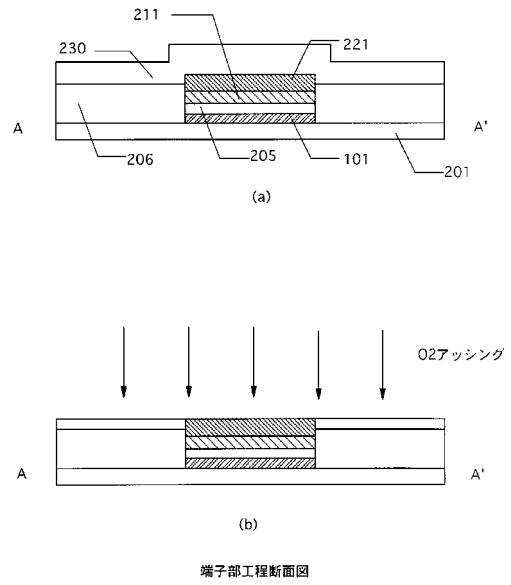
【図8】



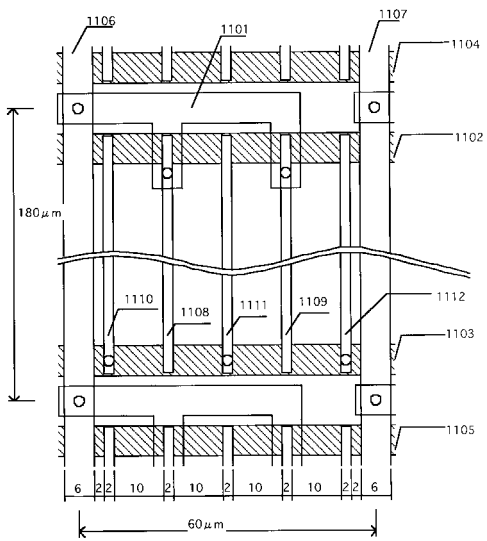
【図 9】



【図 10】

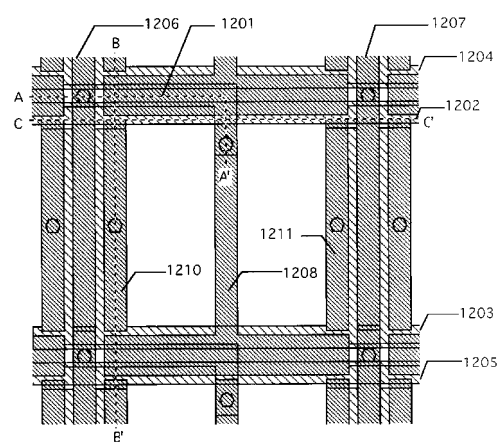


【図 11】



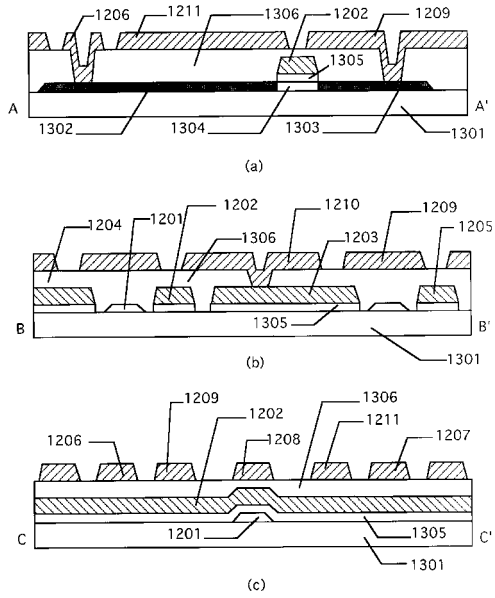
実施例 2 上面図

【図 12】



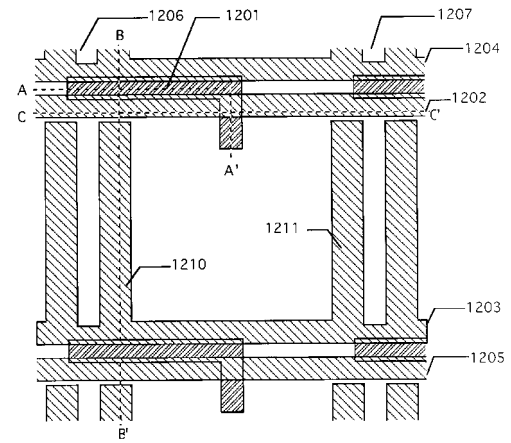
実施例 3 の上面図

【図13】



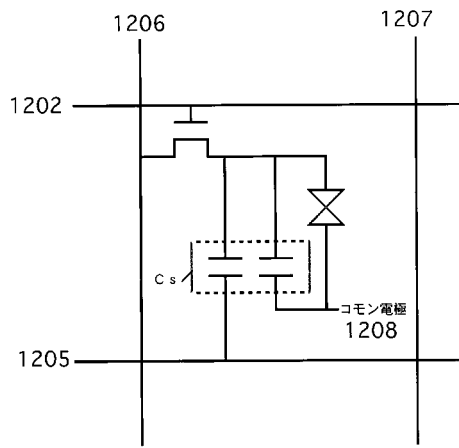
実施例3断面図

【図14】



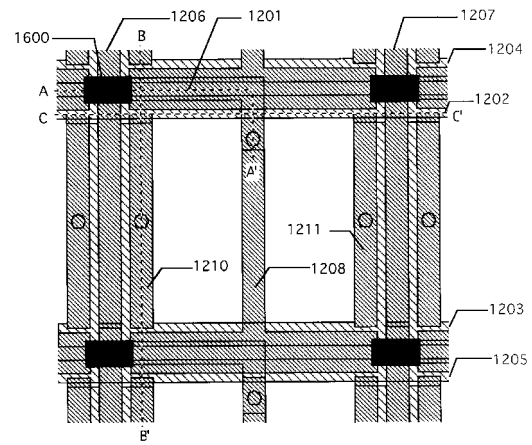
実施例3の上面図

【図15】



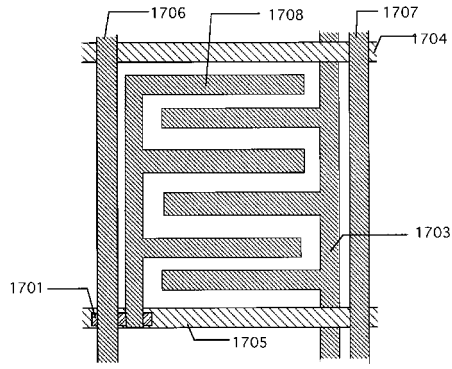
画素部等価回路図

【図16】



対向基板と貼り合わせた時の上面図

【図 17】



従来図

フロントページの続き

(72)発明者 桑原 秀明

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 右田 昌士

(56)参考文献 特開平08-286176(JP,A)

特開平06-160878(JP,A)

特開平07-072491(JP,A)

特開平07-128683(JP,A)

特開平08-293609(JP,A)

特開平08-254712(JP,A)

特開平07-159786(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1333

G02F 1/1335

G02F 1/1368