



(12) 发明专利申请

(10) 申请公布号 CN 119339755 A

(43) 申请公布日 2025. 01. 21

(21) 申请号 202410304932.9

(22) 申请日 2024.03.18

(30) 优先权数据

10-2023-0094560 2023.07.20 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道

申请人 高丽大学校 产学协力团

(72) 发明人 朴钟善 金东洙 朴盛健

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理师 邵亚丽

(51) Int. Cl.

G11C 11/16 (2006.01)

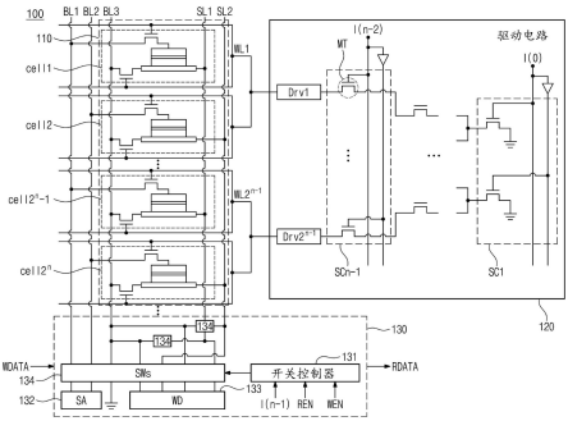
权利要求书4页 说明书17页 附图25页

(54) 发明名称

包括自旋轨道转矩-磁性随机存取存储器的现场可编程门阵列器件及其操作方法

(57) 摘要

公开了一种包括多个查找表的现场可编程门阵列器件,每个查找表存储数据。每个查找表包括单元阵列、驱动电路和外围电路,单元阵列包括连接到多条字线的单元,驱动电路通过多条字线连接到单元阵列,外围电路通过多条位线和源极线连接到单元阵列,并且被配置为控制驱动电路。驱动电路基于第一输入信号驱动字线中的第一字线。外围电路基于第一命令和第二输入信号对连接到第一字线的第一单元执行数据写入操作,并且基于第二命令和第二输入信号对连接到第一字线的第一单元执行数据读取操作。



1. 一种现场可编程门阵列器件, 包括:

多个查找表, 每个查找表被配置为存储数据, 所述多个查找表中的每个查找表包括:
单元阵列, 包括连接到多条字线的多个单元,

驱动电路, 通过所述多条字线连接到所述单元阵列, 并且被配置为基于从外部设备接收的第一输入信号来驱动所述多条字线中的至少第一字线, 以及

外围电路, 通过多条位线和多条源极线连接到所述单元阵列, 并且被配置为控制所述驱动电路,

其中, 所述外围电路被配置为:

基于从所述外部设备接收的第一命令和第二输入信号, 对所述多个单元中的连接到所述第一字线的单元中的第一单元执行数据写入操作, 以及

基于从所述外部设备接收的第二命令和所述第二输入信号, 对所述多个单元中的连接到所述第一字线的所述单元中的所述第一单元执行数据读取操作, 以及

其中连接到所述第一字线的所述单元中的每个单元连接到所述多条位线中的两条位线和所述多条源极线中的一条源极线。

2. 根据权利要求1所述的现场可编程门阵列器件, 其中

所述驱动电路包括多个选择电路, 每个选择电路包括多个晶体管,

针对所述多个选择电路中的每个选择电路不同地设置所述多个晶体管的数量,

所述第一输入信号被分别施加到所述多个选择电路, 以及

在所述多个选择电路中的每一个中, 所述多个晶体管中的至少一些晶体管基于所述第一输入信号而导通。

3. 根据权利要求2所述的现场可编程门阵列器件, 其中, 在所述多个选择电路中的每一个选择电路中, 所述多个晶体管利用N型金属氧化物半导体 (NMOS) 晶体管、p型MOS (PMOS) 晶体管或高电子迁移率晶体管 (HEMT) 中的至少一个来实施。

4. 根据权利要求1所述的现场可编程门阵列器件, 其中

连接到所述第一字线的所述单元包括所述第一单元和第二单元,

所述第一单元和所述第二单元中的每一个包括写入晶体管, 所述写入晶体管连接到所述第一字线和所述多条位线中的一条位线,

包括在所述第一单元中的存储器连接到包括在所述第一单元中的所述写入晶体管的第一端和所述多条源极线中的第一源极线, 并且

包括在所述第二单元中的存储器连接到包括在所述第二单元中的所述写入晶体管的第一端和所述多条源极线中与所述第一源极线不同的第二源极线。

5. 根据权利要求4所述的现场可编程门阵列器件, 其中所述第一单元和所述第二单元的存储器中的每一个包括自旋轨道转矩-磁性随机存取存储器 (SOT-MRAM)。

6. 根据权利要求1所述的现场可编程门阵列器件, 其中

连接到所述第一字线的所述单元包括所述第一单元和第二单元,

包括在所述第一单元中的读取晶体管连接到所述第一字线和所述多条位线中的第一位线, 并且

包括在所述第二单元中的读取晶体管连接到所述第一字线和所述多条位线中与所述第一位线不同的第二位线。

7. 根据权利要求1所述的现场可编程门阵列器件,其中所述外围电路包括:
多个开关,所述多个开关通过所述多条位线和所述多条源极线连接到所述单元阵列,
以及
开关控制器,所述开关控制器被配置为控制所述多个开关。
8. 根据权利要求7所述的现场可编程门阵列器件,其中所述开关控制器包括:
第一逻辑电路,被配置为对所述第二输入信号及写入使能信号执行第一逻辑运算以输出用于控制所述多个开关中的第一开关的第一控制信号,及
第二逻辑电路,被配置为对所述第二输入信号及读取使能信号执行第二逻辑运算以输出用于控制所述多个开关中的第二开关的第二控制信号,
其中所述外围电路被配置为响应于所述第一命令而生成所述写入使能信号且响应于所述第二命令而生成所述读取使能信号。
9. 根据权利要求8所述的现场可编程门阵列器件,其中所述第一逻辑运算和所述第二逻辑运算中的每一个包括AND运算。
10. 根据权利要求8所述的现场可编程门阵列器件,其中
连接到所述第一字线的所述单元包括所述第一单元和第二单元,
所述外围电路被配置为基于所述第一输入信号和所述第二输入信号向所述多条源极线施加不同的电压,并且
所述外围电路被配置为基于所述不同的电压和所述第一控制信号关于所述第一单元或所述第二单元中的一个单元执行所述数据读取操作。
11. 根据权利要求10所述的现场可编程门阵列器件,其中,
所述外围电路被配置为基于响应于具有第一逻辑值的所述第二输入信号而施加到所述多条源极线的电压之间的差来关于所述第二单元执行所述数据写入操作,并且
所述外围电路被配置为基于响应于具有第二逻辑值的所述第二输入信号而施加到所述多条源极线的电压之间的差来关于所述第一单元执行所述数据写入操作。
12. 根据权利要求10所述的现场可编程门阵列器件,其中,当所述第二输入信号具有第一逻辑值时,所述外围电路被配置为基于所述第二控制信号感测所述多条位线中的连接到所述第一单元的位线的电压变化。
13. 根据权利要求10所述的现场可编程门阵列器件,其中,当所述第二输入信号具有第二逻辑值时,所述外围电路被配置为基于所述第二控制信号感测所述多条位线中的连接到所述第二单元的位线的电压变化。
14. 一种现场可编程门阵列器件的操作方法,所述现场可编程门阵列器件包括单元阵列、驱动电路和外围电路,所述单元阵列包括多个单元,所述驱动电路通过多条字线连接到所述单元阵列,所述外围电路通过多条位线和多条源极线连接到所述单元阵列并且被配置为控制所述驱动电路,所述方法包括:
在所述驱动电路处接收来自外部设备的第一输入信号;
在所述驱动电路处基于所述第一输入信号驱动所述多条字线中的第一字线;
在所述外围电路处从所述外部设备接收命令、地址和第二输入信号;以及
基于所述命令和所述第二输入信号,在所述外围电路处对所述多个单元中的连接到所述第一字线的单元中的第一单元执行数据读取操作,

其中连接到所述第一字线的所述单元中的每个单元连接到所述多条位线中的两条位线和所述多条源极线中的一条源极线。

15. 根据权利要求14所述的方法, 其中

所述驱动电路包括多个选择电路, 每个选择电路包括多个晶体管,

针对所述多个选择电路中的每个选择电路不同地设置所述多个晶体管的数量, 并且

所述第一字线的驱动包括响应于所述第一输入信号被分别施加到所述多个选择电路, 在所述驱动电路处基于所述第一输入信号导通多个开关中的至少一些开关。

16. 根据权利要求14所述的方法, 其中, 执行所述数据读取操作包括:

在所述外围电路处对所述第二输入信号及读取使能信号执行逻辑运算, 及

在所述外围电路处基于所述逻辑运算的结果感测所述多条位线中的一条位线的电压变化, 且

其中所述读取使能信号由所述外围电路响应于所述命令而生成。

17. 根据权利要求16所述的方法, 其中

连接到所述第一字线的所述单元包括所述第一单元和第二单元,

其中, 执行所述数据读取操作包括:

响应于所述第二输入信号具有第一逻辑值, 在所述外围电路处基于所述逻辑运算的所述结果感测所述多条位线中的连接到所述第一单元的位线的电压变化。

18. 根据权利要求16所述的方法, 其中

连接到所述第一字线的所述单元包括所述第一单元和第二单元,

其中, 执行所述数据读取操作包括: 响应于所述第二输入信号是第二逻辑值, 在所述外围电路处基于所述逻辑运算的所述结果感测所述多条位线中的连接到所述第二单元的位线的电压变化。

19. 根据权利要求16所述的方法, 其中所述逻辑运算中的每一者包括AND运算。

20. 一种现场可编程门阵列器件的操作方法, 所述现场可编程门阵列器件包括单元阵列、驱动电路和外围电路, 所述单元阵列包括多个单元, 所述驱动电路通过多条字线连接到所述单元阵列, 所述外围电路通过多条位线和多条源极线连接到所述单元阵列并且被配置为控制所述驱动电路, 所述方法包括:

在所述驱动电路处接收来自外部设备的第一输入信号;

在所述驱动电路处基于所述第一输入信号驱动所述多条字线中的第一字线;

在所述外围电路处从所述外部设备接收写入命令、写入地址、写入数据和第二输入信号;

基于所述写入命令和所述第二输入信号, 在所述外围电路处将所述写入数据写入到所述多个单元中的连接到所述第一字线的单元中的第一单元;

在所述外围电路处从所述外部设备接收读取命令、读取地址和所述第二输入信号; 以及

基于所述读取命令和所述第二输入信号, 在所述外围电路处读取所述多个单元中的连接到所述第一字线的所述单元中的第二单元,

其中所述写入数据的写入包括:

在所述外围电路处关于所述第二输入信号和写入使能信号执行第一逻辑运算,

在所述外围电路处基于所述第一输入信号和所述第二输入信号向所述多条源极线施加不同的电压,以及

在所述外围电路处基于所述电压和所述第一逻辑运算的结果将所述写入数据写入到所述多个单元中的所述第一单元,

其中,所述写入使能信号由所述外围电路响应于所述写入命令而生成,其中,读取所述多个单元中的连接到所述第一字线的所述单元中的所述第二单元包括:

在所述外围电路处关于所述第二输入信号和所述读取命令执行第二逻辑运算,以及

在所述外围电路处基于所述第二逻辑运算的结果感测所述多条位线中的连接到所述多个单元中的所述第二单元的位线的电压变化,其中,所述读取使能信号由所述外围电路响应于所述读取命令而生成,并且

其中连接到所述第一字线的所述单元中的每个单元连接到所述多条位线中的两条位线和所述多条源极线中的一条源极线。

包括自旋轨道转矩-磁性随机存取存储器的现场可编程门阵列器件及其操作方法

[0001] 相关申请的交叉引用

[0002] 本申请根据35U.S.C.§119要求于2023年7月20日向韩国知识产权局提交的第10-2023-0094560号韩国专利申请的优先权,该申请的全部公开内容通过引用合并于此

技术领域

[0003] 本文描述的本公开的实施例涉及一种电子,并且更具体地,涉及一种包括自旋轨道转矩-磁性随机存取存储器 (spin orbit torque-magnetic random access memory, SOT-MRAM) 的现场可编程门阵列器件 (FPGA) 及其操作方法。

背景技术

[0004] FPGA是包括可编程金属布线和可编程逻辑元件的半导体器件,使得可以在现场实现期望的功能。

[0005] 包括在FPGA中的可编程逻辑元件包括查找表,该查找表被配置为预先存储输入到FPGA的数据的处理结果。该查找表包括多个单元,每个单元包括半导体存储器件。

[0006] 由于FPGA需要高速操作和/或低操作电压,因此查找表包括作为半导体存储器件的磁性存储器件。例如,查找表可包括SOT-MRAM作为磁性存储器件。

[0007] 根据查找表中包括的单元是如何设计的,查找表的面积可能显著增加,从而导致从查找表读取处理结果所花费的时间增加。此外,因为查找表占据FPGA总面积的很大一部分,所以改变查找表中包括的单元的设计使得FPGA的面积减小并且从FPGA读取处理结果所花费的时间减少的方式将是有益的。

发明内容

[0008] 本公开的实施方式提供了一种现场可编程门阵列器件及其操作方法,该现场可编程门阵列器件能够提供具有小面积的查找表,同时包括SOT-MRAM。

[0009] 根据实施例,现场可编程门阵列器件包括多个查找表,每个查找表被配置为存储数据。多个查找表中的每一个包括:单元阵列,其包括连接到多条字线的多个单元;驱动电路,其通过多条字线连接到单元阵列,并且被配置为基于从外部设备接收的第一输入信号来驱动多条字线中的至少第一字线;以及外围电路,其通过多条位线和多条源极线连接到单元阵列,并且被配置为控制驱动电路。外围电路基于从外部设备接收的第一命令和第二输入信号对多个单元中连接到第一字线的单元中的第一单元执行数据写入操作,并且基于从外部设备接收的第二命令和第二输入信号对多个单元中连接到第一字线的单元中的第一单元执行数据读取操作。连接到第一字线的每个单元连接到多条位线中的两条位线和多条源极线中的一条源极线。

[0010] 根据实施例,一种现场可编程门阵列器件的操作方法,现场可编程门阵列器件包括具有多个单元的单元阵列、通过多条字线连接到单元阵列的驱动电路、以及通过多条位

线和多条源极线连接到单元阵列的外围电路,并且控制驱动电路包括:在驱动电路处接收来自外部设备的第一输入信号,在驱动电路处基于第一输入信号驱动多条字线中的第一字线,在驱动电路处接收来自外部设备的命令、地址和第二输入信号,并且在外围电路处基于命令和第二输入信号对多个单元中的连接到第一字线的单元中的第一单元执行数据读取操作。连接到第一字线的每个单元连接到多条位线中的两条位线和多条源极线中的一条源极线。

[0011] 根据实施例,一种现场可编程门阵列器件的操作方法,现场可编程门阵列器件包括具有多个单元的单元阵列、通过多条字线连接到单元阵列的驱动电路、以及通过多条位线和多条源极线连接到单元阵列的外围电路,并且控制驱动电路包括:在驱动电路处接收来自外部设备的第一输入信号,在驱动电路处基于第一输入信号驱动多条字线中的第一字线,在外围电路处接收来自外部设备的写入命令、写入地址、写入数据和第二输入信号,在外围电路处基于写入命令和第二输入信号将写入数据写入到多个单元中的连接到第一字线的单元中的第一单元,在外围电路处接收来自外部设备的读取命令、读取地址和第二输入信号,并且在外围电路处基于读取命令和第二输入信号读取多个单元中的连接到第一字线的单元中的第二单元。写入数据的写入包括在外围电路处关于第二输入信号和写入使能信号执行第一逻辑运算,在外围电路处基于第一输入信号和第二输入信号将不同的电压施加到多个源极线,以及在外围电路处基于电压和第一逻辑运算的结果将写入数据写入到多个单元中的第一单元。写入使能信号由外围电路响应于写入命令而生成。读取多个单元中的连接到第一字线的单元中的第二单元包括在外围电路处关于第二输入信号及读取命令执行第二逻辑运算,及在外围电路处基于第二逻辑运算的结果感测多条位线中的连接到多个单元中的第二单元的位线的电压变化。读取使能信号由外围电路响应于读取命令而生成,并且连接到第一字线的每个单元连接到多条位线中的两条位线和多条源极线中的一条源极线。

附图说明

[0012] 通过参考附图详细描述本公开的实施例,本公开的上述和其他目的和特征将变得显而易见。

[0013] 图1A和图1B是示出根据本公开的至少一个实施例的现场可编程门阵列(FPGA)器件的图。

[0014] 图2是详细示出FPGA器件中包括的一个单元的图。

[0015] 图3A和图3B是详细示出包括在FPGA器件中的查找表LUT的图。

[0016] 图4A至图4C示出了关于查找表LUT中包括的一个单元执行数据写入操作和数据读取操作的示例。

[0017] 图5是详细示出根据本公开的至少一个实施例的FPGA器件中包括的两个单元的图。

[0018] 图6是详细示出根据本公开的至少一个实施例的FPGA器件中包括的查找表LUT的图。

[0019] 图7是详细示出根据本公开的至少一个实施例的查找表LUT中包括的开关控制器的图。

[0020] 图8A是图2的一个单元的平面图。

[0021] 图8B是根据本公开的至少一个实施例的图5的两个单元的平面图。

[0022] 图8C至图8E是沿着图8B的线A-A'、线B-B'和线C-C'截取的截面图。

[0023] 图9A至图9C是用于描述根据本公开的至少一个实施例的与连接到图6的一条字线的单元相关联的数据读取操作的图。

[0024] 图10A至图11C是用于描述根据本公开的至少一个实施例的与连接至图6的一条字线的单元相关联的数据写入操作的图。

[0025] 图12是根据本公开至少一个实施例的执行数据写入操作的查找表LUT的操作方法的流程图。

[0026] 图13是根据本公开的至少一个实施例的执行数据读取操作的查找表LUT的操作方法的流程图。

具体实施方式

[0027] 下面,将详细且清楚地描述本公开的实施例,使得本领域普通技术人员容易地执行本公开。在附图中,相同的附图标记表示相同的元件,并且为了描述的清楚和方便,可以夸大元件的尺寸。此外,下面描述的实施例仅是示例,并且可以从这些实施例进行各种修改。

[0028] 另外,为了便于解释,本文可以使用空间相对术语,例如“下面”、“下方”、“下部”、“下面”、“上方”、“上部”等,以描述如图所示的一个元件或特征与另一个元件或特征的关系。应当理解,除了图中所示的取向之外,空间相对术语旨在涵盖器件在使用或操作中的不同取向。例如,器件可以以其他方式定向,例如,旋转90度或处于其他定向,并且本文使用的空间相对描述符应当被相应地解释。

[0029] 图1A和图1B是示出根据本公开的至少一个实施例的现场可编程门阵列(FPGA)器件的图。参考图1A和图1B,FPGA器件10可以包括多个布线设计器件20、多个内部块30和多个外部块40。

[0030] 多个布线设计器件20可以形成实现FPGA器件10中包括的多个内部块30和多个外部块40之间的连接关系的布线结构。例如,多个布线设计器件20可以使得能够形成连接FPGA器件10中包括的多个内部块30和多个外部块40的通信路径。在图1A和图1B中示出了布线设计器件20的数量为“4”的示例,但是布线设计器件20的数量不限于此。

[0031] 多个布线设计器件20可以在其中包括开关盒(switch boxes)SB的连接信息。例如,多个布线设计器件20可以基于开关盒SB的连接信息实现多个内部块(IB)30和多个外部块(OB)40之间的连接关系。

[0032] 多个内部块30和多个外部块40中的每一个可以包括多个水平束hb和多个垂直束vb。多个水平束hb和多个垂直束vb中的每一个可以包括布线图案。

[0033] 布线图案可以是诸如单布线图案、双布线图案、六角布线图案、复杂布线图案等的图案。多个内部块30和多个外部块40可以基于开关盒SB的连接信息通过布线图案彼此连接。多个布线设计器件20中的每一个可以电连接到包括在两个外部块OB中的多个垂直束vb。

[0034] 除了多个垂直束vb和多个水平束hb之外,每个内部块30还可以包括开关盒SB和查

找表LUT。在图1A和图1B中示出了内部块30的数量为“4”的示例,但是内部块30的数量不限于此。

[0035] 除了多个垂直束vb和多个水平束hb之外,多个外部块40中的每一个还可以包括输入/输出块I/O和开关盒SB。FPGA器件10可以通过输入/输出块I/O执行与外部(例如,与外部设备(未示出))的输入/输出。在图1A和图1B中示出了外部块40的数量为“8”的示例,但是外部块40的数量不限于此。

[0036] 开关盒SB可以包括多个开关。开关盒SB被配置为从多个布线设计器件20接收开关的连接信息。基于接收到的开关连接信息,开关盒SB可以通过使用多个开关电连接到输入/输出块I/O、查找表LUT、多个水平束hb和多个垂直束vb。

[0037] FPGA器件10被配置为从外部接收读取命令RCMD、读取地址RADD R、写入命令WCMD、写入地址WADDR和写入数据WDATA;并且FPGA器件10被配置为将读取数据RDATA输出到外部。例如,FPGA器件10可以被配置为连接到处理电路,该处理电路被配置为使得FPGA器件10能够进行读取和/或写入操作。处理电路可以包括例如硬件、软件和/或其组合。例如,处理电路更具体地可以包括(和/或被包括在)但不限于中央处理单元(CPU)、算术逻辑单元(ALU)、数字信号处理器、微计算机、现场可编程门阵列(FPGA)、片上系统(SoC)、可编程逻辑单元、微处理器、专用集成电路(ASIC)等。

[0038] 例如,FPGA器件10被配置为从位于FPGA器件10外部的FPGA控制器(未示出)接收读取命令RCMD、读取地址RADDR、写入命令WCMD、写入地址WADDR和写入数据WDATA,并且被配置为将读取数据RDATA输出到FPGA控制器。

[0039] 图2是详细示出FPGA器件中包括的一个单元的图。例如,图1A的FPGA器件10中包括的多个查找表LUT中的每一个和/或至少一个可以包括多个所示的单元。在至少一个实施例中,在图2中,将参考一个单元给出描述,并且剩余单元的功能和操作可以类似于该单元的功能和操作。

[0040] 参考图2,单元可以包括读取晶体管RT、写入晶体管WT和存储器,诸如自旋轨道转矩-磁性随机存取存储器(下文中称为“SOT-MRAM”)。SOT-MRAM可以包括重金属HM和磁性隧道结(下文中称为“MTJ”),并且可以被称为包括重金属磁性隧道结结构(“HM-MTJ”或“MTJ-HM”)。

[0041] 重金属HM的第一端部(end portion)可以连接到写入晶体管WT的第一源极/漏极端子,并且重金属HM的第二端部可以连接到源极线SL。MTJ可以设置在第一端部和第二端部之间的重金属HM上。

[0042] 重金属HM可以是和/或包括含有硅、绝缘体上硅(SOI)、硅锗(SiGe)、锗(Ge)、砷化镓(GaAs)等的半导体衬底。

[0043] MTJ可以包括参考磁性图案PL、自由磁性图案FL和插入其间的隧道势垒图案TBP。

[0044] 自由磁性图案FL可以插入重金属HM和隧道势垒图案TBP之间。自由磁性图案FL可以设置成从重金属HM面向第一方向,并且可以接触重金属HM的一个表面。

[0045] 自由磁性图案FL可以包括磁性材料,该磁性材料被配置为在自由磁性图案FL和隧道势垒图案TBP的交界面处引起磁各向异性。例如,自由磁性图案FL可以包括钴铁硼(CoFeB)。

[0046] 隧道势垒图案TBP可以插入自由磁性图案FL和参考磁性图案PL之间。隧道势垒图

案TBP可以被设置为从自由磁性图案FL面向第一方向,并且可以接触自由磁性图案FL的一个表面。

[0047] 隧道势垒图案TBP可以包括绝缘体氧化物,例如,氧化镁(Mg)、氧化钛(Ti)、氧化铝(Al)、氧化镁锌(Mg-Zn)、氧化镁硼(Mg-B)等中的至少一种。

[0048] 参考磁性图案PL可以与自由磁性图案FL间隔开,其中隧道势垒图案TBP插入在参考磁性图案PL与自由磁性图案FL之间。参考磁性图案PL可以被设置为从隧道势垒图案TBP面向第一方向,并且可以接触隧道势垒图案TBP的一个表面。

[0049] 在至少一个实施例中,参考磁性图案PL可以包括钴(Co)、铂(Pt)和第一非磁性元素。第一非磁性元素可以包括Nb、Cr、Mo、W、Zr、Hf和Ti中的至少一种。

[0050] 单元可以被配置为使得当平面内电流在重金属HM中流动时,由自旋霍尔效应或Rashba效应引起的自旋轨道转矩SOT可以被施加到自由磁性图案FL,因此,可以切换自由磁性图案FL的磁化方向。

[0051] MTJ可以插入在读取晶体管RT的第一源极/漏极端子和重金属HM之间,并且可以连接到读取晶体管RT的第一源极/漏极端子。

[0052] 写入晶体管WT的第二源极/漏极端子可以连接到写入位线WBL,并且读取晶体管RT的第二源极/漏极端子可以连接到读取位线RBL。

[0053] 读取晶体管RT可以连接在MTJ和读取位线RBL之间,并且读取晶体管RT的栅电极可以连接到字线WL。读取晶体管RT可以控制MTJ与读取位线RBL之间的电连接。

[0054] 写入晶体管WT可以连接在重金属HM的第一端部和写入位线WBL之间,并且写入晶体管WT的栅电极可以连接到字线WL。写入晶体管WT可以控制重金属HM和写入位线WBL之间的电连接。

[0055] 在写入操作中,写入晶体管WT可以通过字线WL导通。在这种情况下,写入电流 I_w 可以流过重金属HM。可以根据写入位线WBL和源极线SL的电压条件将写入电流 I_w 的方向设置为第二方向或第四方向。

[0056] 写入电流 I_w 可以充当将自旋轨道转矩SOT施加到自由磁性图案FL的平面内电流。写入电流 I_w 可以与重金属HM和自由磁性图案FL的交界面平行地流动,并且可以流动到与交界面相邻。当写入电流 I_w 流动时,由自旋霍尔效应和/或Rashba效应引起的自旋电流可以在垂直于重金属HM和自由磁性图案FL之间的交界面的方向上流动,并且因此,自旋轨道转矩SOT可以被施加到MTJ。在这种情况下,自由磁性图案FL的磁化方向可以切换为与参考磁性图案PL的磁化方向反平行或平行。在设置自由磁性图案FL的磁化方向之后,可以关断写入晶体管WT。磁化方向的方向(例如,反平行或平行)可以表示存储的位(例如,1或0)。

[0057] 在读取操作中,读取晶体管RT可以通过字线WL导通。在这种情况下,读取电流 I_r 可以从读取位线RBL流到源极线SL。读取电流 I_r 可以流过MTJ和重金属HM。当MTJ被设置为例如“1”时,读取电流 I_r 可在垂直于重金属HM与MTJ之间的交界面的方向(例如,第三方向)上流过MTJ。

[0058] 图3A和图3B是详细示出包括在FPGA器件中的查找表LUT的图。图1的FPGA器件10可以包括多个查找表LUT。在至少一个实施例中,在图3A和图3B中,将参考一个查找表50来描述该描述。剩余查找表LUT的功能和操作可以类似于查找表50的功能和操作。

[0059] 参考图2、图3A和图3B,查找表50可以包括单元阵列51、驱动电路52和外围电路53。

[0060] 单元阵列51可以包括多个单元(例如,cell11至cell12ⁿ)。多个单元cell11至cell12ⁿ可以在第四方向上布置,并且可以分别连接到多条字线WL1至WL 2ⁿ(例如,n是1或更大的正整数)。

[0061] 例如,包括在第一单元cell11中的写入晶体管WT和读取晶体管RT的栅电极可以连接到第一字线WL1。包括在第二单元cell12中的写入晶体管W T和读取晶体管RT的栅电极可以连接到第二字线WL2。

[0062] 如在以上描述中,包括在第2ⁿ⁻¹个单元cell12ⁿ⁻¹中的写入晶体管WT和读取晶体管RT的栅电极可以连接到第2ⁿ⁻¹条字线WL2ⁿ⁻¹。包括在第2ⁿ个单元cell12ⁿ中的写入晶体管WT和读取晶体管RT的栅电极可以连接到第2ⁿ条字线WL2ⁿ。

[0063] 图3A的多个小区cell11至cell12ⁿ中的每一个的配置和操作与参考图2描述的小区配置和操作相同(或基本相似)。因此,将省略附加描述以避免冗余。

[0064] 驱动电路52可以通过多条字线WL1至WL2ⁿ连接到单元阵列51。驱动电路52可以包括第一至第n选择电路SC1至SCn。第一至第n选择电路S C1至SCn中的每一个可以包括多个晶体管MT。第一至第n选择电路SC1至SCn的晶体管MT的数量可以不同。

[0065] 多个晶体管MT可以用例如n型金属氧化物半导体(NMOS)晶体管、p型金属氧化物半导体PMOS晶体管、高电子迁移率晶体管(HEMT)等中的至少一个来实现。下面,将在假设多个晶体管MT中的每一个用NMOS晶体管实现的情况下给出描述。

[0066] 例如,第n选择电路SCn可以包括2ⁿ个NMOS晶体管MT。第(n-1)选择电路SCn-1可以包括2ⁿ⁻¹个NMOS晶体管MT。如在以上描述中,第一选择电路SC1可以包括两个NMOS晶体管MT。

[0067] 除了2ⁿ个NMOS晶体管MT之外,第n选择电路SCn还可以包括2ⁿ个字线驱动器Drv1至Drv2ⁿ。2ⁿ个字线驱动器Drv1至Drv2ⁿ可以分别连接到多条字线WL1至WL2ⁿ。2ⁿ个字线驱动器Drv1至Drv2ⁿ的第一端可以分别连接到2ⁿ个NMOS晶体管MT的第一源极/漏极端子。

[0068] 驱动电路52被配置为从外部(例如,从参考图1描述的FPGA控制器(未示出))接收输入信号I(0)至I(n-1)。输入信号I(0)至I(n-1)可以构成n位数据。n个数据位可以分别施加到第一至第n选择电路SC1至S Cn。

[0069] 包括在第n选择电路SCn中的2ⁿ个NMOS晶体管MT的栅电极中的每一个可以连接到被施加输入信号I(n-1)的线。举例来说,2ⁿ个NMOS晶体管MT的栅极电极的一半可连接到被施加具有非反相逻辑值(例如,“0”或“1”)的输入信号I(n-1)的线。2ⁿ个NMOS晶体管MT的栅电极的另一半可以连接到被施加具有反相逻辑值(例如,“1”或“0”)的输入信号I(n-1)的线。

[0070] 2ⁿ个NMOS晶体管MT的第二源极/漏极端子可以连接到包括在第(n-1)选择电路SCn-1中的2ⁿ⁻¹个NMOS晶体管MT的第一源极/漏极端子。

[0071] 包括在第(n-1)选择电路SCn-1中的2ⁿ⁻¹个NMOS晶体管MT的栅电极中的每一个可以连接到被施加输入信号I(n-2)的线。举例来说,2ⁿ⁻¹个NMOS晶体管MT的栅极电极的一半可连接到被施加具有非反相逻辑值(例如,“0”或“1”)的输入信号I(n-2)的线。2ⁿ个NMOS晶体管MT的栅电极的另一半可以连接到被施加具有反相逻辑值(例如,“1”或“0”)的输入信号I(n-2)的线。

[0072] 2ⁿ⁻¹个NMOS晶体管MT的第二源极/漏极端子可以连接到包括在第(n-2)选择电路SCn-2中的2ⁿ⁻²个NMOS晶体管MT的第一源极/漏极端子。

[0073] 如在以上描述中,包括在第一选择电路SC1中的两个NMOS晶体管MT的栅电极中的每一个可以连接到被施加输入信号I(0)的线。例如,两个NMOS晶体管MT的栅电极中的一个可以连接到被施加具有非反相逻辑值(例如,“0”或“1”)的输入信号I(0)的线。两个NMOS晶体管MT的栅电极中的另一个可以连接到被施加具有反相逻辑值(例如,“1”或“0”)的输入信号I(0)的线。

[0074] 两个NMOS晶体管MT的第二源极/漏极端子可以连接到接地端子。

[0075] 在这种情况下,根据输入信号I(0)到I(n-1)的逻辑值,可以仅驱动连接到字线WL1到WL2ⁿ之一的字线驱动器。这将参考图4A详细描述。

[0076] 在图3B中,2ⁿ个字线驱动器Drv1至Drv2ⁿ中的第一字线驱动器Drv1可以包括PMOS晶体管和反相器。PMOS晶体管的第一源极/漏极端子可以连接到反相器的第一端。电源电压VDD可以被施加到PMOS晶体管的第二源极/漏极端子。反相器的第二端可以连接到第一字线WL1。

[0077] 剩余字线驱动器Drv2至Drv2ⁿ的配置和操作与第一字线驱动器Drv1的配置和操作相同(或基本相似),因此,将省略附加描述以避免冗余。

[0078] 外围电路53也可以通过多条位线WBL、RBL及源极线SL与单元阵列51连接。外围电路53被配置为对单元阵列51和驱动电路52进行输出控制。例如,参照图4说明外围电路53的工作。

[0079] 虽然未图示,但是外围电路53也可以包括读取放大器、写入驱动器、源极线驱动器、输入/输出电路和/或控制逻辑电路等。但是,外围电路53的构成要素不局限于此。

[0080] 在图3A和图3B中,外围电路53被配置为在从外部(例如,从参考图1描述的FPGA控制器(未示出))接收输入信号I(0)至I(n-1)之前接收预充电命令PRE_CMD。外围电路53可响应于接收到预充电命令PRE_CMD而将预充电信号PRE施加到2ⁿ个字线驱动器Drv1到Drv2ⁿ。

[0081] 在这种情况下,2ⁿ个字线驱动器Drv1至Drv2ⁿ中的每一个中包括的反相器的第一端可以用电源电压VDD充电。连接到字线WL1至WL2ⁿ中的每一个的反相器的第二端可以被放电到接地电压VSS。因此,所有字线WL1至WL2ⁿ可以保持非活动状态。

[0082] 图4A至图4C示出了关于查找表LUT中包括的一个单元执行数据写入操作和数据读取操作的示例。在至少一个实施例中,将参照图4A至图4C描述第一单元cell1的数据写入操作和数据读取操作。省略了与参考图3A和3B给出的描述相同(或基本相似)的描述。

[0083] 参照图4A至图4C,外围电路53被配置为从外部(例如,从参照图1说明的FPGA控制器(未示出))接收激活命令ACT_CMD。外围电路53可响应于激活命令ACT_CMD而将激活信号ACT施加到2ⁿ个字线驱动器Drv1到Drv2ⁿ。在这种情况下,2ⁿ个字线驱动器Drv1至Drv2ⁿ中的每一个中包括的反相器的第一端可以处于用电源电压VDD充电的状态。

[0084] 驱动电路52被配置为在外围电路53的控制下接收输入信号I(0)至I(n-1)。输入信号I(0)至I(n-1)中的每一个可以具有特定的逻辑值;在这种情况下,第一至第n选择电路SC1至SCn中的每一个中包括的多个晶体管中的至少一些可以导通。

[0085] 例如,当输入信号I(n-1)被施加到第n选择电路SCn时,2ⁿ个NMOS晶体管MT中的一半可以导通。当输入信号I(n-2)被施加到第(n-1)选择电路SCn-1时,2ⁿ⁻¹个NMOS晶体管MT中的一半可以导通。当输入信号I(0)被施加到第一选择电路SC1时,两个NMOS晶体管MT中的一个可以导通。

[0086] 例如,当输入信号I (0) 至I (n-1) 中的每一个具有特定逻辑值时,可以在接地端子和连接到NMOS晶体管MT的第一源极/漏极端子的第一字线驱动器Drv1的第一端之间形成电流路径。

[0087] 在这种情况下,由于电压差,电流可以从第一字线驱动器Drv1的第一端流到接地端子,因此,包括在第一字线驱动器Drv1中的反相器的第一端可以放电到接地电压VSS。

[0088] 这样,包括在第一字线驱动器Drv1中的反相器的第二端可以用电源电压VDD充电。因此,可以激活多条字线WL1至WL2ⁿ中的第一字线WL1。

[0089] 例如,当输入信号I (0) 至I (n-1) 中的每一个具有特定逻辑值时,可以不在接地端子和连接到NMOS晶体管MT的第一源极/漏极端子的第2ⁿ字线驱动器Drv2ⁿ的第一端之间形成电流路径。

[0090] 在这种情况下,第2ⁿ字线驱动器Drv2ⁿ中包括的反相器的第一端的电压电平可以保持在电源电压VDD的电平。

[0091] 这样,第2ⁿ字线驱动器Drv2ⁿ中包括的反相器的第二端的电压电平可以保持在接地电压VSS的电平。因此,可以不激活多条字线WL1至WL2ⁿ中的第2ⁿ条字线WL2ⁿ。

[0092] 在激活第一字线WL1之后,外围电路53被配置为从外部接收写入命令WCMD及写入数据WDATA。外围电路53还可以包括构成为储存输入信号的运算结果的表(未图示)。运算可以是加法运算和乘法运算中的至少一个。

[0093] 外围电路53可以参考来自表(未示出)的根据输入信号的特定逻辑值的操作结果,并且可以基于写入数据WDATA确定写入位线WBL和源极线SL的电压电平。

[0094] 外围电路53可以基于写入位线WBL和源极线SL的电压电平在第二方向(参考图2)或第四方向(参考图2)上生成写入电流I_w。外围电路53可以基于写入电流I_w执行数据写入操作。

[0095] 外围电路53可以在其中第一单元cell11中包括的写入晶体管WT被第一字线WL1导通而因此被激活的状态下将写入数据WDATA(例如,“0”或“1”)写入到第一单元cell11中包括的SOT-MRAM。

[0096] 在数据写入操作之后,外围电路53被配置为从外部接收读取命令RCMD。外围电路53可感测读取位线RBL的电压变化以生成第三方向上的读取电流I_r(参考图2)。

[0097] 外围电路53也可以基于读取电流I_r执行数据读取操作。外围电路53可以在其中第一单元cell11中包括的读取晶体管RT被第一字线WL1导通而因此被激活的状态下读取存储在第一单元cell11中包括的SOT-MRAM中的数据RDATA(例如,“0”或“1”)。

[0098] 如上所述,在图3A和图4A中,驱动电路52可包括第一选择电路SC1至第n选择电路SCn。因此,驱动电路52可包含(2ⁿ⁺¹-2)个NMOS晶体管MT。在这种情况下,驱动电路52可以占据查找表50的面积的大部分。因此,可能需要一种设计能够实现具有小面积的FPGA器件10的查找表LUT的方法。

[0099] 此外,包括在参考图3A和图4A描述的每个单元中的读取晶体管RT可以连接到一个读取位线RBL。在这种情况下,可以累积2ⁿ个读取晶体管RT的寄生电容(未示出)。例如,读取位线RBL可能具有大的电容值,由此导致数据读取操作中的功耗的增加以及执行数据读取操作所花费的时间的增加。因此,可能需要一种设计查找表LUT的方法,该查找表LUT能够实现提供改进的能量效率的FPGA器件10。

[0100] 图5是详细示出根据本公开的至少一个实施例的FPGA器件中包括的两个单元的图。包括在图1A的FPGA器件10中的多个查找表LUT中的每一个可以包括多个单元。在至少一个实施例中,在图5中,将参考两个单元给出描述,并且剩余单元的功能和操作可以类似于两个单元的功能和操作。省略了与参考图2给出的描述相同(或基本相似)的描述。

[0101] 参考图5,两个单元(下文中称为“第一和第二单元”)cell和cell'可以连接到一条字线WL。

[0102] 包括在第一单元“cell”中的重金属HM的第一端部可以连接到写入晶体管WT的第一源极/漏极端子,并且重金属HM的第二端部可以连接到第一源极线SL1。

[0103] 包括在第一单元“cell”中的MTJ可以插入在读取晶体管RT的第一源极/漏极端子和重金属HM之间,并且可以连接到读取晶体管RT的第一源极/漏极端子。

[0104] 包括在第一单元“cell”中的写入晶体管WT的第二源极/漏极端子可以连接到第三位线BL3。包括在第一单元“cell”中的读取晶体管RT的第二源极/漏极端子可以连接到第一位线BL1。

[0105] 包括在第一单元“cell”中的读取晶体管RT可以连接在MTJ和第一位线BL1之间,并且读取晶体管RT的栅电极可以连接到字线WL。读取晶体管RT可以控制MTJ与第一位线BL1之间的电连接。

[0106] 写入晶体管WT可以连接在重金属HM的第一端部和第三位线BL3之间,并且写入晶体管WT的栅电极可以连接到字线WL。因此,写入晶体管WT可以控制重金属HM和第三位线BL3之间的电连接。

[0107] 在写入操作中,包括在第一单元“cell”中的写入晶体管WT可以通过字线WL导通。在这种情况下,可以根据第三位线BL3和第一源极线SL1的电压条件将流过重金属HM的写入电流 I_w 的方向设置(或改变)为第一方向(参考图2)或第三方向(参考图2)。

[0108] 在读取操作中,读取晶体管RT可以通过字线WL导通。这样,读取电流 I_R 可以从第一位线BL1流过MTJ和重金属HM。读取电流 I_R 可在垂直于重金属HM与MTJ之间的交界面的方向(即,第四方向(参考图2))上流过MTJ。

[0109] 包括在第二单元cell'中的重金属HM的第一端部可以连接到写入晶体管WT的第一源极/漏极端子,并且重金属HM的第二端部可以连接到第二源极线SL2。

[0110] 包括在第二单元cell'中的写入晶体管WT的第二源极/漏极端子可以连接到第三位线BL3。包括在第二单元cell'中的读取晶体管RT的第二源极/漏极端子可以连接到第二位线BL2。

[0111] 包括在第二单元cell'中的读取晶体管RT可以连接在MTJ和第二位线BL2之间,并且读取晶体管RT的栅电极可以连接到字线WL。读取晶体管RT可以控制MTJ与第二位线BL2之间的电连接。

[0112] 在写入操作中,包括在第二单元cell'中的写入晶体管WT可以通过字线WL导通。在这种情况下,可以根据第二位线BL2和第二源极线SL2的电压条件将流过重金属HM的写入电流 I_w 的方向设置(或改变)为第一方向(参考图2)或第三方向(参考图2)。

[0113] 在读取操作中,读取晶体管RT可以通过字线WL导通。这样,读取电流 I_R 可以从第二位线BL2流过MTJ和重金属HM。读取电流 I_R 可在垂直于重金属HM与MTJ之间的交界面的方向(即,第四方向(参考图2))上流过MTJ。

[0114] 图6是详细示出根据本公开的至少一个实施例的FPGA器件中包括的查找表LUT的图。图1的FPGA器件10可以包括多个查找表LUT。在至少一个实施例中,在图6中,将参考一个查找表100来描述该描述。剩余查找表LUT的功能和操作可以类似于查找表100的功能和操作。

[0115] 关于包括在图6的查找表LUT中的单元阵列110、驱动电路120和外围电路130,省略了与参考图3A和3B描述的描述相同(或基本相似)的描述。

[0116] 参考图5和图6,单元阵列110中包括的第一单元cell11和第二单元cell12可以连接到第一字线WL1,并且单元阵列110中包括的第 (2^n-1) 个单元cell (2^n-1) 和第 2^n 个单元cell 2^n 可以连接到第 2^{n-1} 条字线WL 2^{n-1} 。

[0117] 例如,包括在第一单元cell11中的写入晶体管WT和读取晶体管RT的栅电极以及包括在第二单元cell12中的写入晶体管WT和读取晶体管RT的栅电极可以连接到第一字线WL1。

[0118] 例如,包括在第 (2^n-1) 个单元cell (2^n-1) 中的写入晶体管WT和读取晶体管RT的栅电极以及包括在第 2^n 个单元cell 2^n 中的写入晶体管WT和读取晶体管RT的栅电极可以连接到第 2^{n-1} 条字线WL 2^{n-1} 。

[0119] 第一个单元cell11、第二个单元cell12、第 (2^n-1) 个单元cell (2^n-1) 和第 2^n 个单元cell 2^n 的配置和操作与参考图5描述的两个小区cell和cell'的配置和操作相同(或基本相似)。因此,将省略附加描述以避免冗余。

[0120] 驱动电路120可以通过多条字线WL1至WL 2^{n-1} 连接到单元阵列110。驱动电路120可以包括第一至第 $(n-1)$ 选择电路SC1至SC $n-1$ 。

[0121] 与图3A和图4A的驱动电路52不同,图6的驱动电路120可以不包括第 n 选择电路SC n 。因此,包括在驱动电路120中的NMOS晶体管MT的数量可以是 (2^n-2) 。

[0122] 因此,图6的驱动电路120的面积可以小于图3A和图4A的驱动电路52的面积。这可能意味着可以设计具有较小面积的查找表100。

[0123] 除了 2^{n-1} 个NMOS晶体管MT之外,第 $(n-1)$ 选择电路SC $n-1$ 还可以包括 2^{n-1} 条字线驱动器Drv1至Drv 2^{n-1} 。 2^{n-1} 条字线驱动器Drv1至Drv 2^{n-1} 可以分别连接到多条字线WL1至WL 2^{n-1} 。 2^{n-1} 条字线驱动器Drv1至Drv 2^{n-1} 的第一端可以分别连接到 2^{n-1} 个NMOS晶体管MT的第一源极/漏极端子。

[0124] 也就是说,在图3A和图4A中,第 n 选择电路SC n 可以包括 2^n 个字线驱动器Drv1至Drv 2^n ;然而,在图6中,第 $(n-1)$ 选择电路SC $n-1$ 可以包括第 n 选择电路SC n 的字线驱动器的一半。

[0125] 驱动电路120被配置为从外部接收第一输入信号I(0)至I $(n-2)$ 。与图3A的驱动电路52不同,因为图6的驱动电路120包括第一至第 $(n-1)$ 选择电路SC1至SC $n-1$,所以 $(n-1)$ 个数据位可以分别施加到第一至第 $(n-1)$ 选择电路SC1至SC $n-1$ 。也可以从外围电路130接收与第一输入信号I(0)至I $(n-2)$ 不同的第二输入信号I $(n-1)$ 。

[0126] 在这些情况下,根据第一输入信号I(0)到I $(n-2)$ 的逻辑值,可以仅驱动连接到字线WL1到WL 2^{n-1} 之一的字线驱动器。这将参考图9A至图11C详细描述。

[0127] 外围电路130可以通过多条位线BL1、BL2和BL3以及多条源极线SL1和SL2连接到单元阵列110。

[0128] 例如,图3A和图4A的外围电路53可以通过两条位线RBL和WBL以及一条源极线SL连

接到单元阵列51,而图6的外围电路130可以通过三条位线BL1、BL2和BL3以及两条源极线SL1和SL2连接到单元阵列110。

[0129] 外围电路130可以响应于从外部接收的写入命令WCMD(参考图3)而生成写入使能信号WEN。外围电路130可响应于从外部接收的读取命令R CMD(参考图3)而生成读取使能信号REN。

[0130] 在图6中,外围电路130可以包括开关控制器131、感测放大器(SA)132、写入驱动器(WD)133和多个开关134。

[0131] 开关控制器131被配置为向多个开关134输出控制信号。多条位线BL 1、BL2和BL3、多条源极线SL1和SL2、感测放大器132、写入驱动器133和接地端子可以基于控制信号电连接。开关控制器131可以控制多个开关134。

[0132] 开关控制器131被配置为接收第二输入信号I(n-1)、写入使能信号W EN和读取使能信号REN。开关控制器131可以基于第二输入信号I(n-1)、写入使能信号WEN和读取使能信号REN输出用于控制多个开关134的控制信号。将参考图7详细描述开关控制器131。

[0133] 外围电路130可以基于写入使能信号WEN执行数据写入操作。外围电路130可以基于读取使能信号REN执行数据读取操作。

[0134] 在图6中, 2^{n-1} 个单元可以连接到第一位线BL1。同样, 2^{n-1} 个单元可以连接到第二位线BL2。也就是说,在图3A和图4A中, 2^n 个单元可以连接到一个读取位线RBL;然而,在图6中,仅 2^{n-1} 个单元可以连接到一条位线BL1或BL2,并且仅 2^n 个单元可以连接到另一条位线BL1或BL2。

[0135] 图6的一条位线BL1或BL2的电容值可以小于图3A和图4A的读取位线RBL的电容值。因此,可以提高在读取操作中释放存储电荷的速度,并且可以减少读取操作中的功耗和执行读取操作所花费的时间。

[0136] 此外,对一条位线BL1或BL2的电容器充电并产生电压电平所消耗的能量可能降低。因此,可以实现能够提高读取操作中的能量效率的FPGA器件10。

[0137] 图7是详细示出根据本公开的至少一个实施例的查找表LUT中包括的开关控制器的图。

[0138] 参照图6和图7,外围电路130可以包括开关控制器131、感测放大器132和写入驱动器133。开关控制器131可以包括第一逻辑门131a至第五逻辑门131e。

[0139] 第一至第五逻辑门131a至131e被配置为输出用于控制第一至第七开关S1至S7的控制信号。

[0140] 在至少一个实施例中,第一开关S1至第七开关S7中的每一个可以利用传输门TG来实现。传输门TG可以由并联连接的p型金属氧化物半导体(P MOS)晶体管和n型MOS(NMOS)晶体管组成。在传输门TG中,可以将控制信号施加到PMOS晶体管的栅电极和NMOS晶体管的栅电极。

[0141] 控制信号可以包括施加到PMOS晶体管的栅电极的反相逻辑值的信号和施加到NMOS晶体管的栅电极的非反相逻辑值的信号。

[0142] 第一逻辑门131a及第二逻辑门131b经配置以接收读取使能信号REN。

[0143] 第一逻辑门131a可接收未反相的第二输入信号I(n-1)。第一逻辑门131a可以基于未反相的第二输入信号I(n-1)和读取使能信号REN来执行逻辑运算,并且可以输出用于控

制第一开关S1的控制信号。

[0144] 尽管未示出,但是在第一开关S1中,PMOS晶体管的栅电极和NMOS晶体管的栅电极可以连接到第一逻辑门131a。因此,在第一开关S1中,控制信号可以被施加到PMOS晶体管的栅电极和NMOS晶体管的栅电极。

[0145] 第二逻辑门131b可以接收第二输入信号I(n-1)的反相版本。第二逻辑门131b可以基于第二输入信号I(n-1)的反相版本和读取使能信号REN来执行逻辑运算,并且可以输出用于控制第二开关S2的控制信号。

[0146] 尽管未示出,但是在第二开关S2中,PMOS晶体管的栅电极和NMOS晶体管的栅电极可以连接到第二逻辑门131b。因此,在第二开关S2中,控制信号可以被施加到PMOS晶体管的栅电极和NMOS晶体管的栅电极。

[0147] 例如,当第二输入信号I(n-1)具有第一逻辑值(例如,“1”)时,外围电路130所包括的读取放大器132也可以基于第一逻辑门131a的控制信号与第一位线BL1连接。根据第二逻辑门131b的控制信号,外围电路130所包括的读取放大器132也可以不与第二位线BL2连接。

[0148] 例如,当第二输入信号I(n-1)具有第二逻辑值(例如,“0”)时,外围电路130所包括的读取放大器132也可以基于第一逻辑门131a的控制信号不与第一位线BL1连接。外围电路130所包括的读取放大器132也可以基于第二逻辑门131b的控制信号与第二位线BL2连接。

[0149] 第三逻辑门131c和第四逻辑门131d被配置为接收写入使能信号WEN。

[0150] 第三逻辑门131c可接收未反相的第二输入信号I(n-1)。第三逻辑门131c可以基于未反相的第二输入信号I(n-1)和写入使能信号WEN来执行逻辑运算,并且可以输出用于控制第四开关S4和第五开关S5的控制信号。

[0151] 尽管未示出,但是在第四开关S4和第五开关S5中的每一个中,PMOS晶体管的栅电极和NMOS晶体管的栅电极可以连接到第三逻辑门131c。因此,在第四开关S4和第五开关S5中,控制信号可以被施加到PMOS晶体管的栅电极和NMOS晶体管的栅电极。

[0152] 第四逻辑门131d可接收第二输入信号I(n-1)的反相版本。第四逻辑门131d可以基于第二输入信号I(n-1)的反相版本和写入使能信号WEN执行逻辑运算,并且可以输出用于控制第六开关S6和第七开关S7的控制信号。

[0153] 尽管未示出,但是在第六开关S6和第七开关S7中的每一个中,PMOS晶体管的栅电极和NMOS晶体管的栅电极可以连接到第四逻辑门131d。因此,在第六开关S6和第七开关S7中,控制信号可以被施加到PMOS晶体管的栅电极和NMOS晶体管的栅电极。

[0154] 例如,当第二输入信号I(n-1)具有第一逻辑值(例如,“1”)时,外围电路130中包括的写入驱动器133可以基于第三逻辑门131c的控制信号连接到第三位线BL3以及多条源极线SL1和SL2。

[0155] 例如,当第二输入信号I(n-1)具有第二逻辑值(例如,“0”)时,外围电路130中包括的写入驱动器133可以基于第四逻辑门131d的控制信号连接到第三位线BL3以及多条源极线SL1和SL2。

[0156] 第一逻辑门131a至第四逻辑门131d中的每一个可以包括AND门;在此情况下,逻辑运算可包含AND运算。

[0157] 第五逻辑门131e经配置以接收读取使能信号REN。第五逻辑门131e被配置为基于读取使能信号REN输出用于控制第三开关S3的控制信号。

[0158] 尽管未示出,但是在第三开关S3中,PMOS晶体管的栅电极和NMOS晶体管的栅电极可以连接到第五逻辑门131e。因此,在第三开关S3中,控制信号可以被施加到PMOS晶体管的栅电极和NMOS晶体管的栅电极。

[0159] 例如,当开关控制器131接收到读取使能信号REN时,第三位线BL3可以连接到接地端子。

[0160] 图8A是图2的一个单元的平面图。参照图2和图8A,写入晶体管WT和读取晶体管RT可以形成在半导体衬底(未示出)中。半导体衬底(未示出)可以是硅衬底、锗衬底、硅锗衬底等。

[0161] 字线WL和第一金属M1可以设置在写入晶体管WT和读取晶体管RT上。第一金属M1可以通过金属触点(未示出)连接到写入晶体管WT和读取晶体管RT。

[0162] 读取位线RBL和写入位线WBL可以设置在第一金属M1上。读取位线RBL和写入位线WBL可以通过金属触点(未示出)连接到第一金属M1。读取位线RBL和写入位线WBL可以设置在半导体衬底(未示出)上,以便与字线WL交叉。

[0163] MTJ可以设置在第一金属M1上,第一金属M1设置在读取晶体管RT上。重金属HM可以设置在第一金属M1上,并且MTJ设置在写入晶体管WT上。重金属HM可以通过金属触点(未示出)连接到设置在写入晶体管WT上的第一金属M1。

[0164] 源极线SL可以设置在重金属HM上。源极线SL可以通过金属触点(未示出)连接到重金属HM。在图8A中,单元在水平方向上的长度可以是“L1。”长度L1可以被定义为从设置在读取晶体管RT上的第一金属M1的一侧到设置在写入晶体管WT上的第一金属M1的一侧的水平距离。

[0165] 图8B是根据本公开的至少一个实施例的图5的两个单元的平面图。图8C至图8E是沿着图8B的线A-A'、线B-B'和线C-C'截取的截面图。省略了与参考图8A给出的描述相同(或基本相似)的描述。

[0166] 参照图8B至图8E,写入晶体管WT及读取晶体管RT也可以形成在半导体衬底中。

[0167] 字线WL和第一金属M1可以设置在写入晶体管WT和读取晶体管RT上。第一金属M1可以通过金属触点M2连接到写入晶体管WT和读取晶体管RT。

[0168] 第一位线BL1至第三位线BL3可以设置在第一金属M1上。第一位线BL1至第三位线BL3可以通过金属触点M2连接到第一金属M1。

[0169] 例如,第一位线BL1和第二位线BL2可以设置在第一金属M1上,第一金属M1设置在读取晶体管RT上。第一位线BL1和第二位线BL2可以通过金属触点M2连接到设置在读取晶体管RT上的第一金属M1。第一位线BL1和第二位线BL2可以不连接到设置在写入晶体管WT上的第一金属M1。

[0170] 第三位线BL3可以设置在设置在写入晶体管WT上的第一金属M1上。第三位线BL3可以通过金属触点M2连接到设置在写入晶体管WT上的第一金属M1。

[0171] 在图8B中,第一区域P1可以指示其中设置在第一单元cell1中包括的写入晶体管WT上的第一金属M1通过金属触点M2连接到第三位线BL3的部分。

[0172] 在图8B中,第二区域P2可以指示其中设置在第二单元cell2中包括的写入晶体管WT上的第一金属M1通过金属触点M2连接到第三位线BL3的部分。第三位线BL3可以不连接到设置在读取晶体管RT上的第一金属M1。

[0173] 第一位线BL1至第三位线BL3可以设置在半导体衬底上以与字线WL交叉。

[0174] MJT可以设置在分别设置在读取晶体管RT上的第一金属M1上。重金属HM可以设置在第一金属M1上,并且MJT设置在写入晶体管WT上。重金属HM可以通过金属触点M2连接到设置在写入晶体管WT上的第一金属M1。

[0175] 多条源极线SL1和SL2可以设置在重金属HM上。多条源极线SL1和SL2可以分别连接到重金属HM和金属触点M2。

[0176] 在图8B中,单元在水平方向上的长度可以是“L2。”长度L2可以被定义为从设置在第一单元cell11中包括的读取晶体管RT上的第一金属M1的一侧到第一区域P1的一侧的水平距离。

[0177] 在图8B中,设置在第一方向上的两个单元cell11和cell12(参考图2)可以连接到第一位线BL1至第三位线BL3,并且可以共享第三位线BL3和字线WL。在图8A中,一个单元可以连接到读取位线RBL和写入位线WBL。因此,图8B的长度L2可以小于图8A的长度L1。这可能意味着具有小面积的FPGA器件10的实施方式是可能的。

[0178] 图9A至图9C是用于描述根据本公开的至少一个实施例的与连接到图6的一条字线的单元相关联的数据读取操作的图。将参考图9A至图9C描述其中关于连接到多条字线WL1至WL^{2ⁿ⁻¹}中的第一字线WL1的单元执行数据读取操作的至少一个实施例。

[0179] 参考图4A至图7和图9A至图9C,在连接到第一字线WL1的第一单元cell11和第二单元cell12的数据读取操作中,可以通过第一字线驱动器Drv1将电源电压VDD施加到第一字线WL1。因此,可以激活多条字线WL1至WL^{2ⁿ⁻¹}中的第一字线WL1。驱动电路120可以基于从外部接收的第一输入信号I(0)至I(n-2)来驱动多条字线WL1至WL^{2ⁿ⁻¹}中的一条字线WL1。

[0180] 第一开关S1可以取决于第一逻辑门131a的控制信号而导通,第一逻辑门131a的控制信号基于具有第一逻辑值(例如,“1”)的第二输入信号I(n-1)和读取使能信号REN。在这些情况下,感测放大器132可以连接到第一位线BL1。

[0181] 第二开关S2可以取决于第二逻辑门131b的控制信号而导通,第二逻辑门131b的控制信号基于具有第二逻辑值(例如,“0”)的第二输入信号I(n-1)和读取使能信号REN。在这种情况下,感测放大器132可以连接到第二位线BL2。在图9A和图9B中,写入驱动器133可以不连接到第三位线BL3以及多条源极线SL1和SL2。

[0182] 第三开关S3可以根据第五逻辑门131e的控制信号而导通,第五逻辑门131e的控制信号基于读取使能信号REN。在这种情况下,第三位线BL3可以连接到接地端子。接地电压VSS可以施加到第三位线BL3。

[0183] 当电源电压VDD被施加到第一字线WL1时,第一单元cell11和第二单元cell12的读取晶体管可以导通。在这种情况下,第一位线BL1和第二位线BL2可以用电源电压VDD充电。

[0184] 在上述电压条件下,感测放大器132可以生成读取电流I_R,以感测连接到第一单元cell11的第一位线BL1的电压变化或连接到第二单元cell12的第二位线BL2的电压变化。读取电流I_R可以从第一位线BL1流到第三位线BL3,或者从第二位线BL2流到第三位线BL3。

[0185] 读取电流I_R可以流过MTJ和重金属HM。读取电流I_R可以在垂直于重金属HM和MTJ彼此接触的交界面的方向(例如,第四方向(参见图2))上流过MTJ。

[0186] MTJ的电阻状态(例如,高电阻状态或低电阻状态)可由读取电流I_R来检测。例如,当自由磁性图案FL的磁化方向平行于参考磁性图案PL的磁化方向时,MTJ可以处于第一电

阻状态(例如,低电阻状态)。当自由磁性图案FL的磁化方向与参考磁性图案PL的磁化方向反平行时,MTJ可以处于第二电阻状态(例如,高电阻状态)。存储在第一单元cell11或第二单元cell12的MTJ中的数据(例如,“0”或“1”)可取决于MTJ的电阻状态来检测。

[0187] 图10A至图11C是用于描述根据本公开的至少一个实施例的与连接至图6的一条字线的单元相关联的数据写入操作的图。

[0188] 在至少一个实施例中,将参照图10A至图10C描述其中将具有第一值的写入数据(例如,“0”)写入连接到多条字线WL1至WL2ⁿ⁻¹中的第一字线WL1的单元的操作。

[0189] 在至少一个实施例中,将参照图11A至图11C描述其中将具有第二值的写入数据(例如,“1”)写入连接至多条字线WL1至WL2ⁿ⁻¹中的第一字线WL1的单元的操作。省略与参考图9A至图9C给出的描述相同(或基本相似)的描述。

[0190] 参考图6、图7和图10A至图11C,当电源电压VDD被施加到第一字线WL1时,第一单元cell11和第二单元cell12的写入晶体管可以导通。在这种情况下,可以用电源电压VDD对第三位线BL3充电。

[0191] 第六开关S6和第七开关S7可以取决于第四逻辑门131d的控制信号而导通,第四逻辑门131d的控制信号基于具有第二逻辑值(例如,“0”)的第二输入信号I(n-1)和写入使能信号WEN。在这种情况下,写入驱动器133可以通过第七开关S7连接到第一源极线SL1的第一端。第一源极线SL1的第二端也可以与外围电路130所包括的源极线驱动器(未图示)连接。

[0192] 第四开关S4和第五开关S5可以取决于第三逻辑门131c的控制信号而导通,第三逻辑门131c的控制信号基于具有第一逻辑值(例如,“1”)的第二输入信号I(n-1)和写入使能信号WEN。在这种情况下,写入驱动器133可以通过第五开关S5连接到第二源极线SL2的第一端。第二源极线SL2的第二端也可以与外围电路130所包括的源极线驱动器(未图示)连接。

[0193] 在外围电路130的控制下,源极线驱动器(未示出)可以以特定电压电平驱动多条源极线SL1和SL2。

[0194] 在对第一单元cell11和第二单元cell12执行写入操作以便具有高电阻值(例如,反平行状态)(例如,写入具有第一值(例如,“0”))的情况下,或者在对第一单元cell11和第二单元cell12执行写入操作以便具有低电阻值(例如,平行状态)(例如,写入具有第二值(例如,“1”))的情况下,从源极线驱动器(未示出)施加到第一源极线SL1和第二源极线SL2的电压电平可以彼此不同。

[0195] 在图10A至图10C中,为了将具有第一值的写入数据(例如,“0”)写入第一单元cell11,可以将接地电压VSS施加到第一源极线SL1,并且可以将电源电压VDD施加到第二源极线SL2。

[0196] 当第六开关S6接通时,第二源极线SL2的第一端和第三位线BL3可以连接到写入驱动器133。因此,第三位线BL3可以保持在电源电压VDD的电平。

[0197] 根据上述电压条件,写入电流I_w可以通过重金属HM从第三位线BL3(具有电源电压VDD的电平)流到第一源极线SL1(具有接地电压VSS的电平);在相同(或基本相似)的时间,自旋电流可以在与MTJ的参考磁性图案PL平行的方向上或在与MTJ的参考磁性图案PL反平行的方向上通过MTJ流到第一位线BL1。

[0198] 写入电流I_w可以充当将自旋轨道转矩施加到自由磁性图案FL的平面内电流。写入电流I_w可以与重金属HM和MTJ的自由磁性图案FL的交界面平行地流动,并且可以流动到与

交界面相邻。当写入电流 I_w 流动时,自旋电流(由自旋霍尔效应、Rashba效应等引起)可以在垂直于重金属HM和MTJ的自由磁性图案FL之间的交界面的方向上流动,因此,自旋轨道转矩可以施加到MTJ。基于沿着重金属HM的表面引起的写入电流 I_w 的大小,MTJ的自由磁性图案FL的磁化方向可以被切换为与参考磁性图案PL的磁化方向反平行(或平行)。

[0199] 为了将具有第一值的写入数据(例如,“0”)写入到第二单元cell12,可以将电源电压VDD施加到第一源极线SL1,并且可以将接地电压VSS施加到第二源极线SL2。

[0200] 当第四开关S4接通时,第一源极线SL1的第一端和第三位线BL3可以连接到写入驱动器133。因此,第三位线BL3可以保持在电源电压VDD的电平。

[0201] 根据上述电压条件,写入电流 I_w 可以通过重金属HM从第三位线BL3(具有电源电压VDD的电平)流到第二源极线SL2(具有接地电压VSS的电平);在相同(或基本相似)的时间,自旋电流可以在与MTJ的参考磁性图案PL平行的方向上或在与MTJ的参考磁性图案PL反平行的方向上通过MTJ流到第二位线BL2。

[0202] 在图11A至图11C中,为了将具有第二值的写入数据(例如,“1”)写入第一单元cell11,可以将电源电压VDD施加到第一源极线SL1,并且可以将接地电压VSS施加到第二源极线SL2。

[0203] 当第六开关S6接通时,第二源极线SL2的第一端和第三位线BL3可以连接到写入驱动器133。因此,第三位线BL3可放电到接地电压VSS的电平。

[0204] 根据上述电压条件,写入电流 I_w 可以通过重金属HM从源极线SL1(具有电源电压VDD的电平)流到第三位线BL3(具有接地电压VSS的电平);在相同(或基本相似)的时间,自旋电流可以在与MTJ的参考磁性图案PL平行的方向上或在与MTJ的参考磁性图案PL反平行的方向上通过MTJ流到第一位线BL1。

[0205] 为了将具有第二值的写入数据(例如,“1”)写入到第二单元cell12,可以将接地电压VSS施加到第一源极线SL1,并且可以将电源电压VDD施加到第二源极线SL2。

[0206] 当第四开关S4接通时,第一源极线SL1的第一端和第三位线BL3可以连接到写入驱动器133。因此,第三位线BL3可维持在接地电压VSS的电平。

[0207] 根据上述电压条件,写入电流 I_w 可以通过重金属HM从第二源极线SL2(具有电源电压VDD的电平)流到第三位线BL3(具有地电压VSS的电平);在相同(或基本相似)的时间,自旋电流可以在与MTJ的参考磁性图案PL平行的方向上或在与MTJ的参考磁性图案PL反平行的方向上通过MTJ流到第二位线BL2。

[0208] 图12是根据本公开至少一个实施例的执行数据写入操作的查找表LUT的操作方法的流程图。

[0209] 参考图6、图7、图10A至图11C和图12,在操作S110中,查找表(LUT)100可以基于第一输入信号驱动多条字线中的一条字线。

[0210] 在操作S120中,查找表100可以从外部接收第二输入信号、写入命令WCMD、写入地址WADDR和写入数据WDATA。与输入到驱动电路120的第一输入信号不同,第二输入信号也可以输入到外围电路130。

[0211] 在操作S130中,查找表100可以响应于写入命令WCMD生成写入使能信号WEN。查找表100可以基于写入使能信号WEN执行数据写入操作。

[0212] 在操作S140中,查找表100可以基于第二输入信号和写入使能信号WEN来控制多

个开关。当施加写入使能信号WEN时,查找表100可以控制第四开关S4至第七开关S7。

[0213] 当在操作S150中确定第二输入信号的逻辑值是“1”时,可以执行操作S160。在操作S160中,查找表100可以将数据“0”或“1”写入下部(lower)单元(即,图10A和图10B中的第二单元cell12)。

[0214] 当在操作S150中确定第二输入信号的逻辑值不为“1”时,可以执行操作S170。在操作S170中,查找表100可以将数据“0”或“1”写入上部(upper)单元(即,图10A和图10B中的第一单元cell11)。

[0215] 图13是根据本公开的至少一个实施例的执行数据读取操作的查找表LUT的操作方法的流程图。

[0216] 参考图6、图7、图9A至图9C和图12,在操作S210中,查找表(LUT)100可以基于第一输入信号驱动多条字线中的一条字线。

[0217] 在操作S220中,查找表100可从外部接收第二输入信号、读取命令RCMD和读取地址RADDR。

[0218] 在操作S230中,查找表100可响应于读取命令RCMD而生成读取使能信号REN。查找表100可基于读取使能信号REN来执行数据读取操作。

[0219] 在操作S240中,查找表100可以基于第二输入信号和读取使能信号REN来控制多个开关。当施加读取使能信号REN时,查找表100可以控制第一开关S1至第三开关S3。

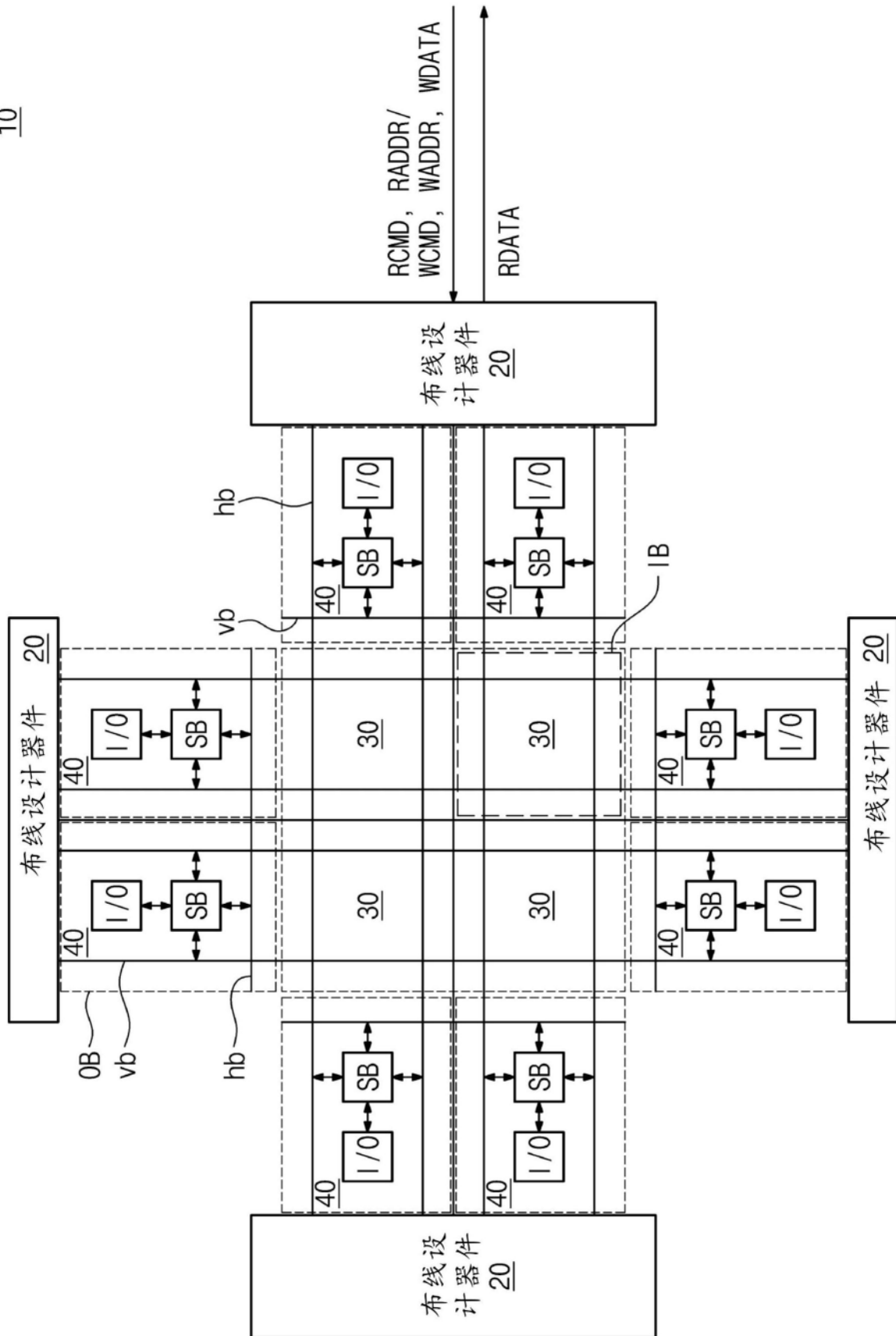
[0220] 当在操作S250中确定第二输入信号的逻辑值为“1”时,可以执行操作S260。在操作S260中,查找表100可以读取存储在上部单元(即,图9A和图9B中的第一单元cell11)中的数据“0”或“1。”

[0221] 当在操作S250中确定第二输入信号的逻辑值不为“1”时,可以执行操作S270。在操作S270中,查找表100可以读取存储在下部单元(即,图10A和图10B中的第二单元cell12)中的数据“0”或“1。”

[0222] 根据本公开的至少一个实施例,现场可编程门阵列(FPGA)器件及其操作方法可以通过改变查找表的设计方案来提供小面积的查找表。此外,随着查找表的设计方案改变,连接到一个读取位线的单元的数量可以减少,因此,用于FPGA的读取操作的读取能量和读取时间可以减少。

[0223] 虽然已经参考本公开的实施例描述了本公开,但是对于本领域普通技术人员显而易见的是,在不脱离如所附权利要求中阐述的本公开的精神和范围的情况下,可以对其进行各种改变和修改。

10



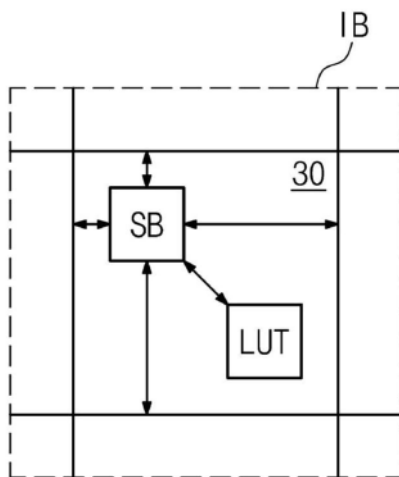


图1B

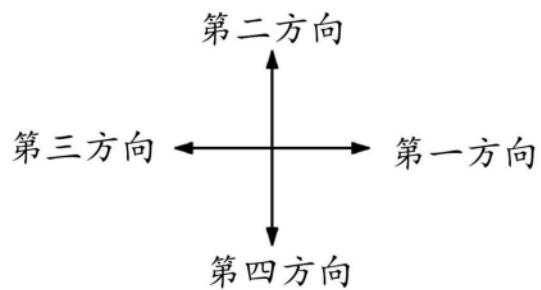
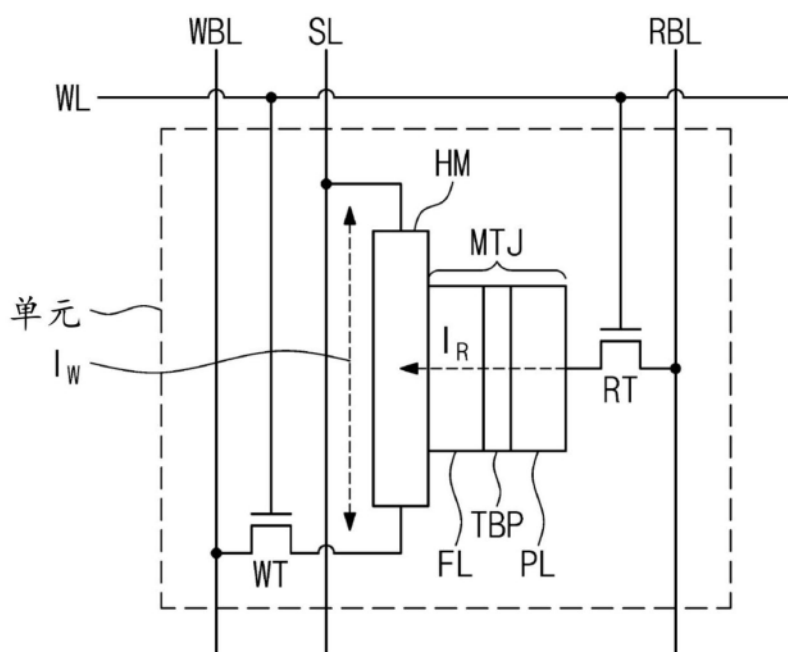


图2

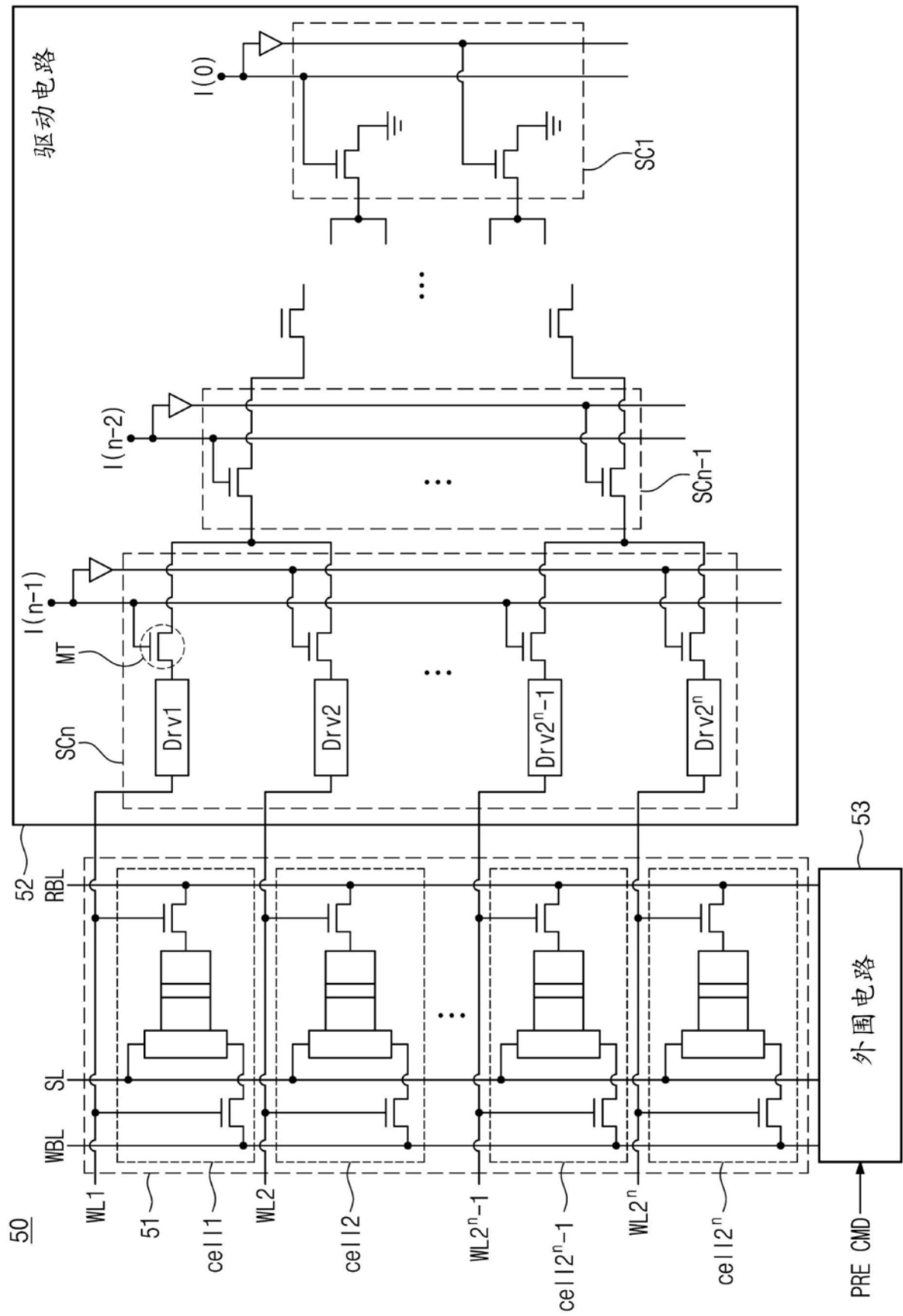


图3A

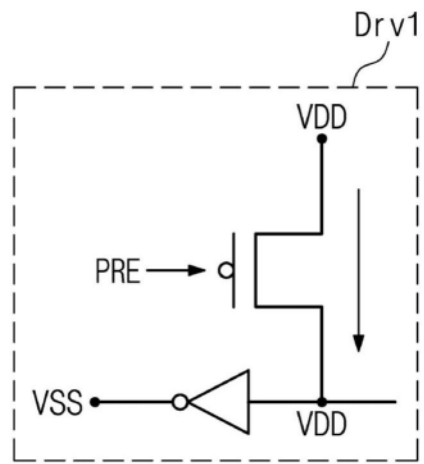


图3B

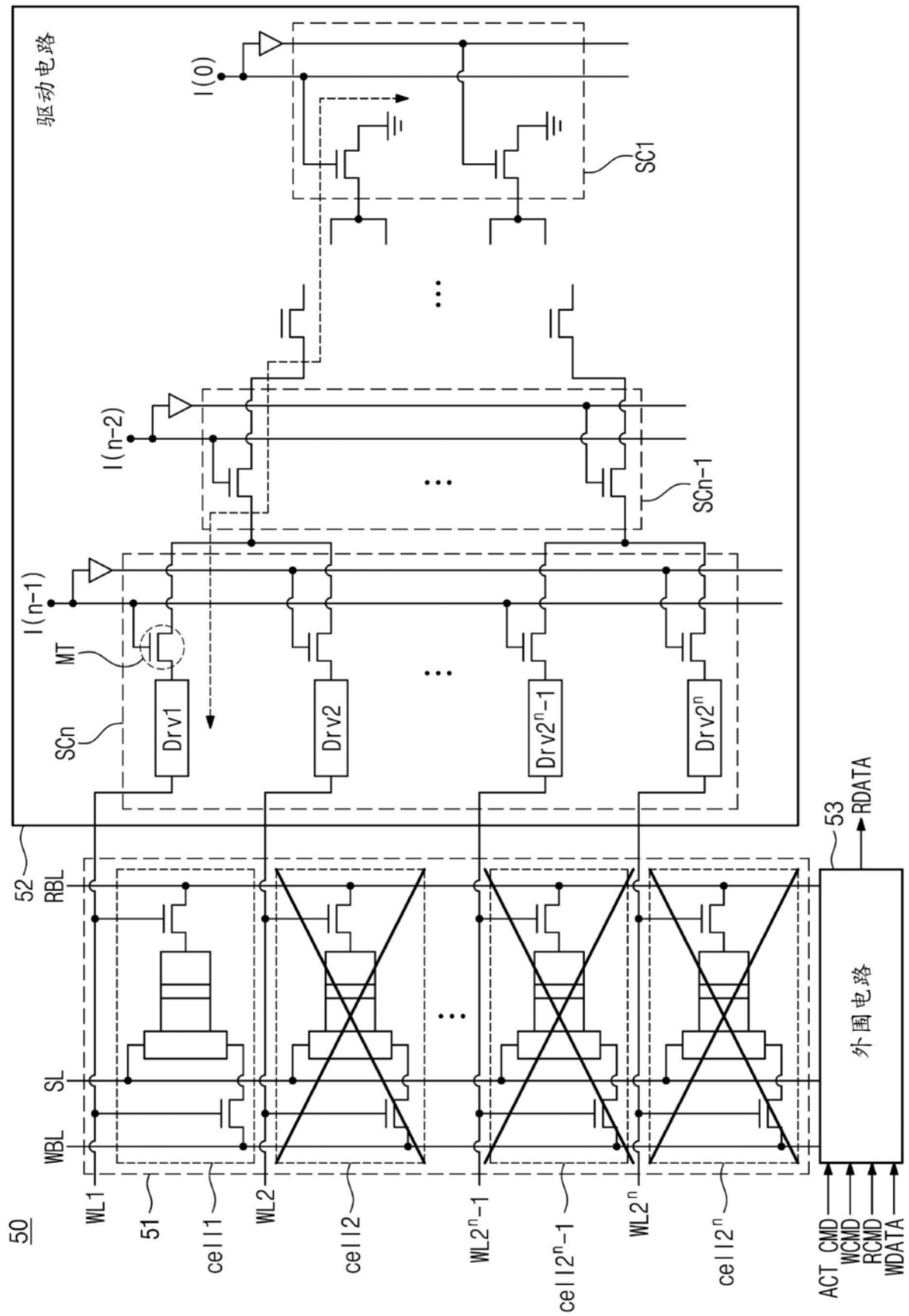


图4A

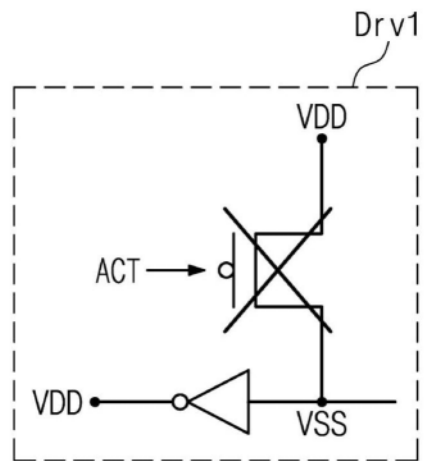


图4B

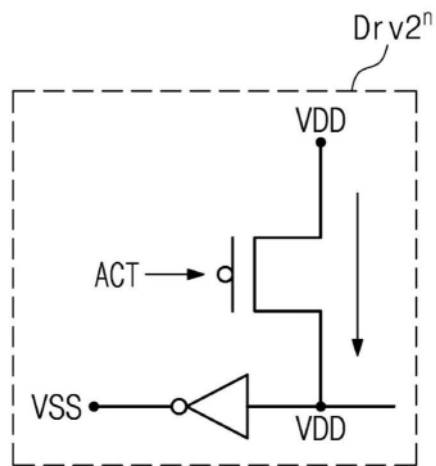


图4C

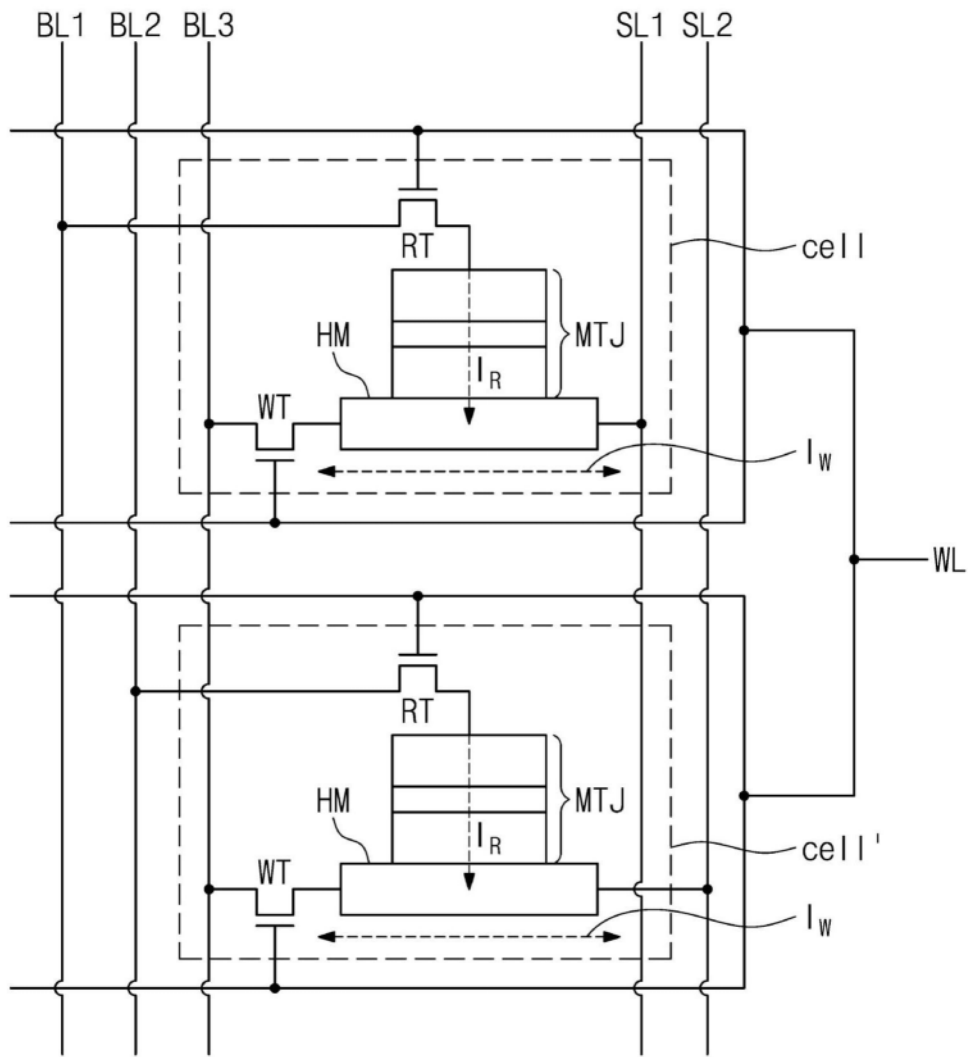


图5

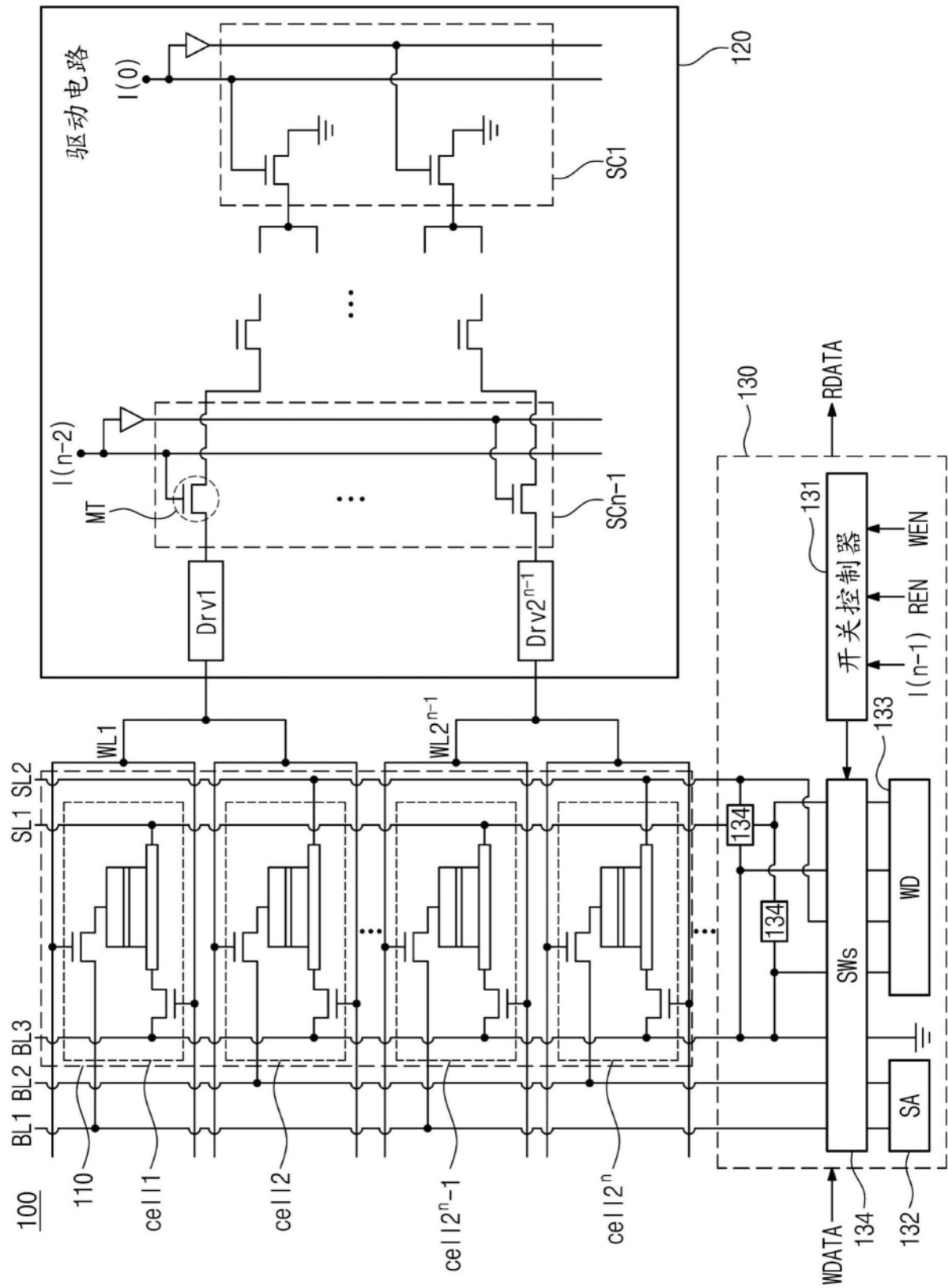


图6

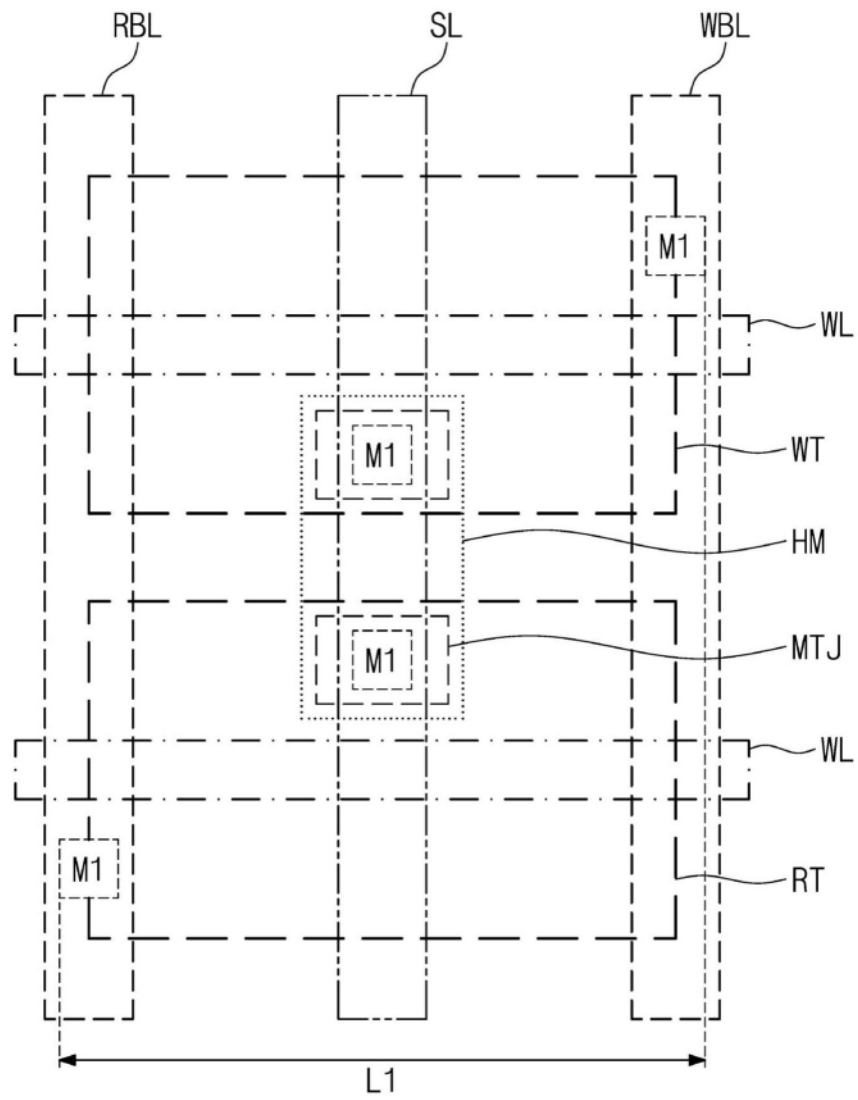


图8A

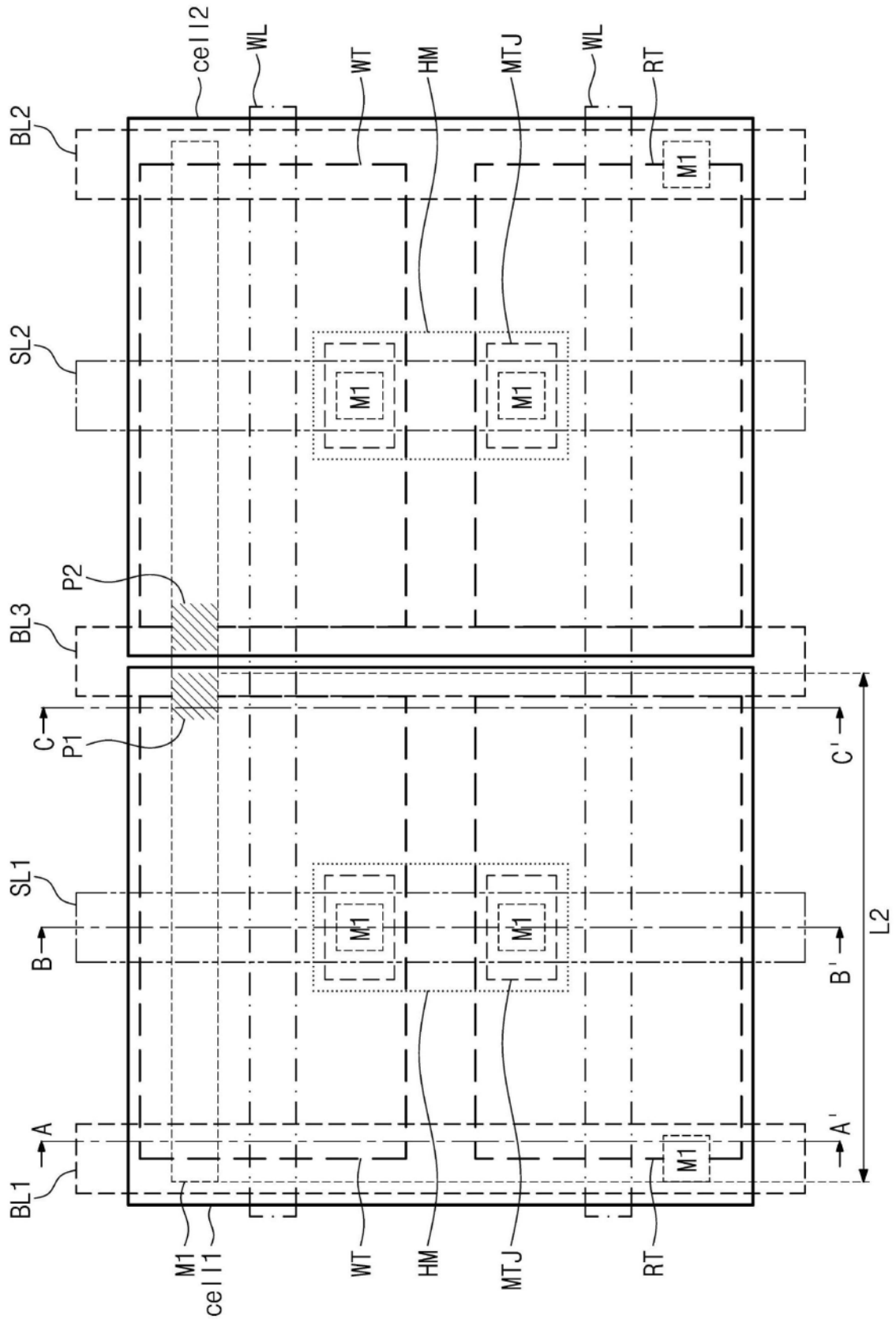


图8B

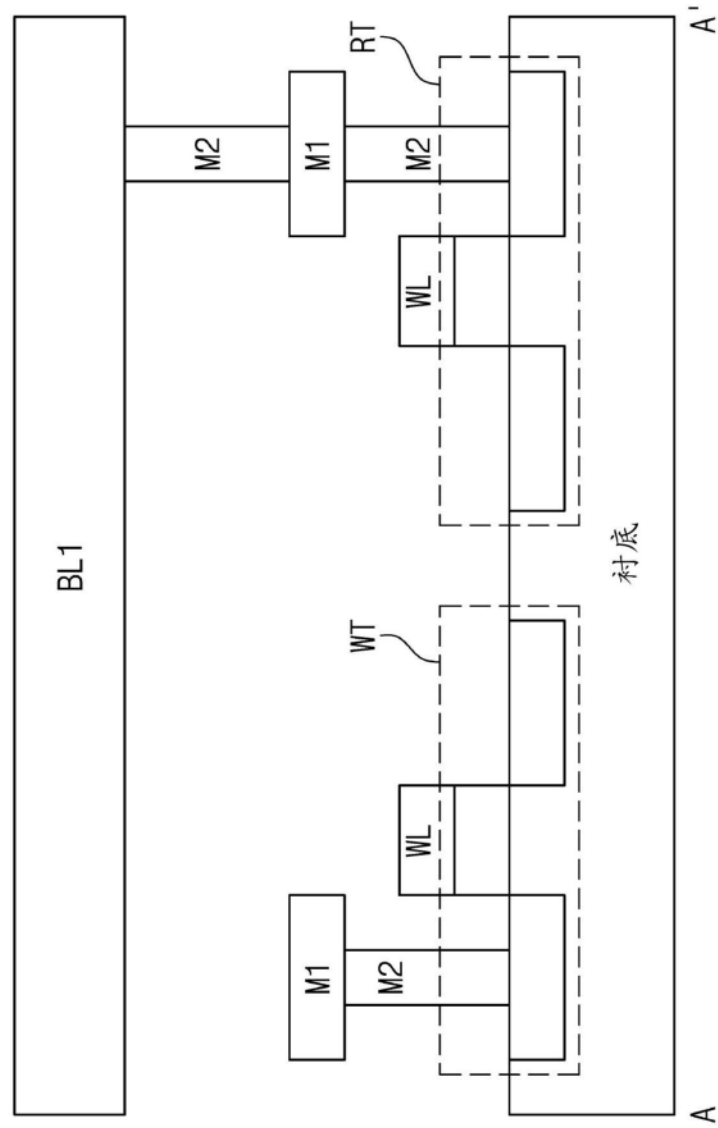


图8C

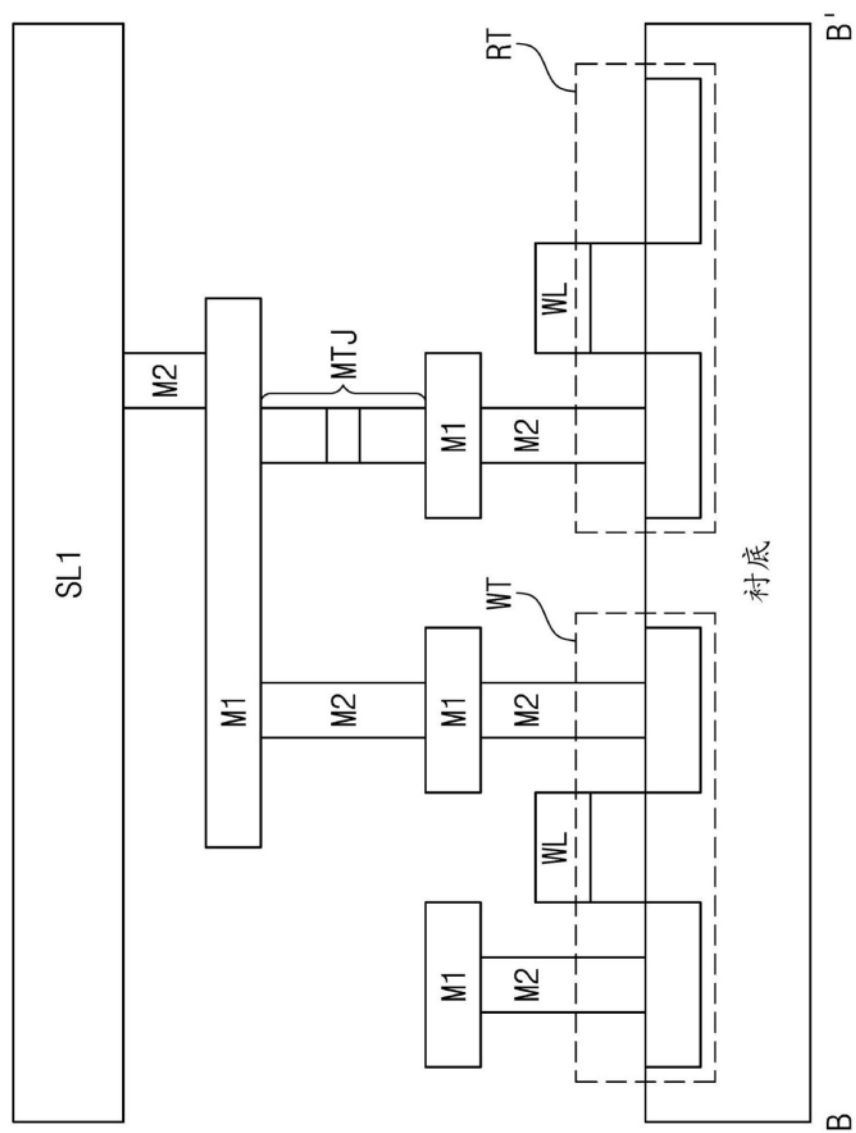


图8D

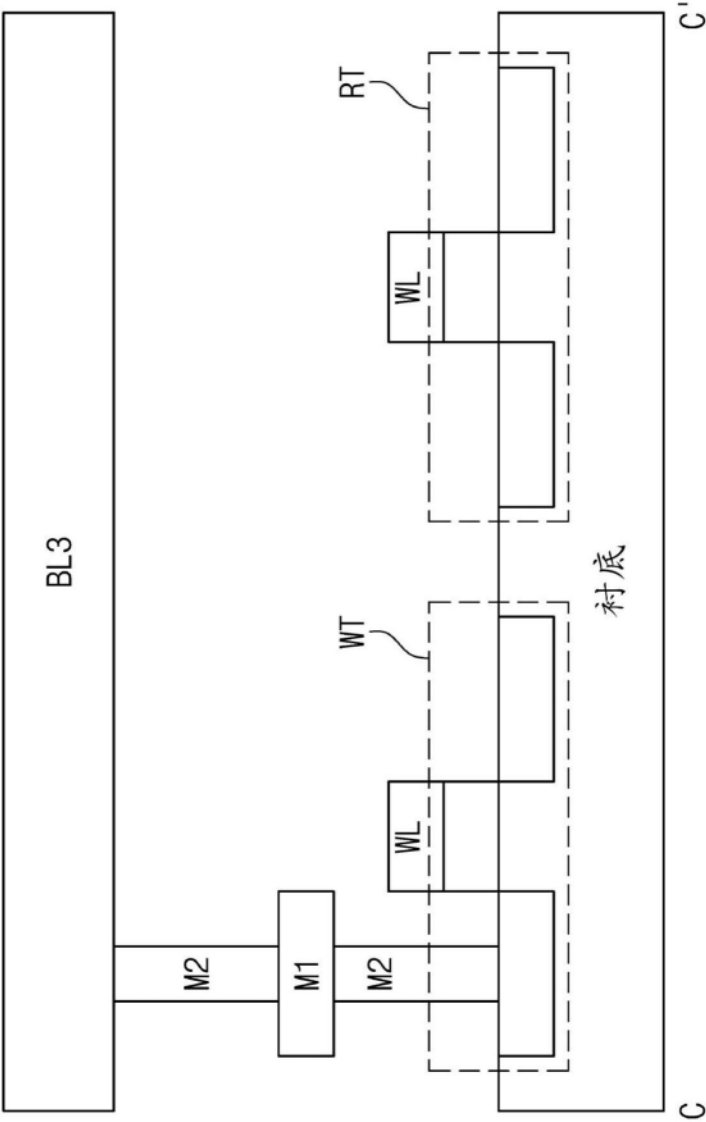


图8E

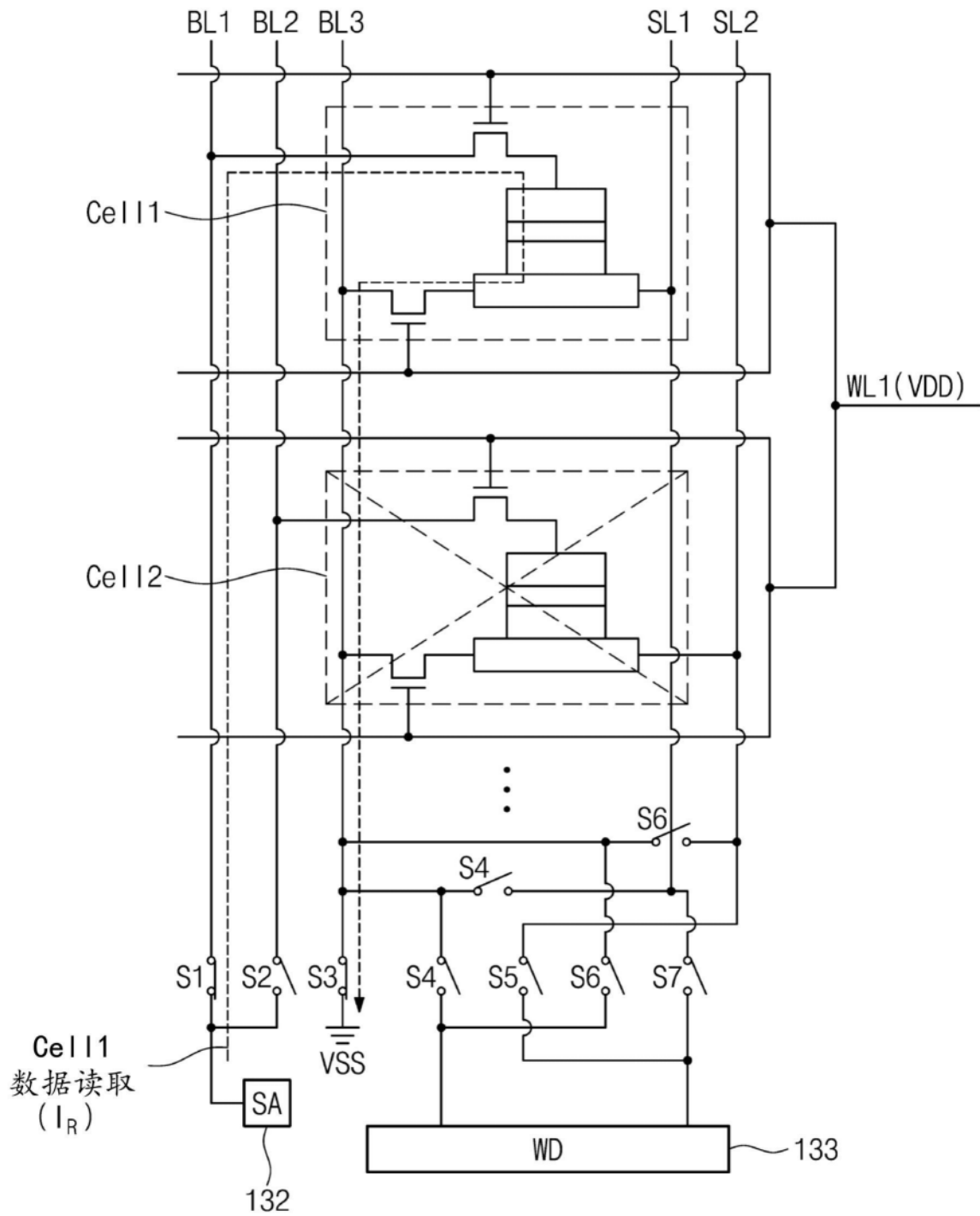


图9A

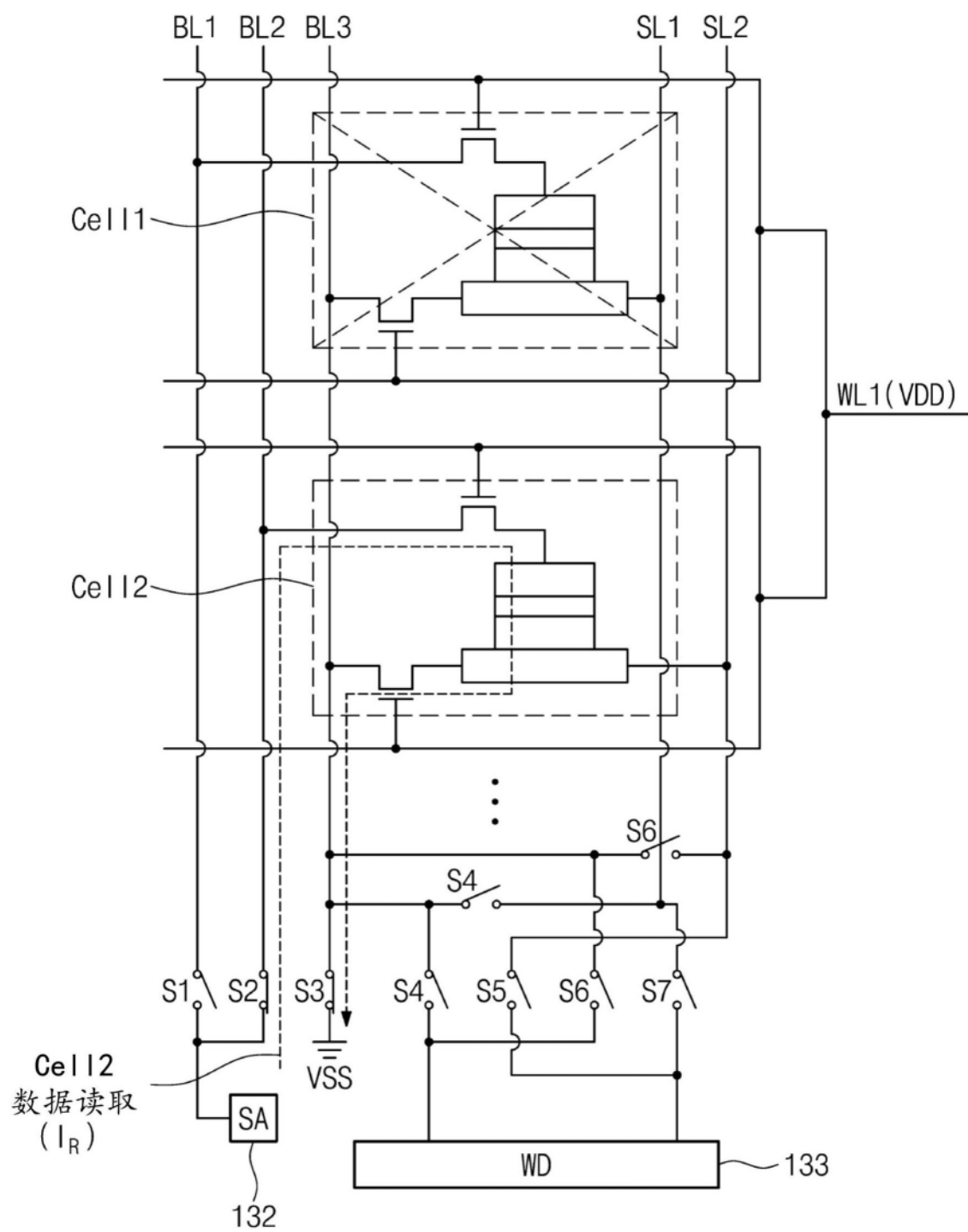


图9B

读取操作		
	Cell1	Cell2
BL1	SA	-
BL2	-	SA
BL3	VSS	VSS
SL1	-	-
SL2	-	-

图9C

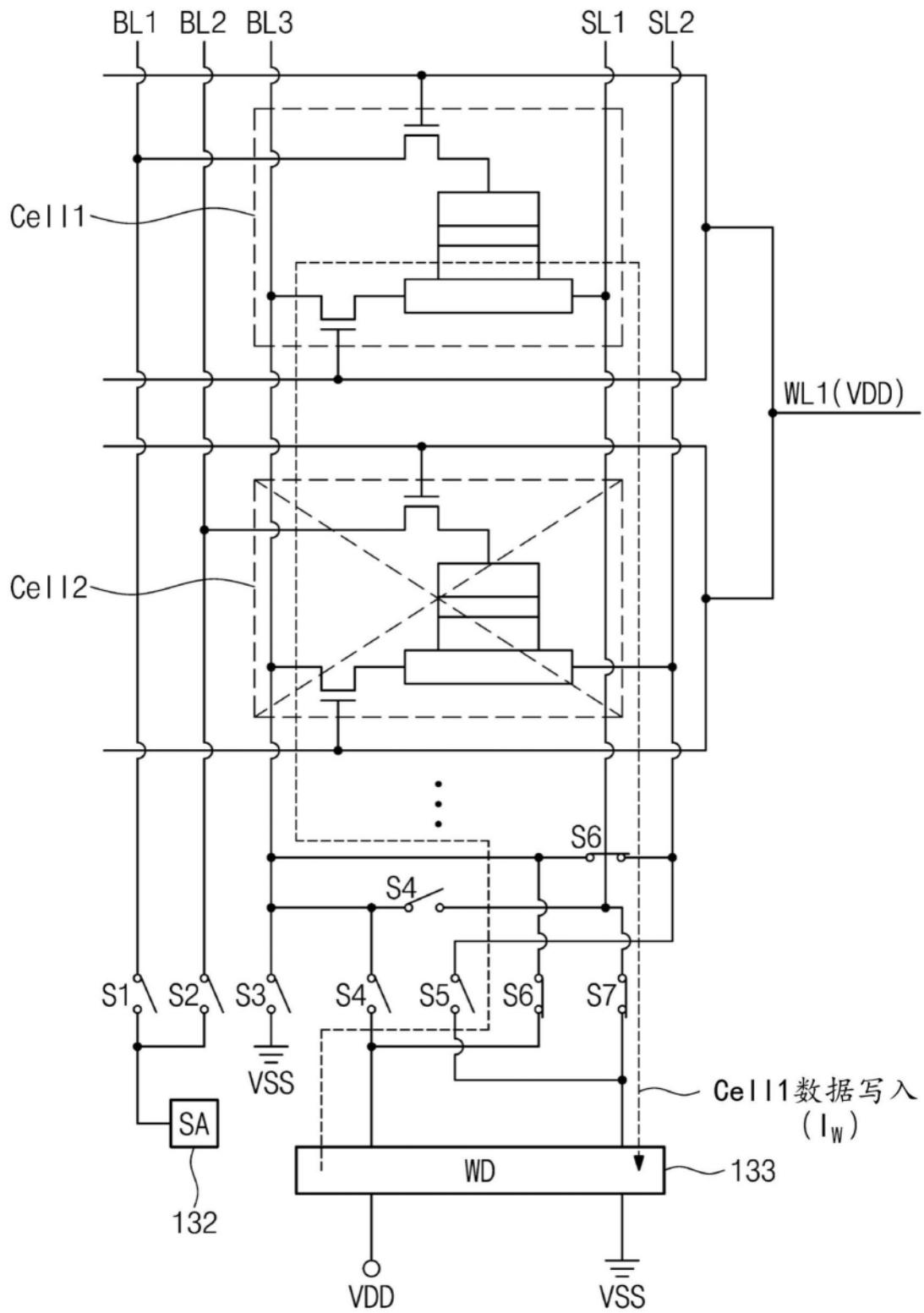


图10A

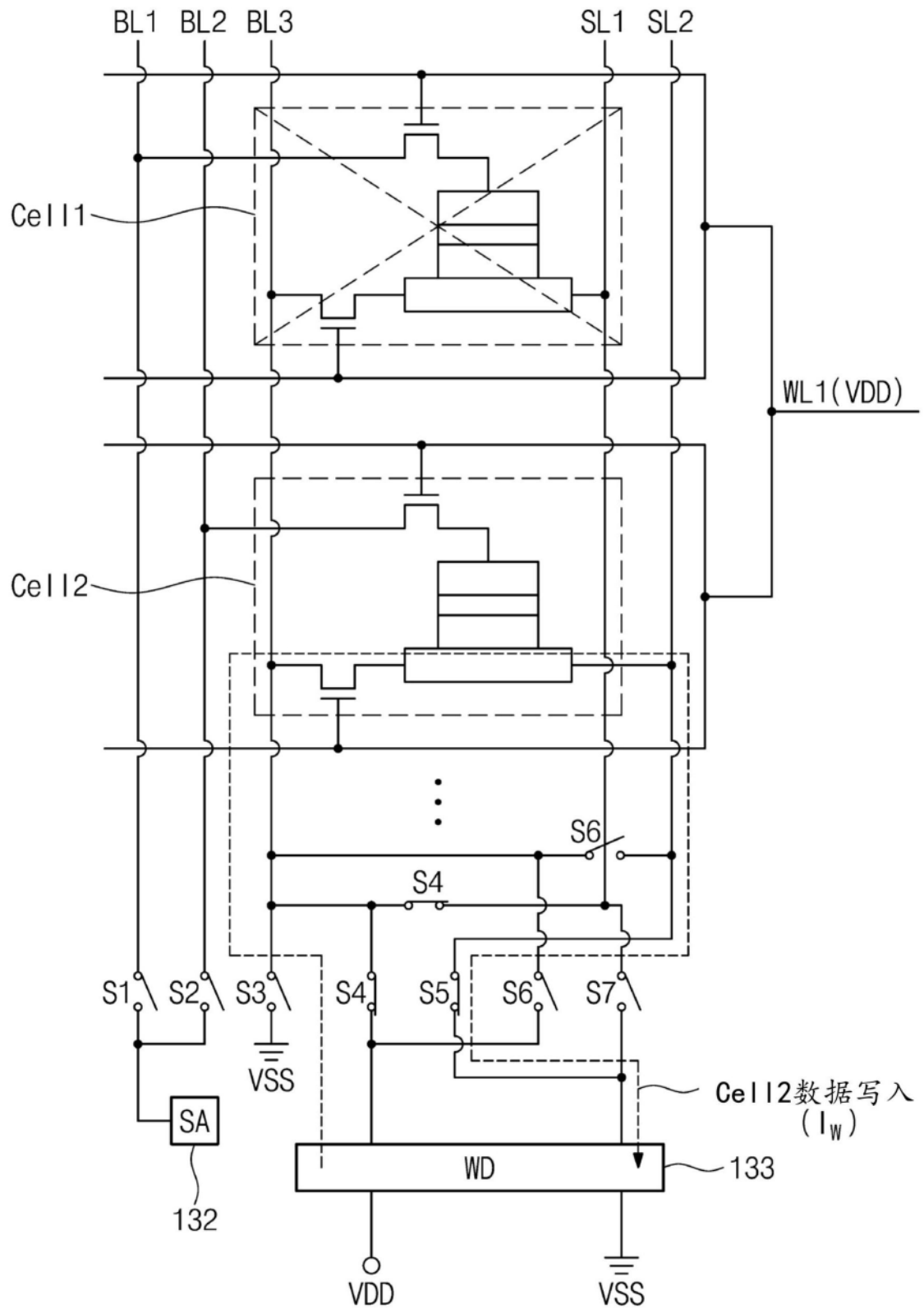


图10B

写入操作		
数据 '0'		
	Cell1	Cell2
BL1	-	-
BL2	-	-
BL3	VDD	VDD
SL1	VSS	VDD
SL2	VDD	VSS

图10C

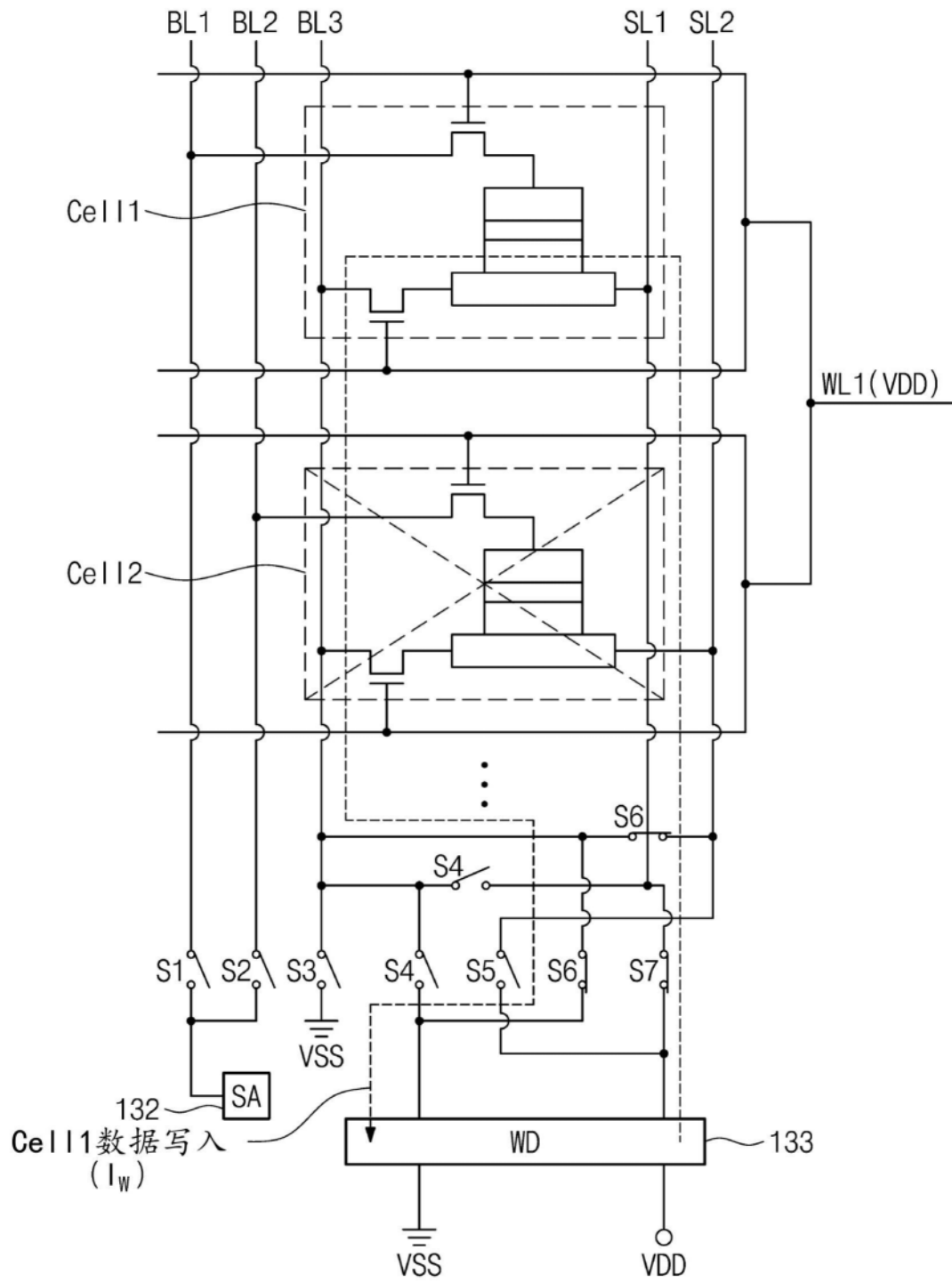


图11A

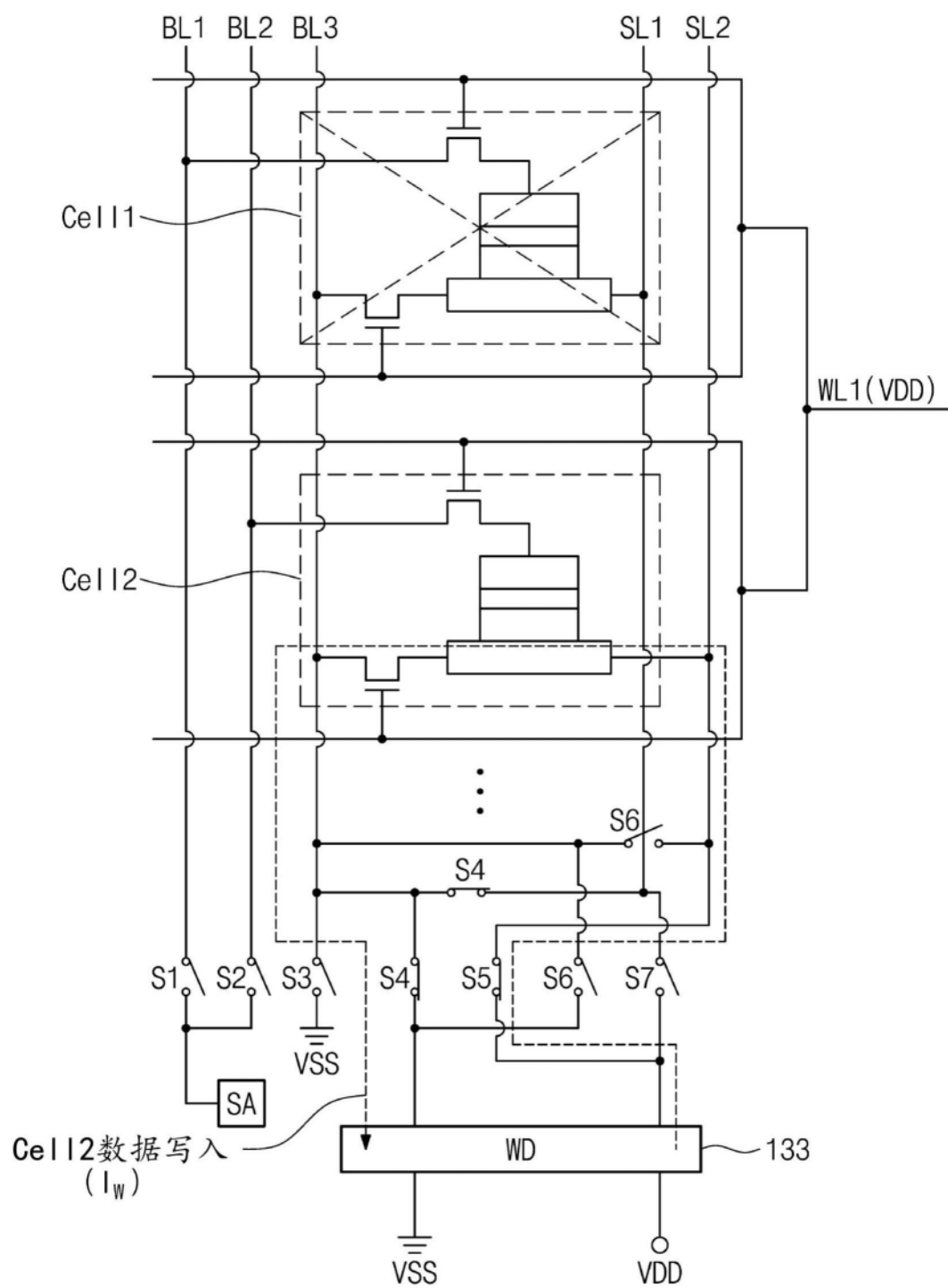


图11B

写入操作		
数据 '1'		
	Cell1	Cell2
BL1	-	-
BL2	-	-
BL3	VSS	VSS
SL1	VDD	VSS
SL2	VSS	VDD

图11C

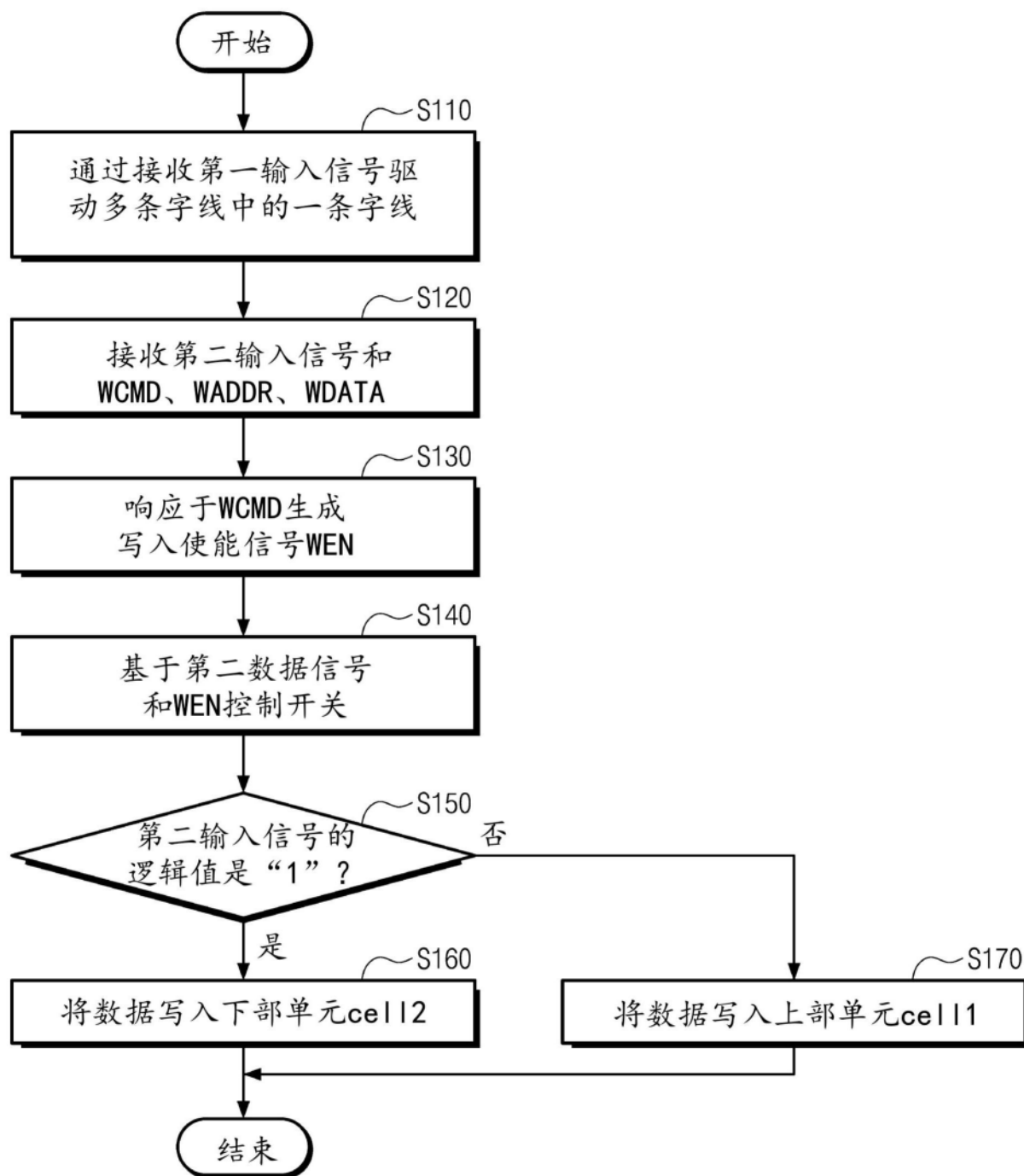


图12

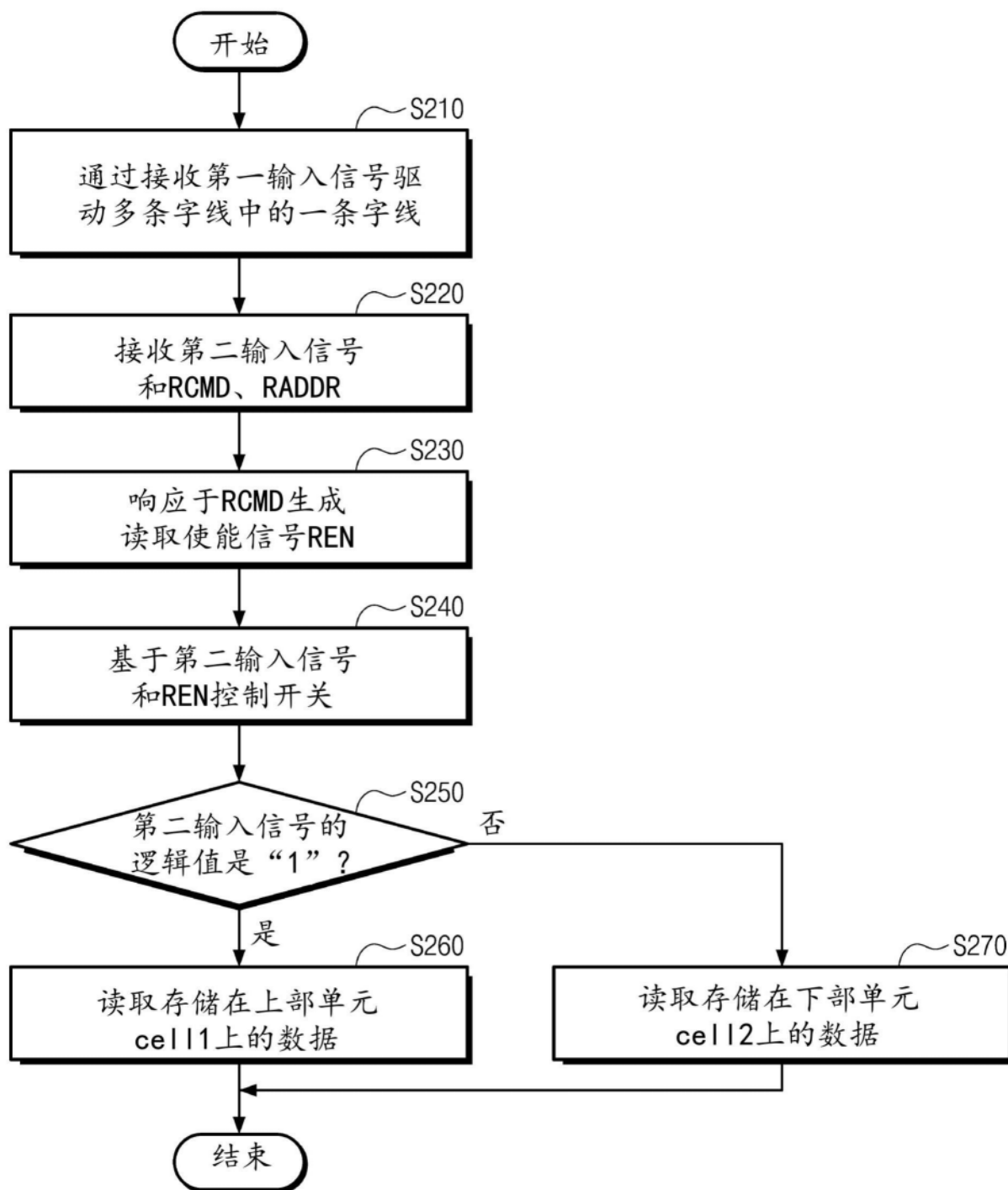


图13