

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3748111号

(P3748111)

(45) 発行日 平成18年2月22日(2006.2.22)

(24) 登録日 平成17年12月9日(2005.12.9)

(51) Int. Cl.

F I

**G02F 1/1343 (2006.01)**  
**G02F 1/133 (2006.01)**  
**G02F 1/1368 (2006.01)**  
**G09G 3/36 (2006.01)**

G02F 1/1343  
 G02F 1/133 550  
 G02F 1/1368  
 G09G 3/36

請求項の数 18 (全 22 頁)

(21) 出願番号	特願2005-23661 (P2005-23661)	(73) 特許権者	000153878
(22) 出願日	平成17年1月31日(2005.1.31)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願平7-299017の分割		神奈川県厚木市長谷398番地
原出願日	平成7年10月24日(1995.10.24)	(72) 発明者	山崎 舜平
(65) 公開番号	特開2005-189872 (P2005-189872A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成17年7月14日(2005.7.14)		半導体エネルギー研究所内
審査請求日	平成17年2月3日(2005.2.3)	(72) 発明者	小山 潤
(31) 優先権主張番号	特願平6-284475		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成6年10月24日(1994.10.24)		半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	小沼 利光
(31) 優先権主張番号	特願平6-305566		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成6年11月15日(1994.11.15)		半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	仲沢 美佐子
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

画素に第1の配線と、前記第1の配線と交差する第2の配線及び第3の配線と、第1のトランジスタと、第2のトランジスタと、第1の画素電極と、第2の画素電極とを有し、前記第1のトランジスタ、前記第2のトランジスタは、前記第1の配線に電氣的に接続され、

前記第1のトランジスタは前記第2の配線に電氣的に接続され、前記第2のトランジスタは前記第3の配線に電氣的に接続され、

前記第1の画素電極は、前記画素の中心部分に配置され、前記第2の画素電極は、前記第1の画素電極の周辺に配置されていることを特徴とする液晶表示装置。

10

【請求項2】

画素に第1の配線と、前記第1の配線と交差する第2の配線及び第3の配線と、第1のトランジスタと、第2のトランジスタと、第1の画素電極と、第2の画素電極とを有し、前記第1のトランジスタ、前記第2のトランジスタは、前記第1の配線に電氣的に接続され、

前記第1のトランジスタは前記第2の配線に電氣的に接続され、前記第2のトランジスタは前記第3の配線に電氣的に接続され、

前記画素の中心は、前記第1の画素電極の領域内に含まれ、前記第2の画素電極は、前記第1の画素電極の周辺に配置されていることを特徴とする液晶表示装置。

【請求項3】

20

画素に第 1 の配線と、前記第 1 の配線と交差する第 2 の配線及び第 3 の配線と、第 1 のトランジスタと、第 2 のトランジスタと、第 1 の画素電極と、第 2 の画素電極とを有し、前記第 1 のトランジスタ、前記第 2 のトランジスタは、前記第 1 の配線に電氣的に接続され、

前記第 1 のトランジスタは前記第 2 の配線に電氣的に接続され、前記第 2 のトランジスタは前記第 3 の配線に電氣的に接続され、

前記第 2 の画素電極は、前記第 1 の画素電極の少なくとも 2 辺に隣接することを特徴とする液晶表示装置。

【請求項 4】

画素に第 1 の配線と、前記第 1 の配線と交差する第 2 の配線及び第 3 の配線と、第 1 のトランジスタと、第 2 のトランジスタと、第 1 の画素電極と、第 2 の画素電極とを有し、前記第 1 のトランジスタ、前記第 2 のトランジスタは、前記第 1 の配線に電氣的に接続され、

前記第 1 のトランジスタは前記第 2 の配線に電氣的に接続され、前記第 2 のトランジスタは前記第 3 の配線に電氣的に接続され、

前記第 1 の画素電極及び前記第 2 の画素電極は、形状及び面積がそれぞれ異なり、前記第 1 の画素電極及び前記第 2 の画素電極には、異なる画像信号が入力されることを特徴とする液晶表示装置。

【請求項 5】

画素に第 1 の配線と、前記第 1 の配線と交差する第 2 の配線及び第 3 の配線と、第 1 のトランジスタと、第 2 のトランジスタと、第 1 の画素電極と、第 2 の画素電極とを有し、前記第 1 の画素電極は、前記第 1 のトランジスタに電氣的に接続され、

前記第 2 の画素電極は、前記第 2 のトランジスタに電氣的に接続され、

前記第 1 の画素電極は、前記画素の中心部分に配置され、前記第 2 の画素電極は、前記第 1 の画素電極の周辺に配置されていることを特徴とする液晶表示装置。

【請求項 6】

画素に第 1 の配線と、前記第 1 の配線と交差する第 2 の配線及び第 3 の配線と、第 1 のトランジスタと、第 2 のトランジスタと、第 1 の画素電極と、第 2 の画素電極とを有し、前記第 1 の画素電極は、前記第 1 のトランジスタに電氣的に接続され、

前記第 2 の画素電極は、前記第 2 のトランジスタに電氣的に接続され、

前記画素の中心は、前記第 1 の画素電極の領域内に含まれ、前記第 2 の画素電極は、前記第 1 の画素電極の周辺に配置されていることを特徴とする液晶表示装置。

【請求項 7】

画素に第 1 の配線と、前記第 1 の配線と交差する第 2 の配線及び第 3 の配線と、第 1 のトランジスタと、第 2 のトランジスタと、第 1 の画素電極と、第 2 の画素電極とを有し、前記第 1 の画素電極は、前記第 1 のトランジスタに電氣的に接続され、

前記第 2 の画素電極は、前記第 2 のトランジスタに電氣的に接続され、

前記第 2 の画素電極は、前記第 1 の画素電極の少なくとも 2 辺に隣接することを特徴とする液晶表示装置。

【請求項 8】

画素に第 1 の配線と、前記第 1 の配線と交差する第 2 の配線及び第 3 の配線と、第 1 のトランジスタと、第 2 のトランジスタと、第 1 の画素電極と、第 2 の画素電極とを有し、前記第 1 の画素電極は、前記第 1 のトランジスタに電氣的に接続され、

前記第 2 の画素電極は、前記第 2 のトランジスタに電氣的に接続され、

前記第 1 の画素電極及び前記第 2 の画素電極は、形状及び面積がそれぞれ異なり、前記第 1 の画素電極及び前記第 2 の画素電極には、異なる画像信号が入力されることを特徴とする液晶表示装置。

【請求項 9】

画素に走査線と、前記走査線と交差する第 1 の信号線及び第 2 の信号線と、第 1 の薄膜トランジスタと、第 2 の薄膜トランジスタと、第 1 の画素電極と、第 2 の画素電極とを有

10

20

30

40

50

し、

前記第 1 の画素電極は、前記第 1 の薄膜トランジスタに電氣的に接続され、  
前記第 2 の画素電極は、前記第 2 の薄膜トランジスタに電氣的に接続され、  
前記第 1 の薄膜トランジスタ、前記第 2 の薄膜トランジスタは、前記走査線に電氣的に  
接続され、

前記第 1 の薄膜トランジスタは前記第 1 の信号線に電氣的に接続され、前記第 2 の薄膜  
トランジスタは前記第 2 の信号線に電氣的に接続され、

前記第 1 の画素電極は、前記画素の中心部分に配置され、前記第 2 の画素電極は、前記  
第 1 の画素電極の周辺に配置されていることを特徴とする液晶表示装置。

【請求項 10】

画素に走査線と、前記走査線と交差する第 1 の信号線及び第 2 の信号線と、第 1 の薄膜  
トランジスタと、第 2 の薄膜トランジスタと、第 1 の画素電極と、第 2 の画素電極とを有  
し、

前記第 1 の画素電極は、前記第 1 の薄膜トランジスタに電氣的に接続され、  
前記第 2 の画素電極は、前記第 2 の薄膜トランジスタに電氣的に接続され、  
前記第 1 の薄膜トランジスタ、前記第 2 の薄膜トランジスタは、前記走査線に電氣的に  
接続され、

前記第 1 の薄膜トランジスタは前記第 1 の信号線に電氣的に接続され、前記第 2 の薄膜  
トランジスタは前記第 2 の信号線に電氣的に接続され、

前記画素の中心は、前記第 1 の画素電極の領域内に含まれ、前記第 2 の画素電極は、前  
記第 1 の画素電極の周辺に配置されていることを特徴とする液晶表示装置。

【請求項 11】

画素に走査線と、前記走査線と交差する第 1 の信号線及び第 2 の信号線と、第 1 の薄膜  
トランジスタと、第 2 の薄膜トランジスタと、第 1 の画素電極と、第 2 の画素電極とを有  
し、

前記第 1 の画素電極は、前記第 1 の薄膜トランジスタに電氣的に接続され、  
前記第 2 の画素電極は、前記第 2 の薄膜トランジスタに電氣的に接続され、  
前記第 1 の薄膜トランジスタ、前記第 2 の薄膜トランジスタは、前記走査線に電氣的に  
接続され、

前記第 1 の薄膜トランジスタは前記第 1 の信号線に電氣的に接続され、前記第 2 の薄膜  
トランジスタは前記第 2 の信号線に電氣的に接続され、

前記第 2 の画素電極は、前記第 1 の画素電極の少なくとも 2 辺に隣接することを特徴と  
する液晶表示装置。

【請求項 12】

画素に走査線と、前記走査線と交差する第 1 の信号線及び第 2 の信号線と、第 1 の薄膜  
トランジスタと、第 2 の薄膜トランジスタと、第 1 の画素電極と、第 2 の画素電極とを有  
し、

前記第 1 の画素電極は、前記第 1 の薄膜トランジスタに電氣的に接続され、  
前記第 2 の画素電極は、前記第 2 の薄膜トランジスタに電氣的に接続され、  
前記第 1 の薄膜トランジスタ、前記第 2 の薄膜トランジスタは、前記走査線に電氣的に  
接続され、

前記第 1 の薄膜トランジスタは前記第 1 の信号線に電氣的に接続され、前記第 2 の薄膜  
トランジスタは前記第 2 の信号線に電氣的に接続され、

前記第 1 の画素電極及び前記第 2 の画素電極は、形状及び面積がそれぞれ異なり、  
前記第 1 の画素電極及び前記第 2 の画素電極には、異なる画像信号が入力されることを  
特徴とする液晶表示装置。

【請求項 13】

画素に信号線と、前記信号線と交差する第 1 の走査線及び第 2 の走査線と、第 1 の薄膜  
トランジスタと、第 2 の薄膜トランジスタと、第 1 の画素電極と、第 2 の画素電極とを有  
し、

10

20

30

40

50

前記第 1 の画素電極は、前記第 1 の薄膜トランジスタに電氣的に接続され、  
 前記第 2 の画素電極は、前記第 2 の薄膜トランジスタに電氣的に接続され、  
 前記第 1 の薄膜トランジスタは前記第 1 の走査線に電氣的に接続され、前記第 2 の薄膜トランジスタは前記第 2 の走査線に電氣的に接続され、

前記第 1 の画素電極は、前記画素の中心部分に配置され、前記第 2 の画素電極は、前記第 1 の画素電極の周辺に配置されていることを特徴とする液晶表示装置。

【請求項 14】

画素に信号線と、前記信号線と交差する第 1 の走査線及び第 2 の走査線と、第 1 の薄膜トランジスタと、第 2 の薄膜トランジスタと、第 1 の画素電極と、第 2 の画素電極とを有し、

10

前記第 1 の画素電極は、前記第 1 の薄膜トランジスタに電氣的に接続され、  
 前記第 2 の画素電極は、前記第 2 の薄膜トランジスタに電氣的に接続され、  
 前記第 1 の薄膜トランジスタは前記第 1 の走査線に電氣的に接続され、前記第 2 の薄膜トランジスタは前記第 2 の走査線に電氣的に接続され、

前記画素の中心は、前記第 1 の画素電極の領域内に含まれ、前記第 2 の画素電極は、前記第 1 の画素電極の周辺に配置されていることを特徴とする液晶表示装置。

【請求項 15】

画素に信号線と、前記信号線と交差する第 1 の走査線及び第 2 の走査線と、第 1 の薄膜トランジスタと、第 2 の薄膜トランジスタと、第 1 の画素電極と、第 2 の画素電極とを有し、

20

前記第 1 の画素電極は、前記第 1 の薄膜トランジスタに電氣的に接続され、  
 前記第 2 の画素電極は、前記第 2 の薄膜トランジスタに電氣的に接続され、  
 前記第 1 の薄膜トランジスタは前記第 1 の走査線に電氣的に接続され、前記第 2 の薄膜トランジスタは前記第 2 の走査線に電氣的に接続され、

前記第 2 の画素電極は、前記第 1 の画素電極の少なくとも 2 辺に隣接することを特徴とする液晶表示装置。

【請求項 16】

画素に信号線と、前記信号線と交差する第 1 の走査線及び第 2 の走査線と、第 1 の薄膜トランジスタと、第 2 の薄膜トランジスタと、第 1 の画素電極と、第 2 の画素電極とを有し、

30

前記第 1 の画素電極は、前記第 1 の薄膜トランジスタに電氣的に接続され、  
 前記第 2 の画素電極は、前記第 2 の薄膜トランジスタに電氣的に接続され、  
 前記第 1 の薄膜トランジスタは前記第 1 の走査線に電氣的に接続され、前記第 2 の薄膜トランジスタは前記第 2 の走査線に電氣的に接続され、

前記第 1 の画素電極及び前記第 2 の画素電極は、形状及び面積がそれぞれ異なり、  
 前記第 1 の画素電極及び前記第 2 の画素電極には、異なる画像信号が入力されることを特徴とする液晶表示装置。

【請求項 17】

請求項 1 乃至請求項 16 のいずれか一において、前記第 1 の画素電極及び前記第 2 の画素電極に対向するパターンニングされた電極を有することを特徴とする液晶表示装置。

40

【請求項 18】

請求項 1 乃至請求項 17 のいずれか一において、前記第 1 の画素電極及び前記第 2 の画素電極は、透明画素電極であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型の液晶表示装置及びその駆動方法に関するものである。

【背景技術】

【0002】

50

従来、表示装置としてCRTが最も一般的である。しかし、CRTは真空のガラスチューブを使用し、高電圧で電子を加速しているため、容積が大きい、重さが大きい、消費電力が大きい等の問題点がある。そのため、プラズマや、液晶を使ったフラットパネル型の表示装置が開発されている。特に近年、液晶表示装置のなかでも、アクティブマトリクス型の液晶表示装置が普及しつつある。

【0003】

図10は従来例のアクティブマトリクス型液晶表示装置の構成図であり、画素マトリクス1には、信号線2、走査線3により信号線駆動回路4、走査線駆動回路5が接続されている。

【0004】

図11は従来例の画素マトリクス1の構成図であり、ガラス基板上に、信号線11~13、走査線14~16がマトリクス状に配置され、その交差部分にそれぞれ薄膜トランジスタ17~20が配置されている。薄膜トランジスタ17~20において、ソース電極は信号線11~13に接続され、ゲート電極は走査線14~16に接続されている。また、ドレイン電極は画素領域の液晶セル21~24と、保持容量25~28とに対応して配置された図示しない画素電極に接続されている。

【0005】

図12は薄膜トランジスタ17~20の電極に印加される電位の時間変化を示すグラフであり、図12(a)は薄膜トランジスタのソース電極に印加される電位 $V_s$ であり、図12(b)はゲート電極に印加される電位 $V_g$ であり、図12(c)はドレイン電極の電位 $V_d$ である。

【0006】

薄膜トランジスタ17~20がNチャネルの場合、ゲート電極がハイ(ゲート電極の電位 $V_g$ がプラス側)になると、薄膜トランジスタ17~20はオンとなり、ソース電極の電位 $V_s$ とドレイン電極の電位 $V_d$ は等しくなるように動作する。この動作により、信号線11~13の電位が保持容量25~28に書き込まれる。次に薄膜トランジスタ17~20のゲート電極がロウ(ゲート電極のマイナス側電位)になると、薄膜トランジスタ17~20はオフとなり、ソース電極、ドレイン電極間はオープン状態になる。これによって、保持容量25~28の電位は次に薄膜トランジスタ17~20がオンになり、再び書き込みが発生するまでの間、保持される。また、対向電極と画素電極の間に挟まれた図11の液晶セル21~24はその両電極の差電圧が印加され、その電圧に応じて光の偏光特性が変化する。そして、偏光板を介することにより、最終的に透過率が変化して、明暗が形成される。

【0007】

即ち、液晶表示装置は液晶物質が分子軸に対して平行方向と垂直方向とで誘電率が異なることを利用して、光の偏光や透過光量、さらには散乱量を制御することでON/OFFを制御して、明暗を表示する。液晶材料としてはTN液晶、STN液晶、強誘電性液晶等が一般的に使用されている。

【0008】

また、画素を駆動する周辺駆動回路を作製する方法には、単結晶シリコンのトランジスタ集積回路で作製する方法と、ポリシリコンを利用した薄膜トランジスタで構成し、アクティブマトリクスと同じガラス基板上に一体的に作製する方法とがある。単結晶シリコンで作製された駆動回路はTABまたはCOGという形でアクティブマトリクスに接続されるのが普通である。他方、ポリシリコン薄膜トランジスタで作製する方法では、駆動回路はTABやCOGではなく、基板上の金属配線でアクティブマトリクスに接続される。

【発明の開示】

【発明が解決しようとする課題】

【0009】

従来のアクティブマトリクス型液晶表示装置では、液晶材料には低価格及び配向制御が容易な点から、主にTN液晶が使用されている。TN液晶は偏光板を介した状態で、図1

10

20

30

40

50

3に示すような透過率 - 印加電圧 (V) 特性を有する。図13に示すように、透過率 - 印加電圧 (V) 特性は曲線の勾配が比較的緩やかなため、TN液晶を用いた液晶表示装置は印加電圧により諧調表示が可能である。

【0010】

しかしながら、TN液晶は印加する電圧に対する応答が遅いという問題点がある。一般にTN液晶を用いた液晶表示装置では、図14に示すように諧調が黒から白に変化した場合、またはその逆に白から黒に変化した場合には、10msから数10msの応答遅れが発生する。特に一つの表示画素に着目すると、黒から白に諧調が変化する際に、画素中心部の階調がまず変化して、これに遅れて、表示画素周辺部の諧調が変化していることが観察される。この応答の遅れは、画素領域の液晶の周辺部と中心部とでは、電界を加えた際における応答時間に違いが見られる現象に起因する。

10

【0011】

図15(a)、(b)に基づいて、上記の現象を説明する。画素電極に電圧を印加した状態での図15(a)は液晶セル内の液晶分子の模式図であり、図15(b)は液晶セルの画素電極間の電気力線の模式図である。図15(a)に示すように、液晶セルは一对のガラス基板31、32間に液晶分子33が挟まれており、ガラス基板31、32には一对の透明な画素電極34、35が対向して設けられている。更に、図示される構成要素以外に配向膜やスイッチング用の薄膜トランジスタが設けられているが、図15(a)ではその記載は省略してある。また、図15(a)に示す構成を一对の偏向板で挟むことによって、最も基本的な構成の液晶表示装置を得ることができる。

20

【0012】

図15(a)に示すように、一对の画素電極34、35により電界が液晶分子33に印加されると、図15(b)に示す電気力線36に沿って、液晶分子33の分子軸が一様な方向に揃う。この結果、液晶分子33中を透過する光の偏光状態が変化する。

【0013】

しかしながら、画素電極34、35の周縁部においては、境界面37を境として、右側、即ち中央よりの液晶分子33は向きを変えようと回転するのに対して、左側の液晶分子33はそのままの状態を保持しようとする。この結果、画素電極34、35間において、境界面37近傍の液晶分子33は応答速度が画素電極34、35の中央付近の変化速度に比べて遅い。

30

【0014】

従来のアクティブマトリクス型液晶表示装置は、静止画をCRTと同等以上の画質で表示することが可能であるが、前述したような液晶分子の応答遅れのために、動画の画質はCRTよりも低い。実際には、この応答遅れは高速で色調が変化した際の表示の不自然さ、動画表示の動きの鈍さとして現れる。

【課題を解決するための手段】

【0015】

上述の問題点を解消するために、本明細書で開示する主要な発明は、

透明基板上に信号線、走査線をマトリクス状に交差させ、その交差部分に薄膜トランジスタと透明画素電極を配置し、前記透明基板と異なる透明基板と、前記透明基板の間に液晶材料を挟み、前記液晶材料に電圧を印加して、表示を行うアクティブマトリクス型の液晶表示装置において、

40

透明画素電極は走査線、信号線に囲まれた画素領域のほぼ中央に位置する第1の画素電極と第1の画素電極の少なくとも2方向を囲む形状を有する第2の画素電極から成り、第1、第2の画素電極はそれぞれ異なる第1、第2の薄膜トランジスタに接続され、前記第1、第2の薄膜トランジスタはそれぞれ異なる信号線、走査線に接続されている。

【0016】

図1は上記構成を有する表示装置の具体的な構成図であり、表示単位となる一つの画素セルのみを図示している。信号線107、108と走査線105、106は格子状に配置され、この格子部分の中央には透明電極から成る中央画素電極101が配置されている。

50

更に、中央画素の略3辺を囲んで「コ」の字型の透明電極から成る周辺画素電極102が配置されている。周辺画素電極102は中央画素電極101の周囲のおよそ3/4を囲んでいる。中央画素電極101は第1の画素電極に相当し、周辺画素電極102は第2の画素電極に相当する。中央画素電極101には第1の薄膜トランジスタ103が接続され、周辺画素電極102には第2の薄膜トランジスタ104が接続されている。薄膜トランジスタ103には走査線105、信号線107が接続され、薄膜トランジスタ104には走査線106、信号線108が接続されている。

【0017】

動画像を表示する際には、薄膜トランジスタ104をONにして、周辺画素電極102のみに電圧を印加する。そして所定のタイミングだけ遅らせて薄膜トランジスタ103をONにして、中央画素電極101にも電圧を印加する。即ち、最初に画素領域の周辺部のおよそ3/4の液晶が応答して、しかる後に画素領域の中心領域を占める液晶が遅れて応答する。

10

【0018】

従来例では、画素電極に電荷が印加されても、画素電極の周縁部の液晶は電極外の液晶の影響を受けて、応答が緩慢であったが、本発明では、あらかじめ応答に時間のかかる画素の周辺部の液晶を先に応答させ、しかる後に画素の中心領域の液晶を応答させている。更に、中央画素電極101、周辺画素電極102の動作タイミングを適宜設定することで、画素領域全体の液晶が立ち上がるタイミングを揃えている。その結果、見かけ上、画素セル内の液晶がほとんど同時に高速に応答するようにして、動画を正確に表示することができる。

20

【0019】

上記のように動作させるには、第1の薄膜トランジスタ103、第2の薄膜トランジスタ104をそれぞれ異なる信号線、走査線を介して、異なる駆動回路によって、異なるタイミングで駆動する必要がある。具体的なタイミングの例としては、例えば第1の薄膜トランジスタ103を駆動するための画像信号を第2の薄膜トランジスタ104を駆動する画像信号よりも1フレーム期間の少なくとも1以上の自然数倍の時間遅れを有する信号とすればよい。

【0020】

また、中央画素電極101と周辺画素電極102とを離して配置しているが、この場合は、その離れる距離が重要である。図15(b)に示すように、一对の画素電極により電圧を印加した際には、画素の境界面から電気力線がはみだしているため、画素電極に挟まれていない液晶分子も応答している。図3は印加電圧に応答した液晶分子の位置を電極から離間距離として測定した結果を示す。5Vの電圧印加に対して、離間距離は4 $\mu$ m程度である。これは、5Vの電圧印加に対しては、画素電極から4 $\mu$ m程度離れた位置に在る液晶分子の向きを変化させることができることを意味している。従って、印加電圧を5Vとする場合には、図1において、中央画素電極101と周辺画素電極102の離間距離は4 $\mu$ m以内とすればよい。

30

【0021】

更に、本明細書で開示する他の発明は、  
 液晶に電界を加えるための1単位の領域を有し、  
 前記1単位の領域には複数の電極が配置されており、  
 前記複数の電極として、  
 前記1単位の領域の周辺に接する領域の1/2以上を占める電極と、  
 前記1単位の領域における中心部分を占める電極と、  
 を少なくとも有することを特徴とする。

40

【0022】

図1は上記構成を有する表示装置の具体的な構成図であり、画素領域として画定される1単位の画素領域は中央画素電極101と周辺画素電極102から構成され、表示の最小単位となるものである。表示単位となる画素領域の中心部分に中心画素電極101が配置

50

され、中心画素電極 101 の周囲に、周辺画素電極 102 が配置されている。

【0023】

上記の構成を有する発明において、中央画素電極の少なくとも  $1/2$  以上の領域が周辺画素電極で占められる必要がある。言い換えれば、表示単位の周辺部の領域を  $1/2$  以上を周辺画素電極占める必要がある。これは、中央画素電極下の液晶において、電極外部の液晶と接する部分の割合がその周囲全体に対して  $50\%$  以上となると、周辺画素電極を中央画素電極よりも早いタイミングで駆動しても、画素領域周辺の液晶の影響による液晶の応答の遅れが顕著になるからである。図 1 に示す構成においては、画素領域の周辺に接する領域のおよそ  $3/4$  が周辺画素電極 102 によって占められ、中央画素電極下の液晶が電極外部の液晶と接する部分の割合はおよそ  $25\%$  となっている。

10

【0024】

他の発明の構成は、  
 液晶に電界を加えるための 1 単位の領域を有し、  
 前記領域には複数の電極が配置されており、  
 前記複数の電極として、  
 前記 1 単位の領域の周辺に接する領域の  $1/2$  以上を占める電極と、  
 前記領域における中心領域を占める電極と、  
 を少なくとも有することを特徴とする。

【0025】

他の発明の構成は、  
 液晶に電界を加えるための 1 単位の領域を有し、  
 前記領域には複数の電極が配置されており、  
 前記複数の電極として、  
 前記領域における中心部を占める電極と、  
 該電極周囲の  $1/2$  以上を囲んで配置された電極と、  
 を少なくとも有することを特徴とする。

20

【0026】

他の発明の構成は、  
 液晶を用いた表示を行う 1 単位の領域を有し、  
 前記 1 単位の領域の周辺に接する領域の  $1/2$  以上の領域に電界を加える手段と、  
 該手段からの電界が液晶に加えられた後に前記 1 単位の領域の中心部に電界を加える手段と、  
 を少なくとも有することを特徴とする。

30

【0027】

上記構成を有する発明を図 1 を用いて具体的に説明する。図 1 には、中央画素電極 101 と周辺画素電極 102 で構成された 1 単位の領域が示されている。図 1 に示す構成においては、この 1 単位の領域が画素電極となる。ここで、中心画素電極 101 が 1 単位の領域の中心部を占める電極であり、周辺画素電極 102 がこの 1 単位の領域の周辺に接する領域のおよそ  $3/4$  の領域に電界を加えるための電極である。

【0028】

図 1 に示す構成においては、周辺画素電極 102 から液晶に対して電界を印加した後に、所定のタイミングを遅らせて、中心画素電極 101 から液晶に対して電界を印加する。こうして、画素領域の周辺に接する領域から画素領域の中心領域へと順次所定のタイミングで電界を加える構成を実現することができる。このため、応答の遅い画素領域の周辺に接した領域を最初に応答させることができ、結果として画素全体を一様に高速度で応答させることができる。

40

【0029】

他の発明の構成は、  
 液晶の一部の領域に電界を加える手段を少なくとも有する表示装置であって、前記手段は、

50

前記一部の領域の周辺に接する領域の1/2以上の領域にまず電界を加え、その後他の領域に電界を加える機能を有することを特徴とする。

【0030】

他の発明の構成は、

液晶の所定の領域に電界を加える手段を少なくとも有する表示装置であって、前記手段は、

前記所定の領域の周辺に接する少なくとも一部の領域から前記所定の領域の中心部および/または中心周辺部へと順次電界を加える機能を有することを特徴とする。

【0031】

他の発明の構成は、

液晶の所定の領域に電界を加える手段を少なくとも有する表示装置であって、前記手段は、

前記所定の領域の周辺に接する少なくとも一部の領域に電界を加えた後前記所定の領域の中心部および/または中心周辺部に電界を加える機能を有することを特徴とする。

【0032】

上記構成の具体的な例としては、図1に示すように、画素領域である所定の領域の周辺に接する領域に電界を加えるための周辺画素電極102と、所定の領域の中心部に電界を加えるための中央画素電極101を有する構成を挙げることができる。このような構成を採用することにより、画素領域となる液晶の所定の領域の周辺部から中心部へと順次に液晶を応答させることができ、画素領域周辺の液晶の影響による応答の遅れを補正することができる。

【0033】

さらに本明細書で開示する発明では、周辺画素電極を中央画素電極とは異なる面内に形成したことを特徴とする。このような構成を採用すると、中央画素電極の周辺領域に電界がより印加されやすくなる構成とすることができる。

【0034】

また、上述の問題点を解消するために、本明細書で開示する発明の他の主要な構成は、

透明基板上に信号線、走査線をマトリクス状に交差させ、その交差部分に薄膜トランジスタと透明画素電極を配置し、前記透明基板と異なる透明基板と前記透明基板の間に液晶材料をはさみ、前記液晶材料に電圧を印加し、表示を行うアクティブマトリクス型液晶表示装置において、透明画素電極は走査線、信号線に囲まれた画素領域のほぼ中央に位置する第1の画素電極と第1の画素電極を囲む形状を持った第2の画素電極からなり、第1、第2の画素電極は、それぞれ異なる第1、第2の薄膜トランジスタに接続され、前記第1、第2の薄膜トランジスタはそれぞれ異なる信号線、走査線に接続され、前記第1の画素電極と前記第2の画素電極とは、異なる平面上に形成されていることを特徴とする。

【0035】

更に、本発明の他の構成は、

透明基板上にマトリクス状に配置された透明画素電極を有し、前記透明画素電極は、走査線、信号線に囲まれた画素領域のほぼ中央に位置する第1の画素電極と第1の画素電極を囲む形状を持った第2の画素電極からなり、第1、第2の画素電極はそれぞれ異なる第1、第2の薄膜トランジスタに接続され、前記第1、第2の薄膜トランジスタはそれぞれ異なる信号線、走査線に接続され、前記第1の画素電極と前記第2の画素電極とは異なる平面上に形成されているアクティブマトリクス型の液晶表示装置において、入力された画像信号をフレームメモリによって遅延させ、原信号と比較を行い、動き部分を検出し、動き部分が検出された場合に、前記第2の薄膜トランジスタを、第1の薄膜トランジスタを駆動するより1フレーム以上先の画像信号を用いて駆動することを特徴とする。

【0036】

図6は上記発明の具体的な構成図であり、アクティブマトリクス方式の液晶表示装置における画素セルの構成図であり、図6(a)は画素の上面図を示し、図6(b)は図6(a)の線a-a'で切った断面図である。図6(a)に示すように、透光性を有する基板

10

20

30

40

50

上に、従来の画素に対応する中央画素電極 601 が設けられ、更に、第 2 の画素電極として、周辺画素電極 602 が中央画素電極 601 の周辺に接し、その 4 辺を囲むように設けられている。中央画素電極 601 には画素薄膜トランジスタ 603 が接続され、周辺画素電極 602 には薄膜トランジスタ 604 が接続されている。

【0037】

更に、薄膜トランジスタ 603、604 にはそれぞれ走査線 605、606、信号線 607、608 が独立に接続されている。更に、走査線 605、606、信号線 607、608 にはそれぞれ図示しない駆動回路が独立に接続されている。このため、中央画素電極 601 と周辺画素電極 602 とを異なる駆動回路により、異なるタイミングで動作させることができる。

10

【0038】

また、図 6 (b) に示すように、周辺画素電極 602 は中央画素電極 601 の下層に配置されており、中央画素電極 601 が形成される層と周辺画素電極 602 が形成される層との間には、 $\text{SiN}$ 、 $\text{Al}_2\text{O}_3$  等の絶縁膜層 609 が形成されている。

【0039】

周辺画素電極 602 を中央画素電極 601 と異なる層に配置することにより、電氣的に絶縁された層において、それぞれの電極に接続させる配線を設けることができる。例えば、中央画素電極 601 に接続された配線パターンを絶縁膜 609 上に形成することができるため、周辺画素電極 602 上を横断して配置することができる。従って、中央画素電極 601 の周囲を全て囲んで周辺画素電極 602 を配置することができる。

20

【0040】

また、図 6 (b) に示すように、中央画素電極 601 と周辺画素電極 602 とは、中央画素電極 601 の周縁で重なるようにしている。このような構成を採用したため、中央画素電極 601 の周縁部分に対して、周辺画素電極 602 により、電圧を印加することができる。更に、中央画素電極 601 と周辺画素電極 602 とが部分的に重なっているために、プロセスでのアライメントのずれを補償することができる。このため、プロセスマージンを高めることができる。

【0041】

具体的な動作としては、中央画素電極 601 に電圧が印加されるよりも先に周辺画素電極 602 間に電圧を印加する。すると周辺画素電極 602 に挟まれる液晶分子が長軸の方向が電気力線と平行になるように配向すると同時に、中央画素電極 601 の周縁の液晶分子もが分子の長軸の向きが初期配向状態から、電気力線に沿うようになるように変わる。便宜上これを第 1 の応答ということとする。

30

【0042】

次に、所定の時間遅れたタイミングで中央画素電極 601 にも電圧を印加する。これにより、中央画素電極 601 に挟まれる液晶分子が長軸の方向が電気力線と平行になるように配向する。便宜上、これを第 2 の応答という。

【0043】

第 2 の応答において、周辺画素電極 602 からの電圧印加により、中央画素電極 601 の周縁の液晶分子は既に応答しているため、中央画素電極 601 間の液晶分子は位置に拘らず、応答の遅さが生じることがなく、中央画素電極の領域全体において均一に応答させることができる。

40

【0044】

第 1 の応答に要する時間  $T_1$  と第 2 の応答に要する時間  $T_2$  との関係は、 $T_1 > T_2$  となる。これは、第 1 の応答において、周辺画素電極 602 に挟まれる液晶分子は周辺の液晶分子の影響を受けて、その応答が遅くなるためである。ここで、 $T$  を  $T_1 - T_2 = T$  と定義する。本発明では、周辺画素電極 602 に電圧を印加してから中央画素電極 601 に電圧を印加するまでの時間差が  $T$  となるようにする。これにより、中央画素電極の中央における液晶の応答と中央画素電極の縁近くの液晶の応答とが同時に応答したような状態が実現できる。このような動作状態は、動画の表示において、色調の変化や動画の動

50

きを自然なものとするために非常に有用になる。

【0045】

なお、周囲画素電極602には、ブラックマトリクスを兼ねてクロムを用いることも可能である。これにより、画素周辺領域での液晶分子の配向乱れを遮蔽することができるという利点が生ずる。

【0046】

他の発明の構成は、  
複数の画素電極が配置された画素領域を有する液晶表示装置であって、  
前記画素領域には、  
画素領域の中心領域を占める第1の画素電極と、  
前記第1の画素電極の周囲全てを囲んで形成された第2の画素電極と、  
を有することを特徴とする。

10

【0047】

上記構成において、画素領域というのは、例えば表示の一つの単位がマトリクス状に配置されている領域のことをいう。例えば、図6に示す構成の場合、周辺画素電極602と中央画素電極601で構成される領域が画素領域となる。

【0048】

他の発明の構成は、  
複数の画素電極が配置された画素領域を有する液晶表示装置であって、  
前記画素領域には、  
画素領域の中心領域を占める第1の画素電極と、  
前記第1の画素電極の周囲の少なくとも一部を囲んで配置された第2の画素電極と、  
を有し、  
前記第1の画素電極と前記第2の画素電極とは異なる平面上に形成されていることを特徴とする。

20

【0049】

上記構成において、第1の画素電極と前記第2の画素電極とは異なる平面上に形成され、特に第1の画素電極の縁部分と第2の画素電極の一部とが重なることを特徴とする。

【0050】

具体的な構成としては、図6(b)に示す構成を採用できる。周辺画素電極602は中央画素電極601の下層に配置され、中央画素電極601が形成される層と周辺画素電極602が形成される層との間には、絶縁膜層609が形成されている。

30

【0051】

また、本明細書に開示する発明において、画素を駆動するための周辺駆動回路をポリシリコン薄膜トランジスタにより構成することが好ましい。周辺駆動回路をポリシリコン薄膜トランジスタで構成することにより以下の長所が生ずる。

【0052】

1、アクティブマトリクスの画素ピッチを小さくできる。

TABを用いてアクティブマトリクスを駆動する場合、TABのピッチはガラス基板と張り合わせが可能な大きさに限定されるため、アクティブマトリクスのピッチを小さくできない。

40

駆動回路を基板内に内蔵した場合アクティブマトリクスとの張り合わせが存在しないため、マトリクスのピッチを小さくできる。

【0053】

2、配線接続の信頼性が向上できる。

TABを用いる場合にアクティブマトリクスから外部に対して数千本の配線が出力されるため、TAB-アクティブマトリクス基板の接続点において断線の確率が高いというのに対して、駆動回路を内蔵した場合アクティブマトリクス基板より外部にでる端子の数は百分の一程度となり信頼性の向上が期待できる。

【0054】

50

### 3、表示装置の大きさを小さくできる。

T A Bを用いる場合に画面の大きさが小さい表示装置、たとえばビュウフ      ア  
インダの様なものではアクティブマトリクスよりも駆動回路のT A Bの      方が大き  
なりビデオカメラ等の容積縮小の足かせとなっていた。駆動回      路内蔵の場合、回路  
の幅は5 mm以下に抑えることが可能であるため、ビ      ュウフアインダ等の表示装置  
の小型化に貢献することが可能である。

#### 【0055】

##### (作用)

本明細書で開示する発明は画素電極を中央画素電極と周囲画素電極に分離し、画面上で  
「動き」を要求される部分では予め周囲画素電極を駆動し、中央画素電極を駆動しようと      10  
したときに、液晶材料が印加電圧に対して容易に応答させるようにしている。即ち、応答  
に時間のかかる画素の周辺に接する領域の液晶を先に応答させ、しかる後に画素の中心領  
域の液晶を応答させることによって、見かけ上、画素内の液晶がほとんど同時に高速に  
応答するようにしている。

#### 【0056】

更に、本明細書で開示する発明では、画像信号をフレームメモリにより遅延させて、遅  
延前後の画像信号データを比較することにより、動き部分を検出して、動きが検出された  
場合には、上記のように周辺画素電極を先に駆動して、中央画素電極を1フレームの自然  
数倍ずらしたタイミングで駆動して、動画を正確に表示するようにする。

#### 【発明の効果】

#### 【0057】

本発明は画素を中央画素と周囲画素の2つの領域に分離して、画面に高速動作が要求さ  
れる場合には、周辺画素をあらかじめ、中央画素に先行して動作させることにより、中央  
画素の動作速度を向上させる効果をもつ。従って、液晶表示装置の動作速度を向上す  
ことが可能になり、より高画質な表示をユーザーに提供することが可能になる。

#### 【実施例1】

#### 【0058】

図1は本明細書で開示する発明を利用して、アクティブマトリクス型の液晶表示装置の  
一つの画素セルの構成図である。従来では、1つの画素で構成されていた画素電極を本  
実施例では中央の画素電極と、その周囲を囲む画素電極とに分割することを特徴とする。      30

#### 【0059】

図1は上記構成を有する表示装置の具体的な構成図であり、表示単位となる1つの画素  
セルのみを図示している。信号線107、108と走査線105、106は格子状に配置  
され、この格子部分の中央には透明電極から成る中央画素電極101が配置され、中央画  
素の略3辺を囲んで「コ」の字型の透明電極から成る周辺画素電極102が配置されてい  
る。従って、周辺画素電極102は中央画素電極101の周囲のおよそ3/4を囲んでい  
る。中央画素電極101には第1の薄膜トランジスタ103が接続され、周辺画素電極1  
02には第2の薄膜トランジスタ104が接続されている。薄膜トランジスタ103には  
走査線105、信号線107が接続され、薄膜トランジスタ104には走査線106、信  
号線108が接続されている。走査線105、106、信号線107、108にはそれぞ      40  
れ図示しない駆動回路が独立に接続されている。

#### 【0060】

図2は画素セルの断面構成図であり、透明基板110上に、中央画素電極101、周辺  
画素電極102が形成されている。他方の透明基板111上には、中央画素電極101に  
対向する中央画素電極112と、周辺画素電極102と対向する周辺画素電極113がそ  
れぞれ形成されている。また、透明基板110、111間には、液晶114が封入されて  
いる。

#### 【0061】

画素セルが表示すべき画面が静止画像の場合は、従来方式の駆動方法を採用すればよ  
く、中央の画素電極101が従来の画素電極と同じ役割を果たして画面表示を行う。      50

## 【0062】

動画を表示する場合には、中央画素電極101の境界面（周囲と接する部分）の動作速度を改善するため、中央画素電極101、周辺画素電極102を異なるタイミングで駆動させ、動画を正確に表示するようする。最初に、周辺画素電極102、113のみにより電圧を印加する。図2（b）は、周辺画素電極102、113のみに電界を印加した状態での電気力線115の様子を示したものである。

## 【0063】

図2（b）に示すように、電気力線114は周辺画素領域の外側にも作用するため、周辺画素電極102、111に挟まれている液晶分子114をが応答させると共に中央画素電極101、112の周縁部の液晶分子114をも予め応答させて、その向きを変化させることができる。

10

## 【0064】

そして、中央画素電極101、112により中央画素電極101112に挟まれている液晶分子114に電界を印加する。この状態での液晶分子114を図2（a）に示めす。この状態では、中央画素電極101、112の周縁部の液晶分子が114予め応答しているので、電極101、102、112、113が配置されていない領域の液晶分子114の影響を受けずに、中央画素電極101、112の間の液晶分子114は円滑に応答することができる。

## 【0065】

本実施例では、中央画素電極101、112と周辺画素電極102、113とを離して配置するようにしたが、その離す距離が重要になる。図2（a）に示すように一对の画素電極から電圧を印加した際に、画素の境界面から電気力線115がはみだす。その結果、周辺画素電極102、113の境界面の外側の液晶分子114も応答させることができる。

20

## 【0066】

図3は印加電圧に応答した液晶分子の位置を電極から離間距離として測定した結果を示す。5Vの電圧印加に対して、離間距離は4 $\mu$ m程度である。これは、5Vの電圧印加に対しては、画素電極から4 $\mu$ m程度離れた位置に在る液晶分子の向きを変化させることができることを意味している。従って、印加電圧を5Vとする場合には、図1において、中央画素電極101と周辺画素電極102の離間距離は4 $\mu$ m以内とすればよい。4 $\mu$ mの離間距離を形成するには、現在の液晶表示装置のフォトリソグラフィの解像度を考慮すると十分可能である。

30

## 【実施例2】

## 【0067】

本実施例は、表示単位が2つの画素電極から成る画素マトリクス of 駆動方法を示す。本実施例では、画素電極を実施例1と同じ構成とする。従って、中央画素電極、周辺画素電極を独立に動作させるために、それぞれに対してスイッチング素子となる薄膜トランジスタを独立に接続し、更に、これらの薄膜トランジスタに対して駆動回路を独立に接続する必要がある。

## 【0068】

一般に、周辺駆動回路は信号線駆動回路と走査線駆動回路とで構成される。これらの信号線駆動回路と走査線駆動回路とが一体的に動作して、各画素領域において1つの薄膜トランジスタを駆動することができる。本実施例では、中央画素領域と周辺画素領域において異なる動作を行う薄膜トランジスタが2つ配置されているので、信号線駆動回路と走査線駆動回路とはそれぞれ2組以上、最低でも2組必要となる。

40

## 【0069】

図4は本実施例の液晶表示装置の概略の構成図である。図4（a）に示すように、画素マトリクス401は、図1、2に示す中央画素電極、周辺画素電極から成る画素セルがマトリクス状に配置されている。中央画素電極に接続された薄膜トランジスタを制御するために、信号線駆動回路402、走査線駆動回路404がそれぞれ信号線、走査線により画

50

素マトリクス401に接続されている。更に、周辺画素電極に接続された薄膜トランジスタを制御するために、信号線駆動回路403、走査線駆動回路605がそれぞれ信号線、走査線により画素マトリクス401に接続されている。信号線駆動回路402、403にはそれぞれ動き検出回路406の出力が接続されている。

#### 【0070】

信号線駆動回路402、403、走査線駆動回路404、405は画素マトリクス401をの4辺を取り囲むように配置され、かつ、画素マトリクス401を隔てて、信号線駆動回路402と403が対峙し、走査線駆動回路404と405が対峙している。図4(b)は周辺駆動回路の配置の変形例であり、図4(a)と同じ符号は同じ部材を示している。図4(b)に示すように、画素マトリクス401の2辺を取り囲むように、信号線駆動回路402、403、走査線駆動回路404、405を配置して、かつ信号線駆動回路402と403及び走査線駆動回路404と405がそれぞれ同じ側に配置されている。ただし信号線駆動回路402、403、走査線駆動回路404、405はそれぞれ信号線、走査線を共有していない。

10

#### 【0071】

図5は信号線駆動回路402、403に表示信号を与えるためのシステムのブロック図であり、このシステムでは、外部から入力される画像信号はデジタル信号であり、システムから出力される信号もデジタル信号である。図5に示すように、フレームメモリ407、動き検出回路406にはそれぞれ外部から画像信号が入力される。フレームメモリ407の出力は動き検出回路406、信号線駆動回路403、フレームメモリ408にそれぞれ接続され、フレームメモリ408の出力は信号線駆動回路402に接続されている。

20

#### 【0072】

フレームメモリ407には外部から画像信号が入力されて、1フレーム分の画像データとして記憶される。フレームメモリ407は記憶している画像データをフレームメモリ408に出力する。フレームメモリ408はその画像データを記憶する。画像データをフレームメモリ408に出力すると、フレームメモリ407には新たな画像データが外部から入力されて、記憶されている画像データが更新される。即ち、フレームメモリ407は画像データをフレームメモリ408に出力する毎に、画像データが更新されるため、フレームメモリ407に記憶されている画像データはフレームメモリ408に記憶されている画像データよりも1フレーム先のデータとなる。

30

#### 【0073】

動き検出回路406には、外部からの画像信号と、フレームメモリ407に記憶された画像データがそれぞれ入力される。動き検出回路406において、外部からの画像信号に「動き」の成分が在るか否かが判断される。フレームメモリ407から入力された画像データは外部からの画像信号よりも1フレーム後のデータとなるため、フレームメモリ407から入力された画像データを基準にして、外部から入力された画像信号から「動き」の成分を検出する。そのため入力された2つの画像データが減算されて、差分信号が作成され、この差分信号からノイズ成分を除去した後に、「動き」を現すものであるか、否かを判断する。

#### 【0074】

差分信号が「動き」を示すものでない場合には、動き検出信号406から駆動信号が信号線駆動回路402に出力されて、信号線駆動回路402は駆動信号が入力されると、信号線を介して薄膜トランジスタを駆動して、従来の画素電極と同様に、中央画素電極に画像データを書き込む。

40

#### 【0075】

差分信号が「動き」を示すものである場合には、動き検出信号406から駆動信号が信号線駆動回路403に出力される。信号線駆動回路403は駆動信号が入力されると、信号線を介して薄膜トランジスタを駆動して、周辺画素電極にフレームメモリ407に記憶されている画像データを書き込む。これと同時に、フレームメモリ407に記憶されている画像データはフレームメモリ408出力されて、遅延された後に、信号線駆動回路40

50

2により薄膜トランジスタを駆動して、中央画素に書き込まれて、中央画素と周辺画素には同一フレームの画像データが表示される。

【0076】

このように、2つのフレームメモリ407、408に画像データを蓄積することにより、中央画素に書き込む画像データを遅延させて、かつ周辺画素に画像データを書き込むタイミングを中央画素よりも1フレーム先にすることができるため、実質的には、中央部と周辺部との応答の差が生じなくなり、動画像を正確に表示することが可能になる。

【0077】

図6の例ではデジタル信号処理を想定しているが、画像信号がアナログの場合には、フレームメモリ407、408に画像信号を入力する際には、ADコンバータによりデジタル信号に変換するようにして、信号線駆動回路402、403からの出力信号はDAコンバータにより、アナログ信号に変換して、画素マトリクスに出力するようにすればよい。

【実施例3】

【0078】

本実施例は実施例1の変形例であり、中央画素電極と周辺画素電極とが重なるように配置することを特徴とする。画素セルは透光性を有する一対のガラス基板間にネマチック性を有する液晶材料を挟持した構成を有し、図6(a)は1つの画素領域の上面図であり、図6(b)は図6(a)の線a-a'で切った断面図である。また、図7は画素セルの断面構成図である。

【0079】

図6(a)に示すように、従来の画素に対応する中央画素電極601が設けられている。中央画素電極601の周辺に接して、その周辺を囲むように周辺画素電極602が設けられている。中央画素電極601には画素薄膜トランジスタ603が接続され、周辺画素電極602には画素薄膜トランジスタ604が接続されている。これらの薄膜トランジスタ603、604のゲート電極、にはそれぞれ走査線605、606が接続され、ソース電極には信号線607、608が独立に接続されている。また、これらの走査線605、606、信号線607、608にはそれぞれ図示しない駆動回路が独立に接続されている。

【0080】

また、図6(b)に示すように、周辺画素電極602は中央画素電極601の下層に配置されており、中央画素電極601が形成される層と周辺画素電極602が形成される層との間には、絶縁膜層609が形成されている。

【0081】

以下に液晶表示装置のアクティブマトリクスパネルの作製方法を説明する。第1の透明基板610として、コーニング社製の#7059ガラス基板(厚さ1.1mm)または#1713ガラス基板(厚さ1.1mm)を用いる。この透明基板610上に画素電極を駆動するための薄膜トランジスタ、周辺画素電極、及び中央画素電極をそれぞれ形成する。画素は必要とする数をマトリクス状に形成する。

【0082】

通常のスパッタ法により、透明基板610上に、クロムを厚さ1000Åに成膜して、パターンニングを施すことにより周辺画素電極602を形成する。この周辺画素電極602はブラックマトリクスとしても機能する。周辺画素電極602の形成と同時、その前或いは後に、周辺画素電極602と薄膜トランジスタ604とを接続するための図示しない配線パターンを形成する。

【0083】

周辺画素電極602上に、スパッタ法により酸化アルミニウム膜を成膜してパターンニングして、絶縁膜609を形成する。なお、絶縁膜609を窒化珪素で形成してもよい。更に、絶縁膜609上に、厚さ1000ÅのITO膜をスパッタ法により成膜する。ITO膜をパターンニングして、中心画素電極601を形成する。中心画素電極601の形成と同時、その前或いは後に、中央画素電極601と薄膜トランジスタ603とを接続するため

10

20

30

40

50

の配線パターンを形成する。

【0084】

ここで重要なことは、中央画素電極601と薄膜トランジスタ603を結ぶ配線は絶縁膜609上に形成され、周辺画素電極602と薄膜トランジスタ604とを結ぶ配線は絶縁膜609下に形成されることである。このような構成を採用することで、中央画素電極601と周辺画素電極602とを一部重ねて配置することや、中央画素電極601の周囲を全て囲んで周辺画素電極602を配置することができる。なお、第1の透明基板610上には、ここでは詳述しないが、周辺駆動回路領域等が薄膜トランジスタによって形成される。

【0085】

更に、第2の透明基板602として、コーニング社製#7059(厚さ1.1mm)または#1737(厚さ1.1mm)ガラス基板を用いる。その基板の上に、第1の透明基板610に形成された、中央画素電極601、周辺画素電極602の対向電極をそれぞれ形成する。

【0086】

透明基板611上に、厚さ1000のクロムをスパッタ法により成膜する。そしてパターンニングして、周辺画素電極602に対向する周辺画素電極612を形成する。この周辺画素電極612はブラックマトリクスとしても機能する。次に、周辺画素電極612上に、スパッタ法により酸化アルミニウム膜を成膜し、パターンニングして、絶縁膜613を形成する。更に、絶縁膜613上に、厚さ1000のITO膜をスパッタ法により成膜する。ITO膜をパターンニングして、中心画素電極601との対向電極として中心画素電極614を形成する。この中心画素電極614は、パターンニングせずに、全面にベタに形成されるものでよい。以上のプロセスにより、液晶表示装置を構成する一对の透光性基板が完成する。

【0087】

次に、透明基板610、611の液晶に接する面に、液晶材料を配向制御するための図示しない配向膜を形成する。配向膜として、ポリイミド系樹脂を成膜して、ラビング処理を施す。本実施例ではTN型とするため、ラビングの方向は、透明基板610と611とで直交するようにする。

【0088】

そして、所定の間隔を開けて透明基板610と611とをエポキシ系接着剤により張り合わせる。この際に、直径5.0μmの球形スペーサをにより透明基板610と611との間隔を制御する。そして、液晶材料を第1及び第2の基板610、611間に注入する。注入法としては、例えば真空注入法を用いればよい。

【0089】

静止画像を表示する際には、中央画素電極601、614を従来例と同様に駆動すればよい。中央画素電極601、614が従来の画素電極と同じ役割をして画面表示をおこなう。

【0090】

動画を表示する際には、2種類の画素電極を異なるタイミングで動作させ、表示速度の向上を図る。そのため、周辺画素電極により電圧を印加して、所定のタイミング遅れて中央画素電極から電圧を印加するようにする。

【0091】

図7は、一对の透明基板610と611との間において、周辺画素電極602、612間のみ電圧を印加した状態を示し、図7(a)は電気力線615の様子を示したものであり、図7(b)は液晶分子616の状態を示したものである。

【0092】

中央画素電極601、614に電圧が印加されるよりも先に周辺画素電極602、612間に電圧を印加する。このため、中央画素領域の周縁領域の液晶分子616が分子長軸の向きを電気力線615の向きに従うように初期配向状態から変化する。次に、少し遅れ

10

20

30

40

50

たタイミングで中央画素電極 601、614にも電圧を印加する。中央画素電極 601、614間に電圧が印加された状態では、中央画素領域の周縁の液晶分子は既に周辺画素電極 602、612から印加されている電圧に応答している。従って、中央画素電極 601、614による電圧に対する液晶分子の応答は、その周辺領域の液晶が遅さが生じることがなく、中央画素の領域全体において均一な応答させることができる。

【0093】

本実施例は、周辺画素電極 602、612をブラックマトリクスを兼ねたクロムで作成したため、周辺画素電極 602、612を中央画素電極 601、614と異なるタイミングで動作させても、画素周辺領域での液晶分子の配向乱れを遮蔽することができるという利点が生ずる。また、図6、7に示す画素セルを駆動するには、実施例2の駆動回路を用いることが可能である。

10

【0094】

なお、中央画素電極と周辺画素電極を独立に動作させることができるのであれば、図8に示す構成を採用することも可能である。図8において、図6と同じ符号は同じ部材を表す。図8に示すように、中央画素電極 601には画素薄膜トランジスタ 603が接続され、周辺画素電極 102には画素薄膜トランジスタ 104が接続されている。これらの薄膜トランジスタのゲート電極は同一の走査線 605に接続され、他方、ソース電極はそれぞれ相異なる信号線 607、608に接続されている。

【0095】

図8に示す構成を採用することにより、図6に示す構成と比較して、薄膜トランジスタ 603、604の配置がより簡潔となると共に、同一画素数で必要とする走査線を半減できるので、画素の開口率を向上することもできる。

20

【0096】

更に、薄膜トランジスタ 603、604が共通の走査線 605に接続されているため、従来例と同様に、画素を駆動する周辺回路には、走査線駆動回路 1つを設ければよく、例えば、図4(a)に対応して、図9に示す構成を採用することができる。

【0097】

図9に示すように、画素マトリクス 901には、2つの信号線駆動回路 902、903と、走査線駆動回路 904とが画素マトリクスの3辺を取り囲むように接続され、信号線駆動回路 902、903にはそれぞれ動き検出回路 906が接続されている。走査線駆動回路 904は共通であるが、信号線駆動回路 902、903は独立に設けられているため、中央画素電極 601、周辺画素電極 602には互いに異なる画像信号を入力することが可能である。このため、実施例2と同様に、動き検出回路 906において画像信号に「動き」成分があるか否かを判別して、中央画素電極 601、周辺画素電極 602を独立に制御することにより、静止画、動画共に良好に表示することができる。

30

【図面の簡単な説明】

【0098】

【図1】実施例1の画素セルの上面構成図である。

【図2】画素セルの断面構成図であり、図2(a)は液晶の応答を説明する模式図であり、図2(b)は電気力線の模式図である。

40

【図3】印加電圧に対する、応答可能な液晶分子の電極からの距離の関係を示すグラフ図である。

【図4】実施例2のアクティブマトリクス型の液晶表示装置の概略図である。

【図5】動き検出システムのブロック回路図である。

【図6】実施例3の画素電極の上面構成図である。

【図7】画素電極の断面構成図であり、図7(a)は電気力線の模式図であり、図7(b)は液晶分子の応答を説明する模式図である。

【図8】実施例3の変形例の画素電極の上面構成図である。

【図9】アクティブマトリクス型の液晶表示装置の概略図である。

【図10】従来例のアクティブマトリクス型の液晶表示装置の概略構成図である。

50

【図11】従来例の画素マトリクス概略図である。

【図12】従来例のアクティブマトリクス駆動波形図である。

【図13】TN液晶の透過率-印加電圧特性図である。

【図14】TN液晶の応答特性図である。

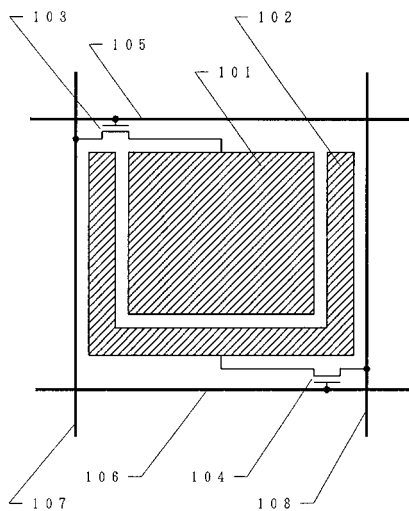
【図15】従来例の画素電極の液晶分子の応答を説明する模式図である。

【符号の説明】

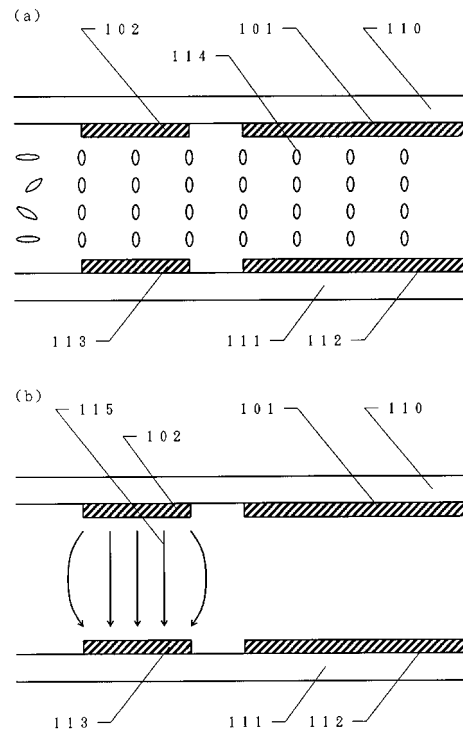
【0099】

中央画素電極	: 101、112、601、614
周辺画素電極	: 102、113、602、612
薄膜トランジスタ	: 103、104、603、604
走査線	: 105、106、605、606
信号線	: 107、108、607、608
透明基板	: 110、111、610、611
信号線駆動回路	: 402、403、902、903
走査線駆動回路	: 404、405、904
動き検出回路	: 406、906
フレームメモリ	: 407、408
絶縁膜	: 609、613

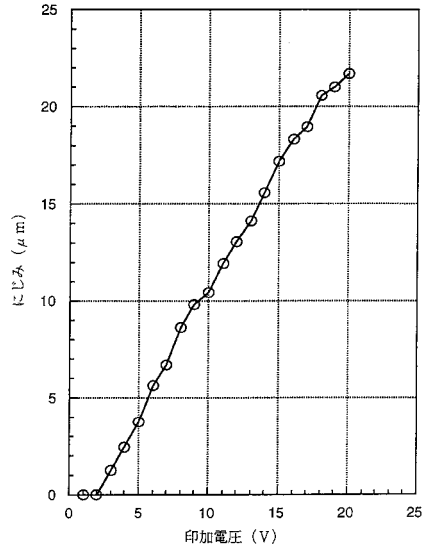
【図1】



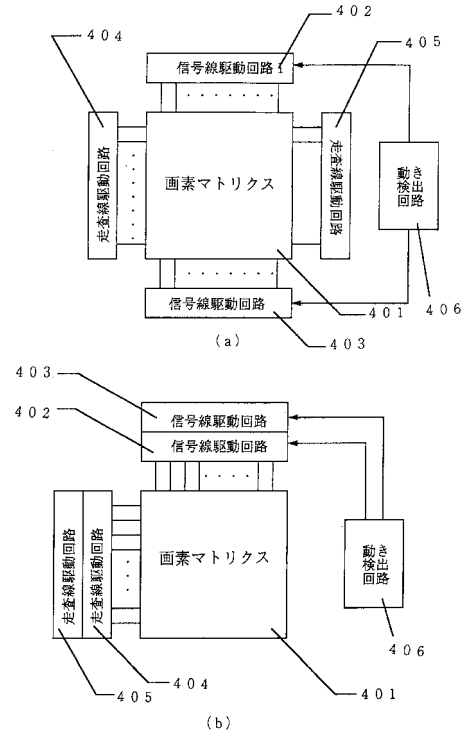
【図2】



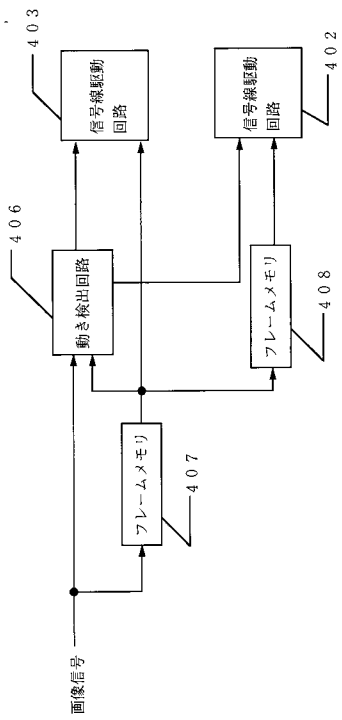
【図3】



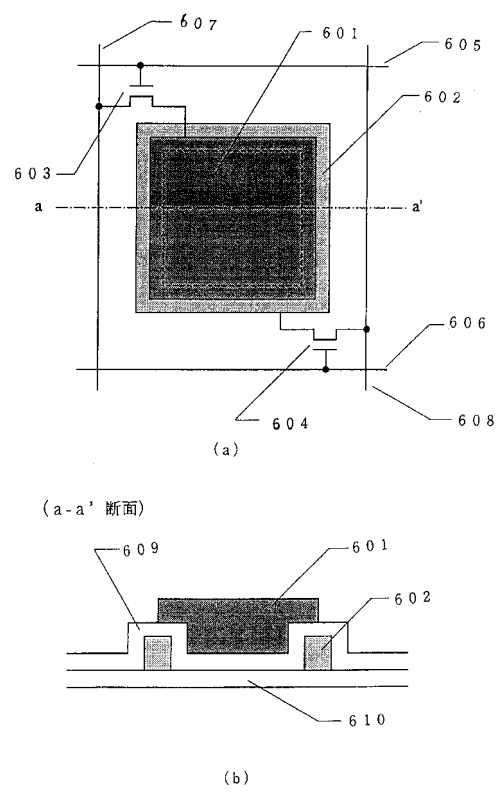
【図4】



【図5】

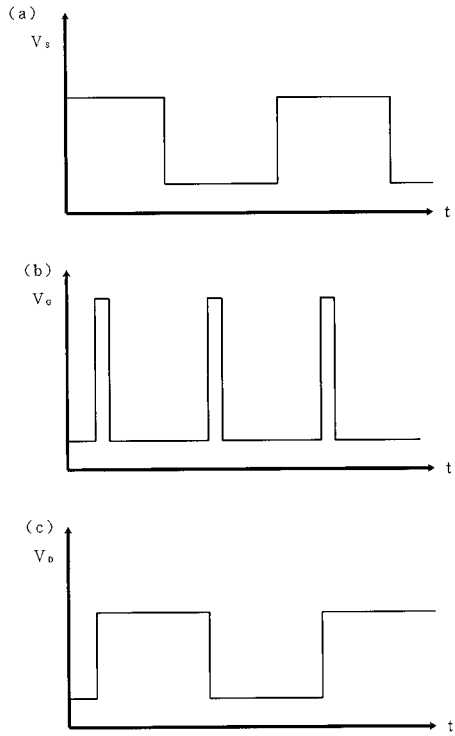


【図6】

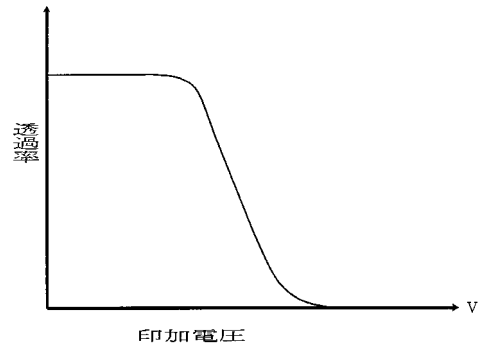




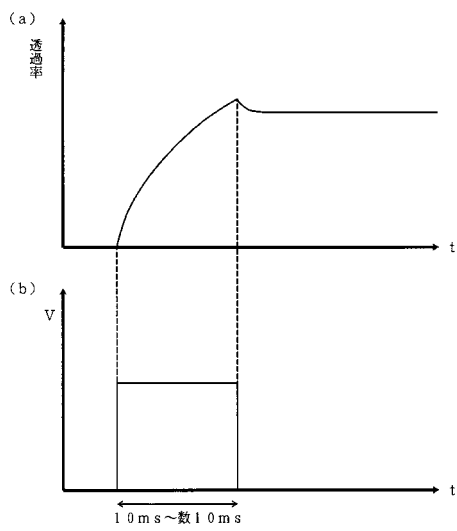
【 図 1 2 】



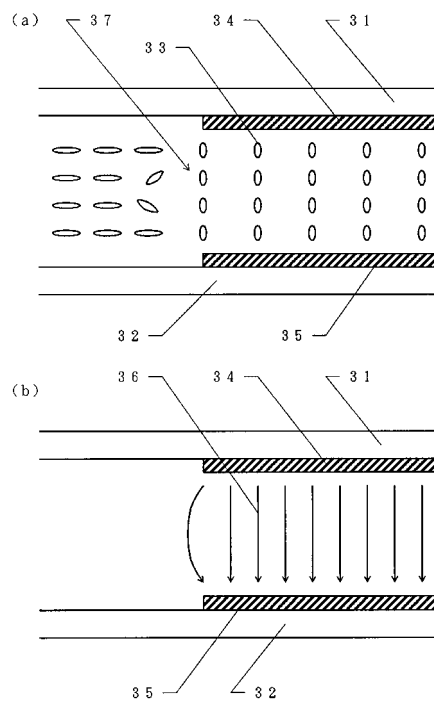
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



---

フロントページの続き

(72)発明者 西 毅

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 右田 昌士

(56)参考文献 特開平3 - 196019 (JP, A)  
特開平4 - 348324 (JP, A)  
特開平5 - 72554 (JP, A)  
特開平6 - 222392 (JP, A)  
特開昭62 - 218987 (JP, A)  
特開平6 - 308533 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343  
G02F 1/1362  
G02F 1/133  
G09G 3/36  
H01L 29/78