

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008年10月23日 (23.10.2008)

PCT

(10) 国際公開番号
WO 2008/126418 A1

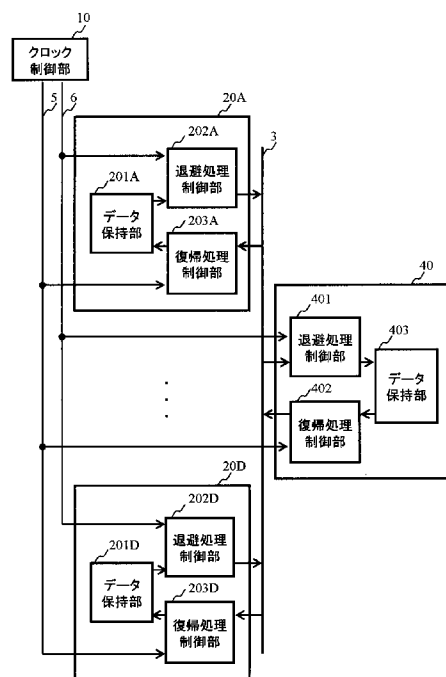
- (51) 国際特許分類: *G06F 12/00* (2006.01) *G06F 1/32* (2006.01)
G06F 1/04 (2006.01) *G06F 12/06* (2006.01)
G06F 1/12 (2006.01)
- (21) 国際出願番号: PCT/JP2008/000949
- (22) 国際出願日: 2008年4月10日 (10.04.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-103955 2007年4月11日 (11.04.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION)
- [JP/JP]; 5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 山口能史 (YAMAGUCHI, Takashi). 関部勉 (SEKIBE, Tsutomu).
- (74) 代理人: 小栗昌平, 外 (OGURI, Shohei et al.); 〒1050003 東京都港区西新橋一丁目7番13号 栄光特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,

[続葉有]

(54) Title: DATA SAVING SYSTEM, DATA RETURNING SYSTEM, DATA SAVING METHOD AND DATA RETURNING METHOD

(54) 発明の名称: データ退避システム及びデータ復帰システム、並びにデータ退避方法及びデータ復帰方法

[図1]



10 CLOCK CONTROL UNIT
202A, 202D, 401 SAVING PROCESS CONTROL UNIT
201A, 201D, 403 DATA HOLDING UNIT
203A, 203D, 402 RETURNING PROCESS CONTROL UNIT

(57) Abstract: A data saving system and a data returning system are provided for making it possible to reduce power consumed at a data saving process or a data returning process. A data transfer system is provided with a function block having saving data; a memory unit for storing the saving data transferred from the function block; a bus with which the function block and the memory unit are connected; and a control unit for sending a saving period clock to the function block and the memory unit at the data saving process time and a returning period clock to the function block and the memory unit at a data returning time. In synchronization with the saving period clock, the function block sends out the saving data every predetermined bit numbers in a bus bit width number and the memory unit stores the saving data sequentially sent by the function block through the bus. In synchronization with the returning period clock, the memory unit sends out the stored saving data every bus bit width numbers to the bus, the function block reads out the saving data every predetermined bit numbers from the bus.

(57) 要約: データ退避処理又はデータ復帰の際に消費される電力を低減可能なデータ退避システム及びデータ復帰システムを提供すること。データ転送システムは、退避データを有する機能ブロックと、機能ブロックから転送された退避データを記憶する記憶部と、機能ブロックと記憶部とが接続された、特定ビット数のビット幅を有するバスと、データ退避処理時に退避期間クロックを機能ブロック及び記憶部に送り、データ復帰時に復帰期間クロックを機能ブロック及び記憶部に送る制御部とを備える。退避期間クロックに同期して、機能ブロックは、バスのビット幅数内の所定ビット数ずつ退避データをバスに送出し、記憶部は、バスを介して機能ブロックから順次送られた退避データを記憶する。復帰期間クロックに同期して、記憶部は、格納された退避データをバスのビット幅数ずつバスに送出し、機能ブロックは、バスから所定ビット数ずつ退避データを読み取る。



NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

添付公開書類:
— 国際調査報告書

明 細 書

データ退避システム及びデータ復帰システム、並びにデータ退避方法及びデータ復帰方法

技術分野

[0001] 本発明は、データ退避処理を行うデータ退避システム及びデータ退避方法、並びに、データ復帰処理を行うデータ復帰システム及びデータ復帰方法に関する。

背景技術

[0002] システムＬＳＩの消費電力を削減するために、動作が不要な機能モジュールへの電源供給を遮断する手法がある。この手法によれば、電源再供給後の正常動作を保証するために、機能モジュール内の必要なデータを一時的に退避させ、動作再開時にそのデータを再び機能モジュールへ復帰させる。このデータの退避と復帰は、一般的に、DMAコントローラ（DMAC）を用いて実施される。

[0003] 図１５は、DMACを用いてデータの退避及び復帰を行うシステムを示すブロック図である。図１５に示すシステムによれば、データを退避させる場合、CPU１００２が予めDMAC１００１の転送設定を行っておき、DMAC１００１が機能ブロックから退避させるデータを読み出してメモリ１０００へそのデータを書き込む。

[0004] 以上説明したデータ退避のために消費される電力削減のため、特許文献１に開示されているシステムＬＳＩは、データ退避時にクロック周波数を下げている。図１６は、特許文献１に開示されたシステムＬＳＩを示すブロック図である。図１６に示すシステムＬＳＩは、高速クロックを分周して低速クロックを生成する分周器２００５と、それらのクロックを選択するセレクタ２００６とを備える。当該システムＬＳＩは、通常モード時には高速クロックで動作するが、低消費電力モードに移行する際には高速クロックから低速クロックに切り替えて、低速クロックでデータの退避を行った後、電源供給

を遮断する。また、通常モードに移行する際には電源供給を再開してデータの復帰を行った後、低速クロックから高速クロックに切り替える。このように、データの退避を低速クロックで行うことによって消費電力の削減を図っている。

[0005] 特許文献1：特開2006-323469号公報

発明の開示

発明が解決しようとする課題

[0006] 上記説明した図16に示したシステムLSIでは、データの退避が完了するまで機能ブロックへの電源供給を遮断することはできない。このため、低速クロックでデータ退避を行っているものの、データ退避のためのクロック速度の切り替えやデータ退避を行っている間の消費電力を根本から削減することはできない。また、データ退避に長い時間を要すると消費電力が増大する。さらに、データ退避が必要な機能ブロックの数が多いと消費電力が増大する。

[0007] 本発明の目的は、機能ブロックへの電源供給を遮断する際に行われるデータ退避処理の際に消費される電力を低減可能なデータ退避システム、及び機能ブロックへの電源供給を再開する際に行われるデータ復帰処理の際に消費される電力を低減可能なデータ復帰システム、並びにデータ退避方法及びデータ復帰方法を提供することである。

課題を解決するための手段

[0008] 本発明は、退避データを有する少なくとも1つの機能ブロックと、前記機能ブロックから転送された前記退避データを記憶する記憶部と、前記機能ブロックと前記記憶部とが接続された、特定ビット数のビット幅を有するバスと、前記機能ブロックから前記記憶部へ前記退避データを転送する際に退避期間クロックを前記機能ブロック及び前記記憶部に送る制御部と、を備え、前記機能ブロックは、前記退避データを保持する第1のデータ保持部と、前記退避期間クロックに同期して、前記第1のデータ保持部から前記バスのビット幅数内の所定ビット数ずつ退避データを読み取り、読み取った退避デー

タを各機能ブロックに割り当てられた前記バスのラインに送出する第1の退避処理制御部と、を有し、前記記憶部は、前記バスを介して前記機能ブロックから転送された退避データを保持する第2のデータ保持部と、前記退避期間クロックに同期して、前記バスから退避データを読み取り、読み取った退避データを前記第2のデータ保持部に格納する第2の退避処理制御部と、を有するデータ退避システムを提供する。

[0009] また、本発明は、少なくとも1つの機能ブロックと、前記機能ブロックが動作を再開するために必要な復帰データを記憶する記憶部と、前記機能ブロックと前記記憶部とが接続された、特定ビット数のビット幅を有するバスと、前記記憶部が記憶する前記復帰データを前記機能ブロックに転送する際に復帰期間クロックを前記機能ブロック及び前記記憶部に送る制御部と、を備え、前記記憶部は、前記復帰データを保持する第1のデータ保持部と、前記復帰期間クロックに同期して、前記第1のデータ保持部から前記復帰データを読み取り、読み取った復帰データを各機能ブロックに割り当てられた前記バスのラインに送出する第1の復帰処理制御部と、を有し、前記機能ブロックは、前記バスを介して前記記憶部から転送された復帰データを保持する第2のデータ保持部と、前記復帰期間クロックに同期して、各機能ブロックに割り当てられた前記バスの所定ラインから所定ビット数ずつ復帰データを読み取り、読み取った復帰データを前記第2のデータ保持部に格納する第2の復帰処理制御部と、を有するデータ復帰システムを提供する。

[0010] また、本発明は、退避データを有する少なくとも1つの機能ブロックと、前記機能ブロックから転送された前記退避データを記憶する記憶部と、前記機能ブロックと前記記憶部とが接続された、特定ビット数のビット幅を有するバスと、前記機能ブロックから前記記憶部へ前記退避データを転送する際に退避期間クロックを前記機能ブロック及び前記記憶部に送る制御部と、を備えたデータ退避システムが行うデータ退避方法であって、前記制御部が、前記機能ブロック及び前記記憶部に前記退避クロックを送り、前記機能ブロックが、前記退避期間クロックに同期して、前記バスのビット幅数内の所定

ビット数ずつ退避データを各機能ブロックに割り当てられた前記バスのラインに送出し、前記記憶部が、前記退避期間クロックに同期して、前記バスから退避データを読み取り、読み取った退避データを記憶するデータ退避方法を提供する。

- [0011] さらに、本発明は、少なくとも1つの機能ブロックと、前記機能ブロックが動作を再開するために必要な復帰データを記憶する記憶部と、前記機能ブロックと前記記憶部とが接続された、特定ビット数のビット幅を有するバスと、前記記憶部が記憶する前記復帰データを前記機能ブロックに転送する際に復帰期間クロックを前記機能ブロック及び前記記憶部に送る制御部と、を備えたデータ復帰システムが行うデータ復帰方法であって、前記制御部が、前記機能ブロック及び前記記憶部に前記復帰期間クロックを送り、前記記憶部が、前記復帰期間クロックに同期して、前記復帰データを各機能ブロックに割り当てられた前記バスのラインに送出し、前記機能ブロックが、前記復帰期間クロックに同期して、各機能ブロックに割り当てられた前記バスの所定ラインから所定ビット数ずつ復帰データを読み、読み取った復帰データを記憶するデータ復帰方法を提供する。

発明の効果

- [0012] 本発明に係るデータ退避システム及びデータ復帰システム、並びにデータ退避方法及びデータ復帰方法によれば、データ退避及びデータ復帰が迅速に行われるため、機能ブロックへの電源供給を遮断する際に行われるデータ退避処理、又は機能ブロックへの電源供給を再開する際に行われるデータ復帰の際に消費される電力を低減することができる。

図面の簡単な説明

- [0013] [図1]第1の実施形態のデータ転送システムを示すブロック図
[図2]第1の実施形態のデータ転送システムが（a）データ退避処理及び（b）データ復帰処理を行う際のタイムチャート
[図3]第2の実施形態のデータ転送システムを示すブロック図
[図4]第2の実施形態のデータ転送システムが（a）データ退避処理及び（b）

）データ復帰処理を行う際のタイムチャート

[図5] 第3の実施形態のデータ転送システムを示すブロック図

[図6] 第3の実施形態のデータ転送システムが（a）データ退避処理及び（b）データ復帰処理を行う際のタイムチャート

[図7] 第4の実施形態のデータ退避システムを示すブロック図

[図8] 第4の実施形態のデータ退避システムがデータ退避処理を行う際のタイムチャート

[図9] 第5の実施形態のデータ復帰システムを示すブロック図

[図10] 第5の実施形態のデータ復帰システムがデータ復帰処理を行う際のタイムチャート

[図11] 第6の実施形態のデータ退避システムを示すブロック図

[図12] 第6の実施形態のデータ退避システムがデータ退避処理を行う際のタイムチャート

[図13] 第7の実施形態のデータ復帰システムを示すブロック図

[図14] 第7の実施形態のデータ復帰システムがデータ復帰処理を行う際のタイムチャート

[図15] D M A Cを用いてデータの退避及び復帰を行うシステムを示すブロック図

[図16] 特許文献1に開示されたシステム L S I を示すブロック図

符号の説明

[0014] 1 0, 1 1 クロック制御部

2 0 A ~ 2 0 D, 2 1 A ~ 2 1 D 機能ブロック

2 0 1 A ~ 2 0 1 D, 2 1 1 A ~ 2 1 1 D データ保持部

2 0 2 A ~ 2 0 2 D, 2 1 2 A ~ 2 1 2 D 退避処理制御部

2 0 3 A ~ 2 0 3 D, 2 1 3 A ~ 2 1 3 D 復帰処理制御部

3 バス

4 0 記憶部

4 0 1 退避処理制御部

4 0 2 復帰処理制御部

4 0 3 データ保持部

7 ビット幅設定部

1 0 1, 2 0 1 クロック発生源

1 0 2 退避制御部

1 0 3, 2 0 3 バス

1 0 7 退避処理設定部

1 2 0 A ~ 1 2 0 D, 2 2 0 A ~ 2 2 0 D, 3 2 0 A ~ 3 2 0 D, 4 2 0 A
~ 4 2 0 D 機能ブロック

1 2 1 A ~ 1 2 1 D, 2 2 1 A ~ 2 2 1 D, 3 2 1 A ~ 3 2 1 D, 4 2 1 A
~ 4 2 1 D データ保持部

1 2 2 A ~ 1 2 2 D, 3 2 2 A ~ 3 2 2 D 退避処理制御部

1 2 3 A ~ 1 2 3 D 退避処理設定部

1 4 0, 2 4 0 記憶部

1 4 1 退避処理制御部

1 4 2, 2 4 2 データ保持部

2 0 2 復帰制御部

2 0 7 復帰処理設定部

2 2 2 A ~ 2 2 2 D, 4 2 2 A ~ 4 2 2 D 復帰処理制御部

2 2 3 A ~ 2 2 3 D 復帰処理設定部

2 4 1 復帰処理制御部 1 0 0 0 メモリ

1 0 0 1 D M A C 1 0 0 2 C P U

1 0 0 3 バス

1 0 0 4 A ~ 1 0 0 4 D 機能ブロック

2 0 0 0 R O M

2 0 0 1 R A M

2 0 0 2 C P U

2 0 0 3 S I O

2004 外部記憶装置

2005 分周器

2006 SEL

2007 OR

2008 割込検出回路

2009 FF

発明を実施するための最良の形態

[0015] 以下、本発明の実施形態について、図面を参照して説明する。

[0016] (第1の実施形態)

図1は、第1の実施形態のデータ転送システムを示すブロック図である。図1に示すように、システムLSI上に搭載された第1の実施形態のデータ転送システムは、クロック制御部10と、機能ブロック20A~20Dと、バス3と、記憶部40とを備える。機能ブロック20A~20Dは、それぞれ、データ保持部201A~201Dと、退避処理制御部202A~202Dと、復帰処理制御部203A~203Dとを有する。また、記憶部40は、退避処理制御部401と、復帰処理制御部402と、データ保持部403とを有する。なお、図1に示した例では、記憶部40はデータ保持部403を1つ有するが、複数のデータ保持部403を有しても良い。

[0017] 本実施形態では、制御部の一例として、クロック制御部10を用いた場合を示す。また、第2のデータ保持部の一例として、機能ブロック20A~20Dがそれぞれ有するデータ保持部201A~201Dを用いた場合を示す。また、第1の退避処理制御部の一例として、機能ブロック20A~20Dがそれぞれ有する退避処理制御部202A~202Dを用いた場合を示す。また、第2の復帰処理制御部の一例として、機能ブロック20A~20Dがそれぞれ有する復帰処理制御部203A~203Dを用いた場合を示す。また、第1のデータ保持部の一例として、記憶部40が有するデータ保持部403を用いた場合を示す。また、第2の退避処理制御部の一例として、記憶部40が有する退避処理制御部401を用いた場合を示す。さらに、第1の

復帰処理制御部の一例として、記憶部 40 が有する復帰処理制御部 402 を用いた場合を示す。

[0018] クロック制御部 10 は、データ退避処理を行う際、機能ブロック 20A～20D 及び記憶部 40 に退避クロック 6 を送る。なお、本実施形態では、退避期間クロックの一例として退避クロック 6 が用いられている。また、クロック制御部 10 は、データ復帰処理を行う際、機能ブロック 20A～20D 及び記憶部 40 に復帰クロック 5 を送る。なお、復帰期間クロックの一例として復帰クロック 5 が用いられている。

[0019] 機能ブロック 20A～20D が有するデータ保持部 201A～201D は、レジスタ等の記録媒体である。データ保持部 201A～201D には、動作が不要な機能ブロックへの電源供給を遮断する際に記憶部 40 へ退避させる必要のあるデータ（以下「退避データ」という。）が格納されている。機能ブロック 20A～20D が有する退避処理制御部 202A～202D は、クロック制御部 10 から退避クロック 6 が送られたとき、この退避クロック 6 に同期して、データ保持部 201A～201D から所定ビット数ずつ退避データを読み出して、バス 3 の各機能ブロックに割り当てられたラインに送出する。機能ブロック 20A～20D が有する復帰処理制御部 203A～203D は、クロック制御部 10 から復帰クロック 5 が送られたとき、この復帰クロック 5 に同期して、バス 3 の各機能ブロックに割り当てられたラインから所定ビット数ずつ退避データを読み出してデータ保持部 201A～201D に書き込む。

[0020] バス 3 は、機能ブロック 20A～20D 及び記憶部 40 に接続され、32 ビットのビット幅を有するデータ転送バスである。データ退避処理又はデータ復帰処理が行われる際、バス 3 の 0～7 ビット目のラインの 8 ビットが機能ブロック 20A に割り当てられ、8～15 ビット目のラインの 8 ビットが機能ブロック 20B に割り当てられ、16～23 ビット目のラインの 8 ビットが機能ブロック 20C に割り当てられ、24～31 ビット目のラインの 8 ビットが機能ブロック 20D に割り当てられる。

[0021] 記憶部 40 が有するデータ保持部 403 は、不揮発性の記録媒体である。データ保持部 403 には、バス 3 を介して機能ブロック 20A~20D から順次送られた 32 ビットの退避データが格納される。記憶部 40 が有する退避処理制御部 401 は、クロック制御部 10 から退避クロック 6 が送られたとき、この退避クロック 6 に同期して、バス 3 上を転送された 32 ビットの退避データをデータ保持部 403 に順次書き込む。記憶部 40 が有する復帰処理制御部 402 は、クロック制御部 10 から復帰クロック 5 が送られたとき、この復帰クロック 5 に同期して、退避処理制御部 401 によって書き込まれた退避データをデータ保持部 403 から 32 ビットずつ読み出してバス 3 に送出する。

[0022] 図 2 は、第 1 の実施形態のデータ転送システムが (a) データ退避処理及び (b) データ復帰処理を行う際のタイムチャートである。以下、第 1 の実施形態のデータ転送システムが行うデータ退避処理について説明する。クロック制御部 10 がデータ退避処理の実行を決定すると、クロック制御部 10 は、機能ブロック 20A~20D 及び記憶部 40 に退避クロック 6 を送る。退避クロック 6 を検出した機能ブロック 20A~20D の退避処理制御部 202A~202D は、退避クロック 6 に同期して、データ保持部 201A~201D からそれぞれ 8 ビットの退避データを並行して順次読み出してバス 3 に送出する。退避クロック 6 を検出した記憶部 40 の退避処理制御部 401 は、データ保持部 403 への書き込みを許可又は禁止するライトイネーブル信号をイネーブル（許可）に設定し、退避クロック 6 に同期して、バス 3 から順次受け取った 32 ビットの退避データをデータ保持部 403 に書き込む。

[0023] 次に、第 1 の実施形態のデータ転送システムが行うデータ復帰処理について説明する。クロック制御部 10 がデータ復帰処理の実行を決定すると、クロック制御部 10 は、機能ブロック 20A~20D 及び記憶部 40 に復帰クロック 5 を送る。復帰クロック 5 を検出した記憶部 40 の復帰処理制御部 402 は、データ保持部 403 からの読み出しを許可又は禁止するリードイネー

ーブル信号をイネーブル（許可）に設定し、復帰クロック 5 に同期して、退避データをデータ保持部 403 から 32 ビットずつ読み出してバス 3 に送出する。復帰クロック 5 を検出した機能ブロック 20A～20D の復帰処理制御部 203A～203D は、復帰クロック 5 に同期して、バス 3 上を転送されたデータを順次読み出してデータ保持部 201A～201D に書き込む。

[0024] 以上説明したように、本実施形態のデータ転送システムによれば、退避処理および復帰処理専用バスを新たに設けることなく、バス 3 に接続されている各機能ブロックに退避クロックおよび復帰クロックを送出している間、通常の転送で使用しているバス 3 を退避処理および復帰処理専用バスとさせ、バス 3 を介して各機能ブロックから退避データが記憶部 40 に直接送られることによってデータ退避処理が行われ、同様に、バス 3 を介して記憶部 40 から復帰のためのデータが各機能ブロックに直接送られることによってデータ復帰処理が行われる。このように、従来必要であった転送設定等の処理が行われることなく、かつ、機能ブロックと記憶部 40 との間のデータ転送が DMA C 等の他のブロックを介することなく行われるため、従来と比較して、データ退避及びデータ復帰が迅速に行われる。データ退避及びデータ復帰が迅速に行われ、かつ、従来必要であった処理及び機能ブロックと記憶部 40 との間のデータ転送が簡素化されたため、データ退避及びデータ復帰の際に消費される電力が低減する。

[0025] また、本実施形態のデータ転送システムによれば、データ退避処理又はデータ復帰処理を行う機能ブロックが複数ある場合、各機能ブロックのデータ転送処理又はデータ復帰処理を並行して行うため、データ退避処理を行う機能ブロックを切り替えるといったオーバーヘッドがない。したがって、データ退避又はデータ復帰が迅速に行われる。このように、データ退避処理又はデータ復帰処理を行う機能ブロックが複数ある場合であってもデータ退避及びデータ復帰が迅速に行われるため、データ退避及びデータ復帰の際に消費される電力が低減する。

[0026] （第 2 の実施形態）

図3は、第2の実施形態のデータ転送システムを示すブロック図である。第2の実施形態のデータ転送システムが第1の実施形態のデータ転送システムと異なる点は、ビット幅設定部7を備える点である。また、第2の実施形態のデータ転送システムは、機能ブロック20A～20Dの代わりに機能ブロック21A～21Dを備える。この点以外は第1の実施形態と同様であり、図3において、図1と共通する構成要素には同じ参照符号が付され、当該構成要素の説明は省略する。

[0027] なお、本実施形態では、バス割当設定部の一例として、ビット幅設定部7が用いられた場合を示す。また、第1のデータ保持部及び第2のデータ保持部の一例として、機能ブロック21A～21Dがそれぞれ有するデータ保持部211A～211Dが用いられた場合を示す。また、第1の退避処理制御部の一例として、機能ブロック21A～21Dがそれぞれ有する退避処理制御部212A～212Dが用いられた場合を示す。また、第2の復帰処理制御部の一例として、機能ブロック21A～21Dがそれぞれ有する復帰処理制御部213A～213Dが用いられた場合を示す。

[0028] ビット幅設定部7は、データ退避処理及びデータ復帰処理が行われる際に機能ブロック21A～21Dと記憶部40との間でデータを転送するバス3上の、機能ブロック毎のビット幅の割り当てを設定する。すなわち、ビット幅設定部7は、各機能ブロックの退避処理制御部が退避クロック6の1クロック・サイクル毎にバス3に送出する退避データのビット数、及び各機能ブロックの復帰処理制御部が復帰クロック5の1クロック・サイクル毎にバス3から読み出す退避データのビット数を、機能ブロック毎に設定する。

[0029] 機能ブロック毎のビット幅の割り当てはビット幅設定情報によって一意に決定される。例えば、ビット幅設定情報「1」の場合は、バス3の0～15ビット目のラインの16ビットが機能ブロック21Aに割り当てられ、16～23ビット目のラインの8ビットが機能ブロック21Bに割り当てられ、24～28ビット目のラインの4ビットが機能ブロック21Cに割り当てられ、29～31ビット目のラインの4ビットが機能ブロック21Dに割り当

てられる。

[0030] 本実施形態の機能ブロック 2 1 A～2 1 D は、それぞれ、データ保持部 2 1 1 A～2 1 1 D と、退避処理制御部 2 1 2 A～2 1 2 D と、復帰処理制御部 2 1 3 A～2 1 3 D とを有する。データ保持部 2 1 1 A～2 1 1 D は、レジスタ等の記録媒体である。データ保持部 2 1 1 A～2 1 1 D には、電源供給を遮断する際に記憶部 4 0 へ退避させる必要のあるデータ（退避データ）が格納されている。退避処理制御部 2 1 2 A～2 1 2 D は、クロック制御部 1 0 から退避クロック 6 が送られたとき、ビット幅設定部 7 からビット幅設定情報を読み出し、退避クロック 6 に同期して、データ保持部 2 1 1 A～2 1 1 D からビット幅設定情報に応じたビット数ずつ退避データを読み出して、バス 3 の各機能ブロックに割り当てられたラインに送出する。復帰処理制御部 2 1 3 A～2 1 3 D は、クロック制御部 1 0 から復帰クロック 5 が送られたとき、ビット幅設定部 7 からビット幅設定情報を読み出し、復帰クロック 5 に同期して、バス 3 の各機能ブロックに割り当てられたラインからビット幅設定情報に応じたビット数ずつ退避データを読み出してデータ保持部 2 1 1 A～2 1 1 D に書き込む。

[0031] バス 3 は、機能ブロック 2 1 A～2 1 D 及び記憶部 4 0 に接続されている 3 2 ビット幅のデータ転送バスである。データ退避処理及びデータ復帰処理が行われる際、ビット幅設定部 7 によって設定されたビット幅設定情報に従って、3 2 ビット幅のバス 3 の一部が機能ブロック 2 1 A、機能ブロック 2 1 B、機能ブロック 2 1 C 及び機能ブロック 2 1 D にそれぞれ割り当てられる。

[0032] 図 4 は、第 2 の実施形態のデータ転送システムが（a）データ退避処理及び（b）データ復帰処理を行う際のタイムチャートである。以下、第 2 の実施形態のデータ転送システムが行うデータ退避処理について説明する。データ退避処理が実行される前に、バス 3 の機能ブロック毎のビット幅の割り当てをビット幅設定部 7 に設定する。クロック制御部 1 0 がデータ退避処理の実行を決定すると、クロック制御部 1 0 は、機能ブロック 2 1 A～2 1 D 及

び記憶部40に退避クロック6を送る。退避クロック6を検出した機能ブロック21A～21Dの退避処理制御部212A～212Dは、ビット幅設定部7からビット幅設定情報を読み出し、退避クロック6に同期して、データ保持部211A～211Dからビット幅設定情報に応じたビット数の退避データを並行して順次読み出してバス3に送出する。図4(a)に示す例では、退避処理制御部212A～212Dは、データ保持部211Aから16ビット、データ保持部211Bから8ビット、データ保持部211Cから4ビット、データ保持部211Dから4ビットのデータを順次読み出す。退避クロック6を検出した記憶部40の退避処理制御部401は、データ保持部403への書き込みを許可又は禁止するライトイネーブル信号をイネーブル（許可）に設定し、退避クロック6に同期して、バス3から順次受け取った32ビットの退避データをデータ保持部403に書き込む。

[0033] 次に、第2の実施形態のデータ転送システムが行うデータ復帰処理について説明する。クロック制御部10がデータ復帰処理の実行を決定すると、クロック制御部10は、機能ブロック21A～21D及び記憶部40に復帰クロック5を送る。復帰クロック5を検出した記憶部40の復帰処理制御部402は、データ保持部403からの読み出しを許可又は禁止するリードイネーブル信号をイネーブル（許可）に設定し、復帰クロック5に同期して、退避データをデータ保持部403から32ビットずつ読み出してバス3に送出する。復帰クロック5を検出した機能ブロック21A～21Dの復帰処理制御部213A～213Dは、ビット幅設定部7からビット幅設定情報を読み出し、復帰クロック5に同期して、バス3上を転送されたデータの内、ビット幅設定情報に応じたビット数のデータを順次それぞれ読み出してデータ保持部211A～211Dに書き込む。図4(b)に示す例では、復帰処理制御部213A～213Dは、バス3の0～15ビット目の16ビットのデータをデータ保持部211Aに書き込み、16～23ビット目の8ビットのデータをデータ保持部211Bに書き込み、24～28ビット目の4ビットのデータをデータ保持部211Cに書き込み、29～31ビット目の4ビット

のデータをデータ保持部 2 1 1 D に書き込む。

[0034] 以上説明したように、本実施形態のデータ転送システムによれば、各機能ブロックの退避データのデータサイズに応じて、各機能ブロックに割り当てるバス 3 上のビット幅を調整することができる。したがって、複数の機能ブロックの各退避データのデータサイズが異なる場合であっても、複数の機能ブロックのデータ退避及びデータ復帰に要する時間が最短となるよう設定できる。

[0035] なお、本実施形態では、バス 3 上の機能ブロック毎のビット幅がビット幅設定情報としてビット幅設定部 7 に設定されるが（[0024] 参照）、ビット幅設定情報を用いずに機能ブロックごとにビット幅を直接設定しても良い。

[0036] （第 3 の実施形態）

図 5 は、第 3 の実施形態のデータ転送システムを示すブロック図である。第 3 の実施形態のデータ転送システムが第 1 の実施形態のデータ転送システムと異なる点は、クロック制御部 1 0 の代わりにクロック制御部 1 1 を備える点である。この点以外は第 1 の実施形態と同様であるため、図 5 において、図 1 と共通する構成要素には同じ参照符号が付され、当該構成要素の説明は省略する。

[0037] 第 1 の実施形態のクロック制御部 1 0 から機能ブロック 2 0 A ~ 2 0 D 及び記憶部 4 0 に送られる退避クロック 6 及び復帰クロック 5 はそれぞれ共通であるが、第 3 の実施形態では、機能ブロック 2 0 A, 2 0 B に送られる退避クロック 6 0 及び復帰クロック 5 0、機能ブロック 2 0 C, 2 0 D に送られる退避クロック 6 1 及び復帰クロック 5 1、並びに記憶部 4 0 に送られる退避クロック 6 2 及び復帰クロック 5 2 はそれぞれ異なる。すなわち、本実施形態のクロック制御部 1 1 は、データ退避処理を行う際、機能ブロック 2 0 A, 2 0 B に退避クロック 6 0 を送り、機能ブロック 2 0 C, 2 0 D に退避クロック 6 1 を送り、記憶部 4 0 に退避クロック 6 2 を送る。なお、退避クロック 6 0 の送出タイミングと退避クロック 6 1 の送出タイミングは異な

り、各退避クロックの送出時間は重ならない。但し、退避クロック 6 2 は、退避クロック 6 0 の送出時間及び退避クロック 6 1 の送出時間の間送出される。また、クロック制御部 1 1 は、データ復帰処理を行う際、機能ブロック 2 0 A, 2 0 B に復帰クロック 5 0 を送り、機能ブロック 2 0 C, 2 0 D に復帰クロック 5 1 を送り、記憶部 4 0 に復帰クロック 5 2 を送る。なお、復帰クロック 5 0 の送出タイミングと復帰クロック 5 1 の送出タイミングは異なり、各復帰クロックの送出時間は重ならない。但し、復帰クロック 5 2 は、復帰クロック 5 0 の送出時間及び復帰クロック 5 1 の送出時間の間送出される。

[0038] 機能ブロック 2 0 A ~ 2 0 D 及び記憶部 4 0 はそれぞれ送られた退避クロック又は復帰クロックに応じて第 1 の実施形態と同様に動作する。すなわち、機能ブロック 2 0 A, 2 0 B は、退避クロック 6 0 又は復帰クロック 5 0 を検出したときに第 1 の実施形態と同様の動作を行い、機能ブロック 2 0 C, 2 0 D は、退避クロック 6 1 又は復帰クロック 5 1 を検出したときに第 1 の実施形態と同様の動作を行い、記憶部 4 0 は退避クロック 6 2 又は復帰クロック 5 2 を検出したときに第 1 の実施形態と同様の動作を行う。

[0039] 本実施形態においてデータ退避処理又はデータ復帰処理を実施する際、バス 3 の 0 ~ 1 5 ビット目のラインの 1 6 ビットが機能ブロック 2 0 A と機能ブロック 2 0 C に、1 6 ~ 3 1 ビット目のラインの 1 6 ビットが機能ブロック 2 0 B と機能ブロック 2 0 D にそれぞれ割り当てられる。

[0040] 図 6 は、第 3 の実施形態のデータ転送システムが (a) データ退避処理及び (b) データ復帰処理を行う際のタイムチャートである。以下、第 3 の実施形態のデータ転送システムが行うデータ退避処理について説明する。クロック制御部 1 1 がデータ退避処理の実行を決定すると、クロック制御部 1 1 は、機能ブロック 2 0 A, 2 0 B に退避クロック 6 0 を送り、記憶部 4 0 に退避クロック 6 2 を送る。退避クロック 6 0 を検出した機能ブロック 2 0 A, 2 0 B の退避処理制御部 2 0 2 A, 2 0 2 B は、退避クロック 6 0 に同期して、データ保持部 2 0 1 A, 2 0 1 B からそれぞれ 1 6 ビットの退避デー

タを並行して順次読み出してバス 3 に送出する。退避クロック 6 2 を検出した記憶部 4 0 の退避処理制御部 4 0 1 は、データ保持部 4 0 3 への書き込みを許可又は禁止するライトイネーブル信号をイネーブル（許可）に設定し、退避クロック 6 2 に同期して、バス 3 から順次受け取った 3 2 ビットの退避データをデータ保持部 4 0 3 に書き込む。

[0041] 機能ブロック 2 0 A, 2 0 B のデータ退避完了後、クロック制御部 1 1 は、機能ブロック 2 0 A, 2 0 B への退避クロック 6 0 の送出を停止し、その直後、機能ブロック 2 0 C, 2 0 D に退避クロック 6 1 を送る。なお、機能ブロック 2 0 A, 2 0 B への退避クロック 6 0 の送出は停止しても、記憶部 4 0 への退避クロック 6 2 の送出は続行される。退避クロック 6 1 を検出した機能ブロック 2 0 C, 2 0 D の退避処理制御部 2 0 2 C, 2 0 2 D は、退避クロック 6 1 に同期して、データ保持部 2 0 1 C, 2 0 1 D からそれぞれ 1 6 ビットの退避データを並行して順次読み出してバス 3 に送出する。記憶部 4 0 の退避処理制御部 4 0 1 は退避クロック 6 2 を検出したままであるため、ライトイネーブル信号をイネーブルにしたまま、退避クロック 6 2 に同期して、バス 3 から順次受け取った 3 2 ビットの退避データをデータ保持部 4 0 3 に書き込む。

[0042] 次に、第 3 の実施形態のデータ転送システムが行うデータ復帰処理について説明する。クロック制御部 1 1 がデータ復帰処理の実行を決定すると、クロック制御部 1 1 は、機能ブロック 2 0 A, 2 0 B に復帰クロック 5 0 を送り、記憶部 4 0 に復帰クロック 5 2 を送る。復帰クロック 5 2 を検出した記憶部 4 0 の復帰処理制御部 4 0 2 は、データ保持部 4 0 3 からの読み出しを許可又は禁止するリードイネーブル信号をイネーブル（許可）に設定し、復帰クロック 5 2 に同期して、退避データをデータ保持部 4 0 3 から 3 2 ビットずつ読み出してバス 3 に送出する。復帰クロック 5 0 を検出した機能ブロック 2 0 A, 2 0 B の復帰処理制御部 2 0 3 A, 2 0 3 B は、復帰クロック 5 0 に同期して、バス 3 上を転送されたデータを順次読み出してデータ保持部 2 0 1 A, 2 0 1 B に 1 6 ビットずつ書き込む。

[0043] 機能ブロック20A, 20Bのデータ復帰完了後、クロック制御部11は、機能ブロック20A, 20Bへの復帰クロック50の送出を停止し、その直後、機能ブロック20C, 20Dに復帰クロック51を送る。なお、機能ブロック20A, 20Bへの復帰クロック50の送出は停止しても、記憶部40への復帰クロック52の送出は続行される。記憶部40の退避処理制御部401は復帰クロック52を検出したままであるため、リードイネーブル信号をイネーブルにしたまま、復帰クロック52に同期して、退避データをデータ保持部403から32ビットずつ読み出してバス3に送出する。復帰クロック51を検出した機能ブロック20C, 20Dの復帰処理制御部203C~203Dは、復帰クロック51に同期して、バス3上を転送されたデータを順次読み出してデータ保持部201C, 201Dに16ビットずつ書き込む。

[0044] 以上説明したように、本実施形態のデータ転送システムによれば、データ退避処理又はデータ復帰処理を行う機能ブロックが複数あり、かつ、各機能ブロックの1回当たりに送出する退避データの合計ビット数がバス3のビット幅を超える場合であっても、機能ブロック毎又は一部の複数の機能ブロック毎にデータ退避又はデータ復帰が行われる。各機能ブロックの退避処理制御部がバス3に送出するビット数又は復帰処理制御部がバス3から読み出すビット数が大きい場合であっても、機能ブロック毎又は一部の複数の機能ブロック毎にデータ退避又はデータ復帰を順次行うことができる。

[0045] (第4の実施形態)

図7は、第4の実施形態のデータ退避システムを示すブロック図である。図7に示すように、システムLSI上に搭載された第4の実施形態のデータ退避システムは、クロック発生源101と、退避制御部102と、機能ブロック120A~120Dと、バス103と、記憶部140とを備える。機能ブロック120A~120Dは、それぞれ、データ保持部121A~121Dと、退避処理制御部122A~122Dと、退避処理設定部123A~123Dとを有する。また、記憶部140は、退避処理制御部141と、デー

データ保持部 142 とを有する。なお、図 7 に示した例では、記憶部 140 はデータ保持部 142 を 1 つ有するが、複数のデータ保持部 142 を有しても良い。

[0046] なお、本実施形態では、制御部の一例として、クロック発生源 101 及び退避制御部 102 が用いられた場合を示す。また、第 1 のデータ保持部の一例として、機能ブロック 120A～120D がそれぞれ有するデータ保持部 121A～121D が用いられた場合を示す。また、第 1 の退避処理制御部の一例として、機能ブロック 120A～120D がそれぞれ有する退避処理制御部 122A～122D が用いられた場合を示す。また、バス割当設定部の一例として、機能ブロック 120A～120D がそれぞれ有する退避処理設定部 123A～123D が用いられた場合を示す。また、第 2 のデータ保持部の一例として、記憶部 140 が有するデータ保持部 142 が用いられた場合を示す。また、第 2 の退避処理制御部の一例として、記憶部 140 が有する退避処理制御部 141 が用いられた場合を示す。

[0047] クロック発生源 101 は、本実施形態のシステムが動作中、機能ブロック 120A～120D 及び記憶部 140 にクロック 105 を送る。また、退避制御部 102 は、データ退避処理を行う際、機能ブロック 120A～120D 及び記憶部 140 に退避イネーブル信号 106 を送る。なお、本実施形態では、退避期間クロックの一例として、退避制御部 102 から退避イネーブル信号 106 が出力されている間のクロック 105 が用いられている。

[0048] 機能ブロック 120A～120D が有するデータ保持部 121A～121D は、レジスタ等の記録媒体である。データ保持部 121A～121D には、動作が不要な機能ブロックへの電源供給を遮断する際に記憶部 140 へ退避させる必要のあるデータ（以下「退避データ」という。）が格納されている。機能ブロック 120A～120D が有する退避処理制御部 122A～122D は、退避制御部 102 から退避イネーブル信号 106 が送られている間、クロック発生源 101 から送られたクロック 105 に同期して、退避処理設定部 123A～123D から指示された所定ビット数の退避データをデ

ータ保持部 121A～121D から読み出して、バス 103 の各機能ブロックに割り当てられたラインに送出する。機能ブロック 120A～120D が有する退避処理設定部 123A～123D は、クロック 105 の 1 クロック・サイクル毎に、バス 103 のビット幅の割り当てを退避処理制御部 122A～122D に設定する。

[0049] バス 103 は、機能ブロック 120A～120D 及び記憶部 140 に接続され、32 ビットのビット幅を有するデータ転送バスである。

[0050] 記憶部 140 が有するデータ保持部 142 は、不揮発性の記録媒体である。データ保持部 142 には、バス 103 を介して機能ブロック 120A～120D から順次送られた 32 ビットの退避データが格納される。記憶部 140 が有する退避処理制御部 141 は、退避制御部 102 から退避イネーブル信号 106 が送られている間、クロック発生源 101 から送られたクロック 105 に同期して、バス 103 上を転送された 32 ビットの退避データをデータ保持部 142 に順次書き込む。

[0051] 図 8 は、第 4 の実施形態のデータ退避システムがデータ退避処理を行う際のタイムチャートである。以下、第 4 の実施形態のデータ退避システムが行うデータ退避処理について説明する。クロック発生源 101 はデータ退避システムが動作中は常にクロック 105 を出力する。退避制御部 102 がデータ退避処理の実行を決定すると、退避制御部 102 は、機能ブロック 120A～120D 及び記憶部 140 に退避イネーブル信号 106 を送る。退避イネーブル信号 106 を検出した機能ブロック 120A～120D の退避処理制御部 122A～122D は、クロック 105 に同期して、退避処理設定部 123A～123D によって 1 クロック・サイクル毎に設定されたビット数の退避データをデータ保持部 121A～121D から読み出してバス 103 に送出する。退避イネーブル信号 106 を検出した記憶部 140 の退避処理制御部 141 は、データ保持部 142 への書き込みを許可又は禁止するライトイネーブル信号をイネーブル（許可）に設定し、クロック 105 に同期して、バス 103 から順次受け取った 32 ビットの退避データをデータ保持部

142に書き込む。

[0052] 図8に示した例では、退避イネーブル信号106の送出後、退避処理設定部123Aは、1、2クロック目にバス103の0～7ビット目を、3クロック目にバス103の0～15ビット目を、4クロック目以降にバス103の0～23ビット目を機能ブロック120Aに割り当てるよう退避処理制御部122Aに設定する。また、退避処理設定部123Bは、1、2クロック目にバス103の8～15ビット目を機能ブロックBに割り当てるよう退避処理制御部122Bに設定する。また、退避処理設定部123Cは、1～3クロック目にバス103の16～23ビット目を機能ブロックCに割り当てるよう退避処理制御部122Cに設定する。また、退避処理設定部123Dは、1クロック目以降にバス103の24～31ビット目を機能ブロックDに割り当てるよう退避処理制御部122Dに設定する。

[0053] 以上説明したように、本実施形態のデータ退避システムによれば、各機能ブロックの退避データのデータサイズに応じて、各機能ブロックに割り当てるバス103のビット幅をクロック105の1クロック・サイクル毎に調整することができる。したがって、複数の機能ブロックの各退避データのデータサイズが異なる場合であっても、複数の機能ブロックのデータ退避に要する時間が最短となるよう設定できる。

[0054] なお、本実施形態では、各機能ブロックに退避処理設定部を設け、機能ブロック毎にビット幅を直接設定しているが、各機能ブロックの退避処理設定部を1つにまとめて、機能ブロックとは別に設けても良い。この場合、機能ブロックに共通の退避処理設定部からは、1クロック・サイクル毎のバス103のビット幅の割り当てについて記述されたビット幅設定情報が各機能ブロックに送られる。

[0055] (第5の実施形態)

図9は、第5の実施形態のデータ復帰システムを示すブロック図である。図9に示すように、システムLSI上に搭載された第5の実施形態のデータ復帰システムは、クロック発生源201と、復帰制御部202と、機能ブ

ック２２０Ａ～２２０Ｄと、バス２０３と、記憶部２４０とを備える。機能ブロック２２０Ａ～２２０Ｄは、それぞれ、データ保持部２２１Ａ～２２１Ｄと、復帰処理制御部２２２Ａ～２２２Ｄと、復帰処理設定部２２３Ａ～２２３Ｄとを有する。また、記憶部２４０は、復帰処理制御部２４１と、データ保持部２４２とを有する。なお、図９に示した例では、記憶部２４０はデータ保持部２４２を１つ有するが、複数のデータ保持部２４２を有しても良い。

[0056] なお、本実施形態では、制御部の一例として、クロック発生源２０１及び復帰制御部２０２が用いられた場合を示す。また、第２のデータ保持部の一例として、機能ブロック２２０Ａ～２２０Ｄがそれぞれ有するデータ保持部２２１Ａ～２２１Ｄが用いられた場合を示す。また、第２の復帰処理制御部の一例として、機能ブロック２２０Ａ～２２０Ｄがそれぞれ有する復帰処理制御部２２２Ａ～２２２Ｄが用いられた場合を示す。また、バス割当設定部の一例として、機能ブロック２２０Ａ～２２０Ｄがそれぞれ有する復帰処理設定部２２３Ａ～２２３Ｄが用いられた場合を示す。また、第１のデータ保持部の一例として、記憶部２４０が有するデータ保持部２４２が用いられた場合を示す。また、第１の復帰処理制御部の一例として、記憶部２４０が有する復帰処理制御部２４１が用いられた場合を示す。

[0057] クロック発生源２０１は、本実施形態のシステムが動作中、機能ブロック２２０Ａ～２２０Ｄ及び記憶部２４０にクロック２０５を送る。また、復帰制御部２０２は、データ復帰処理を行う際、機能ブロック２２０Ａ～２２０Ｄ及び記憶部２４０に復帰イネーブル信号２０６を送る。なお、本実施形態では、復帰期間クロックの一例として、復帰制御部２０２から復帰イネーブル信号２０６が出力されている間のクロック２０５が用いられている。

[0058] 記憶部２４０が有するデータ保持部２４２は、不揮発性の記録媒体である。データ保持部２４２には、機能ブロック２２０Ａ～２２０Ｄが動作を再開するために必要なデータ（以下「復帰データ」という。）が格納されている。記憶部２４０が有する復帰処理制御部２４１は、復帰制御部２０２から復

帰イネーブル信号 206 が送られている間、クロック発生源 201 から送られたクロック 205 に同期して、バス 203 の各機能ブロックに割り当てられたラインに復帰データを送出する。

[0059] バス 203 は、機能ブロック 220A～220D 及び記憶部 240 に接続され、32ビットのビット幅を有するデータ転送バスである。

[0060] 機能ブロック 220A～220D が有するデータ保持部 221A～221D は、レジスタ等の記録媒体である。データ保持部 221A～221D には、バス 203 を介して記憶部 240 から順次送られた復帰データが格納される。機能ブロック 220A～220D が有する復帰処理制御部 222A～222D は、復帰制御部 202 から復帰イネーブル信号 206 が送られている間、クロック発生源 201 から送られたクロック 205 に同期して、復帰処理設定部 223A～223D から指示された所定ビット数の復帰データをバス 203 から読み取って、データ保持部 221A～221D に格納する。機能ブロック 220A～220D が有する復帰処理設定部 223A～223D は、クロック 205 の 1 クロック・サイクル毎に、バス 203 のビット幅の割り当てを復帰処理制御部 222A～222D に設定する。

[0061] 図 10 は、第 5 の実施形態のデータ復帰システムがデータ復帰処理を行う際のタイムチャートである。以下、第 5 の実施形態のデータ復帰システムが行うデータ復帰処理について説明する。クロック発生源 201 はデータ復帰システムが動作中は常にクロック 205 を出力する。復帰制御部 202 がデータ復帰処理の実行を決定すると、復帰制御部 202 は、機能ブロック 220A～220D 及び記憶部 240 に復帰イネーブル信号 206 を送る。復帰イネーブル信号 206 を検出した記憶部 240 の復帰処理制御部 241 は、データ保持部 242 からの読み込みを許可又は禁止するリードイネーブル信号をイネーブル（許可）に設定し、クロック 205 に同期して、データ保持部 242 から読み取った 32 ビットの復帰データをバス 203 に送る。復帰イネーブル信号 206 を検出した機能ブロック 220A～220D の復帰処理制御部 222A～222D は、クロック 205 に同期して、復帰処理

設定部 223 A ~ 223 D によって 1 クロック・サイクル毎に設定されたビット数の復帰データをバス 203 から順次受け取って、データ保持部 221 A ~ 221 D に格納する。

[0062] 図 10 に示した例では、復帰イネーブル信号 206 の送出後、復帰処理設定部 223 A は、1、2 クロック目にバス 203 の 0 ~ 7 ビット目を、3 クロック目にバス 203 の 0 ~ 15 ビット目を、4 クロック目以降にバス 203 の 0 ~ 23 ビット目を機能ブロック 220 A に割り当てるよう復帰処理制御部 222 A に設定する。また、復帰処理設定部 223 B は、1、2 クロック目にバス 203 の 8 ~ 15 ビット目を機能ブロック B に割り当てるよう復帰処理制御部 222 B に設定する。また、復帰処理設定部 223 C は、1 ~ 3 クロック目にバス 203 の 16 ~ 23 ビット目を機能ブロック C に割り当てるよう復帰処理制御部 222 C に設定する。また、復帰処理設定部 223 D は、1 クロック目以降にバス 203 の 24 ~ 31 ビット目を機能ブロック D に割り当てるよう復帰処理制御部 222 D に設定する。

[0063] 以上説明したように、本実施形態のデータ復帰システムによれば、各機能ブロックの復帰データのデータサイズに応じて、各機能ブロックに割り当てるバス 203 のビット幅をクロック 205 の 1 クロック・サイクル毎に調整することができる。したがって、複数の機能ブロックの各復帰データのデータサイズが異なる場合であっても、複数の機能ブロックのデータ復帰に要する時間が最短となるよう設定できる。

[0064] なお、本実施形態では、各機能ブロックに復帰処理設定部を設け、機能ブロック毎にビット幅を直接設定しているが、各機能ブロックの復帰処理設定部を 1 つにまとめて、機能ブロックとは別に設けても良い。この場合、機能ブロックに共通の復帰処理設定部からは、1 クロック・サイクル毎のバス 203 のビット幅の割り当てについて記述されたビット幅設定情報が各機能ブロックに送られる。

[0065] (第 6 の実施形態)

図 11 は、第 6 の実施形態のデータ退避システムを示すブロック図である

。図 1 1 に示すように、システム L S I 上に搭載された第 6 の実施形態のデータ退避システムは、クロック発生源 1 0 1 と、退避制御部 1 0 2 と、退避処理設定部 1 0 7 と、機能ブロック 3 2 0 A ~ 3 2 0 D と、バス 1 0 3 と、記憶部 1 4 0 とを備える。機能ブロック 3 2 0 A ~ 3 2 0 D は、それぞれ、データ保持部 3 2 1 A ~ 3 2 1 D と、退避処理制御部 3 2 2 A ~ 3 2 2 D とを有する。また、記憶部 1 4 0 は、退避処理制御部 1 4 1 と、データ保持部 1 4 2 とを有する。なお、図 1 1 に示した例では、記憶部 1 4 0 はデータ保持部 1 4 2 を 1 つ有するが、複数のデータ保持部 1 4 2 を有しても良い。

[0066] なお、本実施形態では、制御部の一例として、クロック発生源 1 0 1 及び退避制御部 1 0 2 が用いられた場合を示す。また、バス割当設定部の一例として、退避処理設定部 1 0 7 が用いられた場合を示す。また、第 1 のデータ保持部の一例として、機能ブロック 3 2 0 A ~ 3 2 0 D がそれぞれ有するデータ保持部 3 2 1 A ~ 3 2 1 D が用いられた場合を示す。また、第 1 の退避処理制御部の一例として、機能ブロック 3 2 0 A ~ 3 2 0 D がそれぞれ有する退避処理制御部 3 2 2 A ~ 3 2 2 D が用いられた場合を示す。また、第 2 のデータ保持部の一例として、記憶部 1 4 0 が有するデータ保持部 1 4 2 が用いられた場合を示す。また、第 2 の退避処理制御部の一例として、記憶部 1 4 0 が有する退避処理制御部 1 4 1 が用いられた場合を示す。

[0067] クロック発生源 1 0 1 は、本実施形態のシステムが動作中、機能ブロック 3 2 0 A ~ 3 2 0 D 及び記憶部 1 4 0 にクロック 1 0 5 を送る。また、退避制御部 1 0 2 は、データ退避処理を行う際、機能ブロック 3 2 0 A ~ 3 2 0 D 及び記憶部 1 4 0 に退避イネーブル信号 1 0 6 を送る。なお、本実施形態では、退避期間クロックの一例として、退避制御部 1 0 2 から退避イネーブル信号 1 0 6 が出力されている間のクロック 1 0 5 が用いられている。

[0068] 機能ブロック 3 2 0 A ~ 3 2 0 D が有するデータ保持部 3 2 1 A ~ 3 2 1 D は、レジスタ等の記録媒体である。データ保持部 3 2 1 A ~ 3 2 1 D には、動作が不要な機能ブロックへの電源供給を遮断する際に記憶部 1 4 0 へ退避させる必要のあるデータ（以下「退避データ」という。）が格納されてい

る。機能ブロック 320A~320D が有する退避処理制御部 322A~322D は、退避制御部 102 から退避イネーブル信号 106 が送られている間、クロック発生源 101 から送られたクロック 105 に同期して、退避処理設定部 107 から指示された所定ビット数の退避データをデータ保持部 321A~321D から読み出して、バス 103 の各機能ブロックに割り当てられたラインに送出する。また、退避処理制御部 322A~322D は、データ保持部 321A~321D にそれぞれ格納されていた退避データのバス 103 への送出が完了したとき、退避完了フラグを立てる。退避完了フラグの状態を示す信号は、退避処理設定部 107 に送られる。

[0069] 退避処理設定部 107 は、各機能ブロックに対するバス 103 のビット幅の割り当てを一元管理する。退避処理設定部 107 は、機能ブロック 320A~320D から送られた信号が示す退避完了フラグの状態に応じて、機能ブロック 320A~320D の退避処理制御部 322A~322D に対するバス 103 のビット幅の割り当ての設定を変更する。

[0070] バス 103 は、機能ブロック 320A~320D 及び記憶部 140 に接続され、32ビットのビット幅を有するデータ転送バスである。

[0071] 記憶部 140 が有するデータ保持部 142 は、不揮発性の記録媒体である。データ保持部 142 には、バス 103 を介して機能ブロック 320A~320D から順次送られた32ビットの退避データが格納される。記憶部 140 が有する退避処理制御部 141 は、退避制御部 102 から退避イネーブル信号 106 が送られている間、クロック発生源 101 から送られたクロック 105 に同期して、バス 103 上を転送された32ビットの退避データをデータ保持部 142 に順次書き込む。

[0072] 図 12 は、第 6 の実施形態のデータ退避システムがデータ退避処理を行う際のタイムチャートである。以下、第 6 の実施形態のデータ退避システムが行うデータ退避処理について説明する。クロック発生源 101 はデータ退避システムが動作中は常にクロック 105 を出力する。退避制御部 102 がデータ退避処理の実行を決定すると、退避制御部 102 は、機能ブロック 32

0A～320D及び記憶部140に退避イネーブル信号106を送る。退避イネーブル信号106を検出した機能ブロック320A～320Dの退避処理制御部322A～322Dは、クロック105に同期して、退避処理設定部107によって設定されたビット数の退避データをデータ保持部321A～321Dから読み出してバス103に送出する。また、退避処理制御部322A～322Dは、退避データのバス103への送出が完了したとき退避完了フラグを立てる。退避イネーブル信号106を検出した記憶部140の退避処理制御部141は、データ保持部142への書き込みを許可又は禁止するライトイネーブル信号をイネーブル（許可）に設定し、クロック105に同期して、バス103から順次受け取った32ビットの退避データをデータ保持部142に書き込む。

[0073] 本実施形態では、退避イネーブル信号106の送出後、機能ブロック320A～320Dの退避完了フラグがどれも立っていない状態では、退避処理設定部107は、バス3の0～7ビット目のラインの8ビットを機能ブロック320Aに割り当て、8～15ビット目のラインの8ビットを機能ブロック320Bに割り当て、16～23ビット目のラインの8ビットを機能ブロック320Cに割り当て、24～31ビット目のラインの8ビットを機能ブロック320Dに割り当てる。退避処理設定部107は、退避完了フラグの状態に応じて、退避処理が完了した機能ブロックに割り当てているラインを退避処理が続行中の機能ブロックに割り当てる。図12に示した例では、機能ブロック320B、320Cの退避データの送出が略同時に完了するため、その後、退避処理設定部107は、バス3の0～15ビット目のラインの16ビットを機能ブロック320Aに割り当て、16～32ビット目のラインの16ビットを機能ブロック320Dに割り当てる。

[0074] 以上説明したように、本実施形態のデータ退避システムによれば、各機能ブロックの退避データのデータサイズに応じて、各機能ブロックに割り当てるバス103のビット幅を退避完了フラグの状態に応じて調整することができる。したがって、複数の機能ブロックの各退避データのデータサイズが異

なる場合であっても、複数の機能ブロックのデータ退避に要する時間が最短となるよう設定できる。

[0075] (第7の実施形態)

図13は、第7の実施形態のデータ復帰システムを示すブロック図である。図13に示すように、システムLSI上に搭載された第7の実施形態のデータ復帰システムは、クロック発生源201と、復帰制御部202と、復帰処理設定部207と、機能ブロック420A～420Dと、バス203と、記憶部240とを備える。機能ブロック420A～420Dは、それぞれ、データ保持部421A～421Dと、復帰処理制御部422A～422Dとを有する。また、記憶部240は、復帰処理制御部241と、データ保持部242とを有する。なお、図13に示した例では、記憶部240はデータ保持部242を1つ有するが、複数のデータ保持部242を有しても良い。

[0076] なお、本実施形態では、制御部の一例として、クロック発生源201及び復帰制御部202が用いられた場合を示す。また、バス割当設定部の一例として、復帰処理設定部207が用いられた場合を示す。また、第2のデータ保持部の一例として、機能ブロック420A～420Dがそれぞれ有するデータ保持部421A～421Dが用いられた場合を示す。また、第2の復帰処理制御部の一例として、機能ブロック420A～420Dがそれぞれ有する復帰処理制御部422A～422Dが用いられた場合を示す。また、第1のデータ保持部の一例として、記憶部240が有するデータ保持部242が用いられた場合を示す。また、第1の復帰処理制御部の一例として、記憶部240が有する復帰処理制御部241が用いられた場合を示す。

[0077] クロック発生源201は、本実施形態のシステムが動作中、機能ブロック420A～420D及び記憶部240にクロック205を送る。また、復帰制御部202は、データ復帰処理を行う際、機能ブロック420A～420D及び記憶部240に復帰イネーブル信号206を送る。なお、本実施形態では、復帰期間クロックの一例として、復帰制御部202から復帰イネーブル信号206が出力されている間のクロック205が用いられている。

- [0078] 記憶部 240 が有するデータ保持部 242 は、不揮発性の記録媒体である。データ保持部 242 には、機能ブロック 420A~420D の動作を再開するために必要なデータ（以下「復帰データ」という。）が格納されている。記憶部 240 が有する復帰処理制御部 241 は、復帰制御部 202 から復帰イネーブル信号 206 が送られている間、クロック発生源 201 から送られたクロック 205 に同期して、バス 203 の各機能ブロックに割り当てられたラインに復帰データを送出する。
- [0079] バス 203 は、機能ブロック 420A~420D 及び記憶部 240 に接続され、32ビットのビット幅を有するデータ転送バスである。
- [0080] 機能ブロック 420A~420D が有するデータ保持部 421A~421D は、レジスタ等の記録媒体である。データ保持部 421A~421D には、バス 203 を介して記憶部 240 から順次送られた復帰データが格納される。機能ブロック 420A~420D が有する復帰処理制御部 422A~422D は、復帰制御部 202 から復帰イネーブル信号 206 が送られている間、クロック発生源 201 から送られたクロック 205 に同期して、復帰処理設定部 207 から指示された所定ビット数の復帰データをバス 203 から読み取って、データ保持部 421A~421D に格納する。また、復帰処理制御部 422A~422D は、記憶部 240 からバス 203 を介して転送された、該当する機能ブロックの復帰のために必要な復帰データの受領が完了したとき、復帰完了フラグを立てる。復帰完了フラグの状態を示す信号は、復帰処理設定部 207 に送られる。
- [0081] 復帰処理設定部 207 は、各機能ブロックに対するバス 203 のビット幅の割り当てを一元管理する。復帰処理設定部 207 は、機能ブロック 420A~420D から送られる復帰完了フラグの状態に応じて、機能ブロック 420A~420D の復帰処理制御部 422A~422D に対するバス 203 のビット幅の割り当ての設定を変更する。
- [0082] 図 14 は、第 7 の実施形態のデータ復帰システムがデータ復帰処理を行う際のタイムチャートである。以下、第 7 の実施形態のデータ復帰システムが

行うデータ復帰処理について説明する。クロック発生源 201 はデータ復帰システムが動作中は常にクロック 205 を出力する。復帰制御部 202 がデータ復帰処理の実行を決定すると、復帰制御部 202 は、機能ブロック 420A～420D 及び記憶部 240 に復帰イネーブル信号 206 を送る。復帰イネーブル信号 206 を検出した記憶部 240 の復帰処理制御部 241 は、データ保持部 242 からの読み込みを許可又は禁止するライトイネーブル信号をイネーブル（許可）に設定し、クロック 205 に同期して、データ保持部 242 から読み取った 32 ビットの復帰データをバス 203 に送出する。復帰イネーブル信号 206 を検出した機能ブロック 420A～420D の復帰処理制御部 422A～422D は、クロック 205 に同期して、復帰処理設定部 207 によって設定されたビット数の復帰データをバス 203 から順次受け取って、データ保持部 421A～421D に格納する。なお、復帰処理制御部 422A～422D は、復帰データの受領が完了したとき復帰完了フラグを立てる。

[0083] 本実施形態では、復帰イネーブル信号 206 の送出後、機能ブロック 420A～420D の復帰完了フラグがどれも立っていない状態では、復帰処理設定部 207 は、バス 3 の 0～7 ビット目のラインの 8 ビットを機能ブロック 420A に割り当て、8～15 ビット目のラインの 8 ビットを機能ブロック 420B に割り当て、16～23 ビット目のラインの 8 ビットを機能ブロック 420C に割り当て、24～31 ビット目のラインの 8 ビットを機能ブロック 420D に割り当てる。復帰処理設定部 207 は、復帰完了フラグの状態に応じて、復帰処理が完了した機能ブロックに割り当てているラインを復帰処理が続行中の機能ブロックに割り当てる。図 14 に示した例では、機能ブロック 420B、420C の復帰データの受領が略同時に完了するため、その後、復帰処理設定部 207 は、バス 3 の 0～15 ビット目のラインの 16 ビットを機能ブロック 420A に割り当て、16～32 ビット目のラインの 16 ビットを機能ブロック 420D に割り当てる。

[0084] 以上説明したように、本実施形態のデータ復帰システムによれば、各機能

ブロックの復帰データのデータサイズに応じて、各機能ブロックに割り当てるバス203のビット幅を復帰完了フラグの状態に応じて調整することができる。したがって、複数の機能ブロックの各復帰データのデータサイズが異なる場合であっても、複数の機能ブロックのデータ復帰に要する時間が最短となるよう設定できる。

[0085] 本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。

[0086] 本出願は、2007年4月11日出願の日本特許出願（特願2007-103955）に基づくものであり、その内容はここに参照として取り込まれる。

産業上の利用可能性

[0087] 本発明に係るデータ退避システム及びデータ復帰システムは、機能ブロックへの電源供給を遮断したり復帰することによって消費電力を低減するシステムLSI等の省電力システム等として有用である。

請求の範囲

- [1] 退避データを有する少なくとも１つの機能ブロックと、
前記機能ブロックから転送された前記退避データを記憶する記憶部と、
前記機能ブロックと前記記憶部とが接続された、特定ビット数のビット幅を有するバスと、
前記機能ブロックから前記記憶部へ前記退避データを転送する際に退避期間クロックを前記機能ブロック及び前記記憶部に送る制御部と、を備え、
前記機能ブロックは、
前記退避データを保持する第１のデータ保持部と、
前記退避期間クロックに同期して、前記第１のデータ保持部から前記バスのビット幅数内の所定ビット数ずつ退避データを読み取り、読み取った退避データを各機能ブロックに割り当てられた前記バスのラインに送出する第１の退避処理制御部と、を有し、
前記記憶部は、
前記バスを介して前記機能ブロックから転送された退避データを保持する第２のデータ保持部と、
前記退避期間クロックに同期して、前記バスから退避データを読み取り、読み取った退避データを前記第２のデータ保持部に格納する第２の退避処理制御部と、を有することを特徴とするデータ退避システム。
- [2] 請求項１に記載のデータ退避システムであって、
前記退避期間クロックの１クロック・サイクル毎に前記バスに送出する退避データの前記所定ビット数を、機能ブロック毎に設定するバス割当設定部を備えたことを特徴とするデータ退避システム。
- [3] 請求項２に記載のデータ退避システムであって、
前記第１の退避処理制御部は、前記第１のデータ保持部から読み取った退避データの前記バスへの送出が完了したか否かを示す退避完了フラグの状態を示す信号を前記バス割当設定部に送り、
前記バス割当設定部は、各機能ブロックの前記第１の退避処理制御部から

送られた前記信号が示す前記退避完了フラグの状態に応じて、前記バスに送出する退避データの前記所定ビット数を機能ブロック毎に設定することを特徴とするデータ退避システム。

- [4] 請求項 1 に記載のデータ退避システムであって、
前記機能ブロックは、前記退避期間クロックの 1 クロック・サイクル毎に前記バスに送出する退避データの前記所定ビット数を前記第 1 の退避処理制御部に設定するバス割当設定部を有することを特徴とするデータ退避システム。
- [5] 請求項 1 に記載のデータ退避システムであって、
前記機能ブロックを複数備え、
前記複数の機能ブロックが複数のグループに分けられ、
前記制御部は、前記複数の機能ブロックのグループ毎に異なるタイミングで送出時間が重ならないよう前記退避期間クロックを送ることを特徴とするデータ退避システム。
- [6] 少なくとも 1 つの機能ブロックと、
前記機能ブロックが動作を再開するために必要な復帰データを記憶する記憶部と、
前記機能ブロックと前記記憶部とが接続された、特定ビット数のビット幅を有するバスと、
前記記憶部が記憶する前記復帰データを前記機能ブロックに転送する際に復帰期間クロックを前記機能ブロック及び前記記憶部に送る制御部と、を備え、
前記記憶部は、
前記復帰データを保持する第 1 のデータ保持部と、
前記復帰期間クロックに同期して、前記第 1 のデータ保持部から前記復帰データを読み取り、読み取った復帰データを各機能ブロックに割り当てられた前記バスのラインに送出する第 1 の復帰処理制御部と、を有し、
前記機能ブロックは、

前記バスを介して前記記憶部から転送された復帰データを保持する第２のデータ保持部と、

前記復帰期間クロックに同期して、各機能ブロックに割り当てられた前記バスの所定ラインから所定ビット数ずつ復帰データを読み取り、読み取った復帰データを前記第２のデータ保持部に格納する第２の復帰処理制御部と、を有することを特徴とするデータ復帰システム。

[7] 請求項６に記載のデータ復帰システムであって、

前記復帰期間クロックの１クロック・サイクル毎に前記バスから読み取る復帰データの前記所定ビット数を、機能ブロック毎に設定するバス割当設定部を備えたことを特徴とするデータ復帰システム。

[8] 請求項７に記載のデータ復帰システムであって、

前記バス割当設定部は、前記復帰期間クロックの１クロック・サイクル毎に、前記バスから読み取る復帰データの前記所定ビット数を機能ブロック毎に設定することを特徴とするデータ復帰システム。

[9] 請求項７に記載のデータ復帰システムであって、

前記第２の復帰処理制御部は、前記バスを介して前記記憶部から転送された前記復帰データの受領が完了したか否かを示す復帰完了フラグの状態を示す信号を前記バス割当設定部に送り、

前記バス割当設定部は、各機能ブロックの前記第２の復帰処理制御部から送られた前記信号が示す前記復帰完了フラグの状態に応じて、前記バスから読み取る復帰データの前記所定ビット数を機能ブロック毎に設定することを特徴とするデータ復帰システム。

[10] 請求項６に記載のデータ復帰システムであって、

前記機能ブロックは、前記復帰期間クロックの１クロック・サイクル毎に前記バスから読み取る復帰データの前記所定ビット数を前記第２の復帰処理制御部に設定するバス割当設定部を有することを特徴とするデータ復帰システム。

[11] 請求項６に記載のデータ復帰システムであって、

前記機能ブロックを複数備え、
前記複数の機能ブロックが複数のグループに分けられ、
前記制御部は、前記複数の機能ブロックのグループ毎に異なるタイミングで読取時間が重ならないよう前記復帰期間クロックを送ることを特徴とするデータ復帰システム。

- [12] 退避データを有する少なくとも1つの機能ブロックと、
前記機能ブロックから転送された前記退避データを記憶する記憶部と、
前記機能ブロックと前記記憶部とが接続された、特定ビット数のビット幅を有するバスと、
前記機能ブロックから前記記憶部へ前記退避データを転送する際に退避期間クロックを前記機能ブロック及び前記記憶部に送る制御部と、を備えたデータ退避システムが行うデータ退避方法であって、
前記制御部が、前記機能ブロック及び前記記憶部に前記退避期間クロックを送り、
前記機能ブロックが、前記退避期間クロックに同期して、前記バスのビット幅数内の所定ビット数ずつ退避データを各機能ブロックに割り当てられた前記バスのラインに送出し、
前記記憶部が、前記退避期間クロックに同期して、前記バスから退避データを読み取り、読み取った退避データを記憶することを特徴とするデータ退避方法。

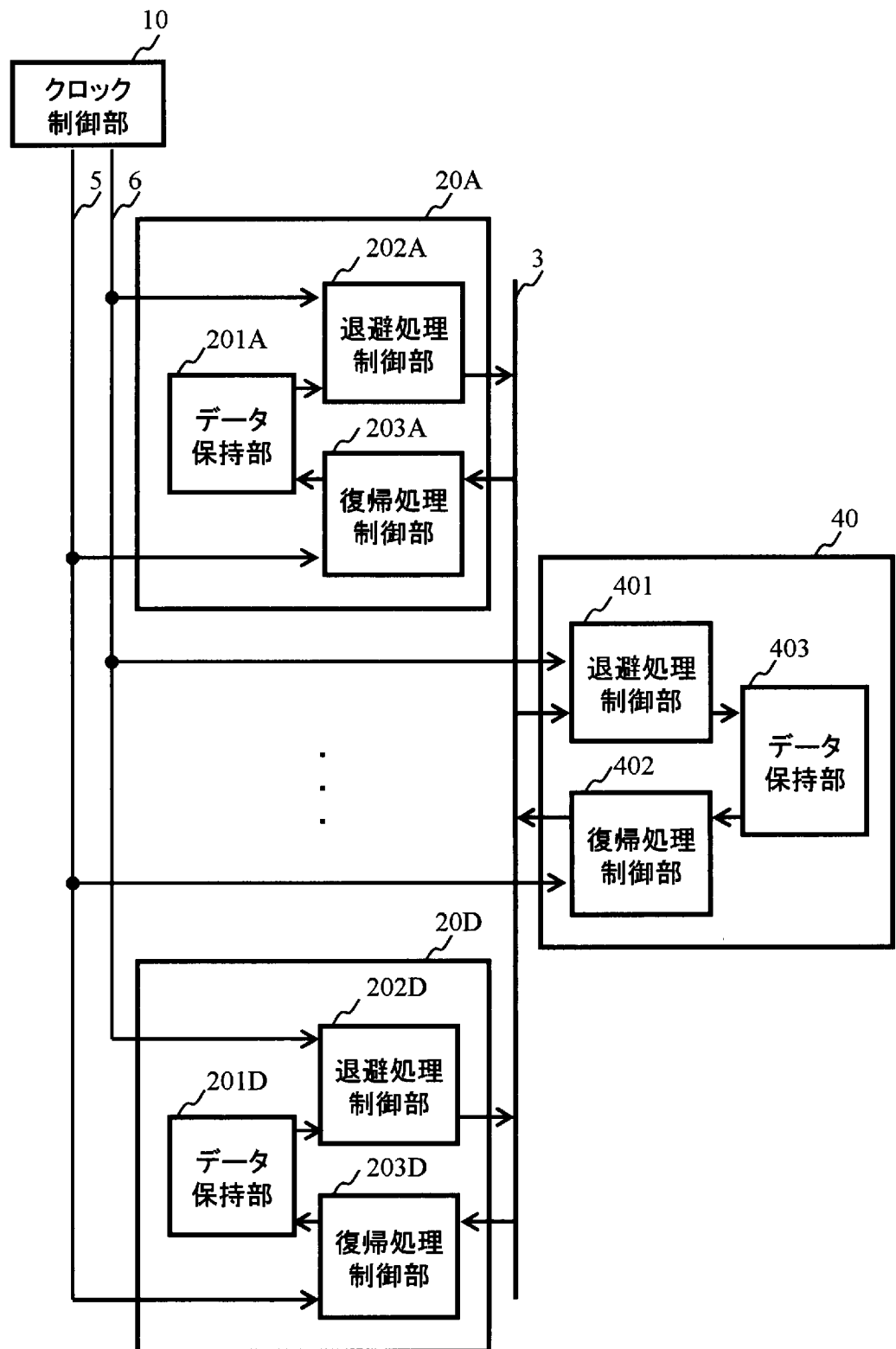
- [13] 少なくとも1つの機能ブロックと、
前記機能ブロックが動作を再開するために必要な復帰データを記憶する記憶部と、
前記機能ブロックと前記記憶部とが接続された、特定ビット数のビット幅を有するバスと、
前記記憶部が記憶する前記復帰データを前記機能ブロックに転送する際に復帰期間クロックを前記機能ブロック及び前記記憶部に送る制御部と、を備えたデータ復帰システムが行うデータ復帰方法であって、

前記制御部が、前記機能ブロック及び前記記憶部に前記復帰期間クロックを送り、

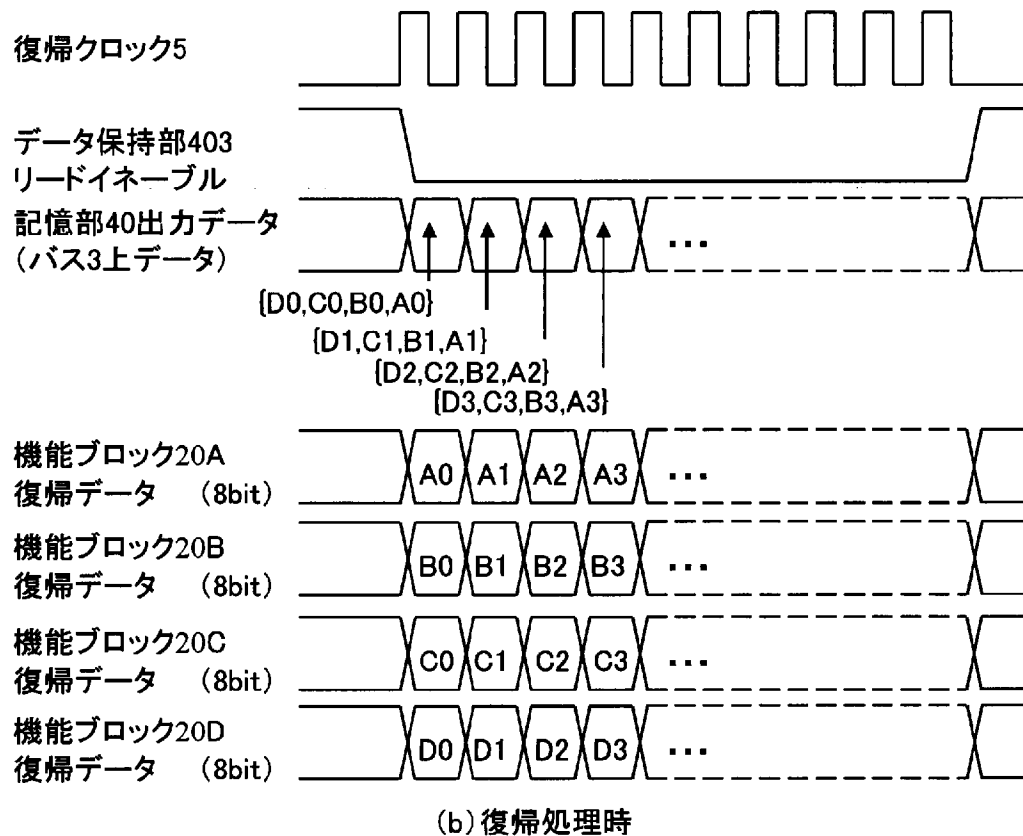
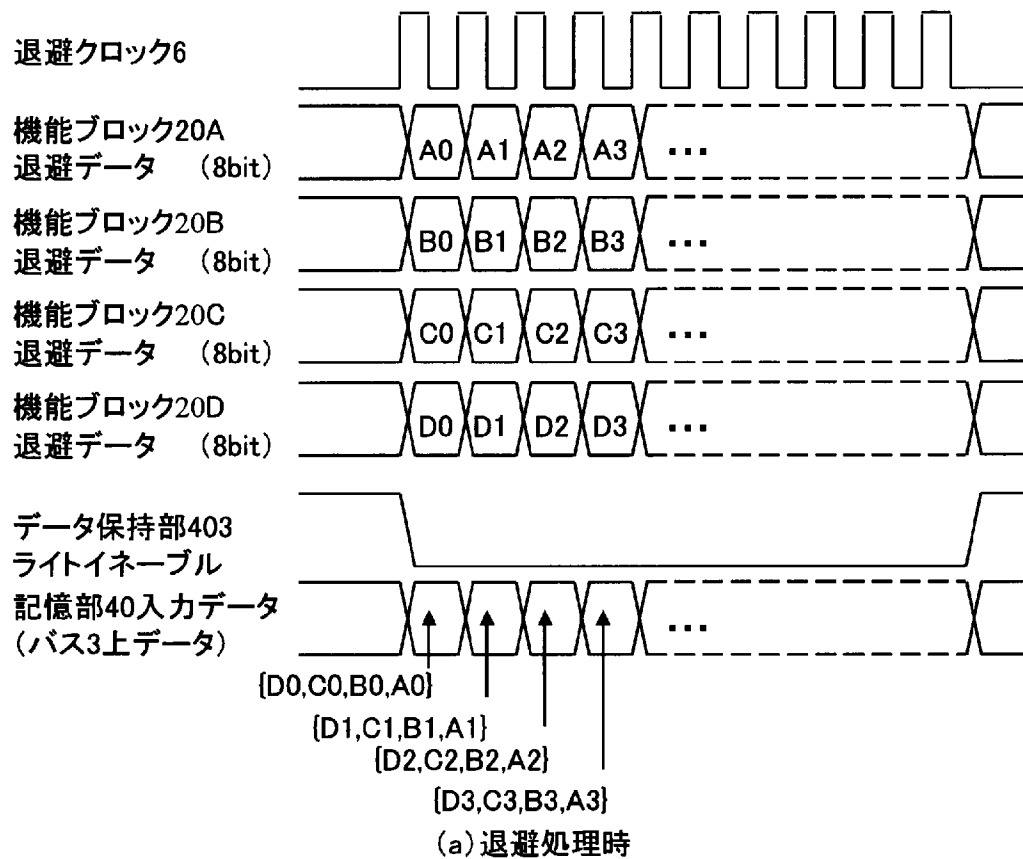
前記記憶部が、前記復帰期間クロックに同期して、前記復帰データを各機能ブロックに割り当てられた前記バスのラインに送出し、

前記機能ブロックが、前記復帰期間クロックに同期して、各機能ブロックに割り当てられた前記バスの所定ラインから所定ビット数ずつ復帰データを読み取り、読み取った復帰データを記憶することを特徴とするデータ復帰方法。

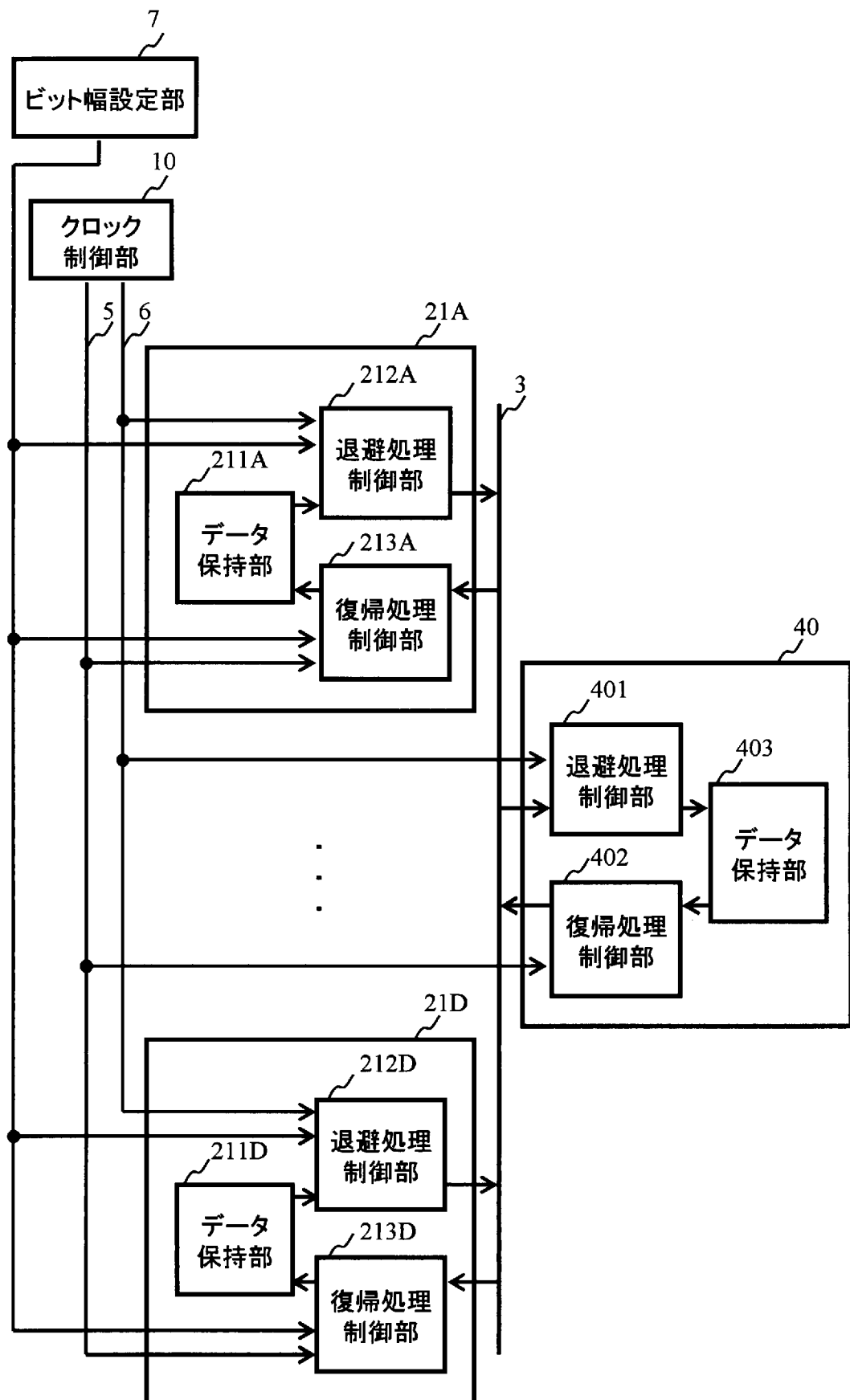
[図1]



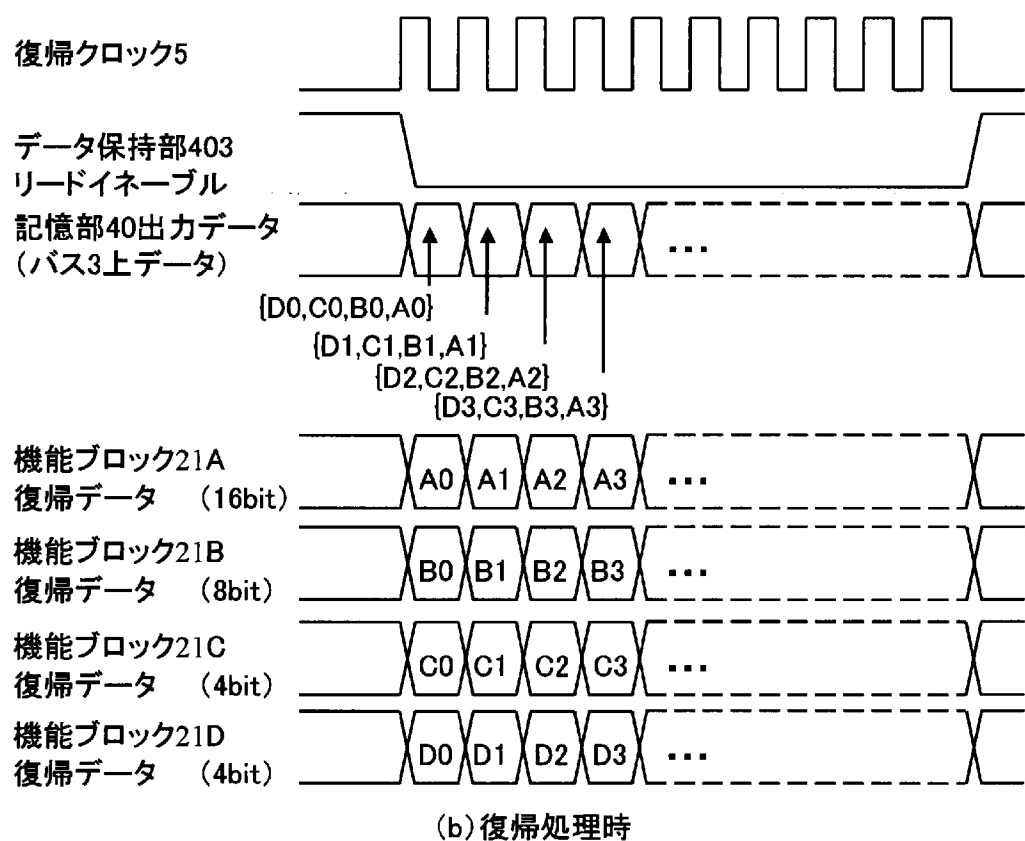
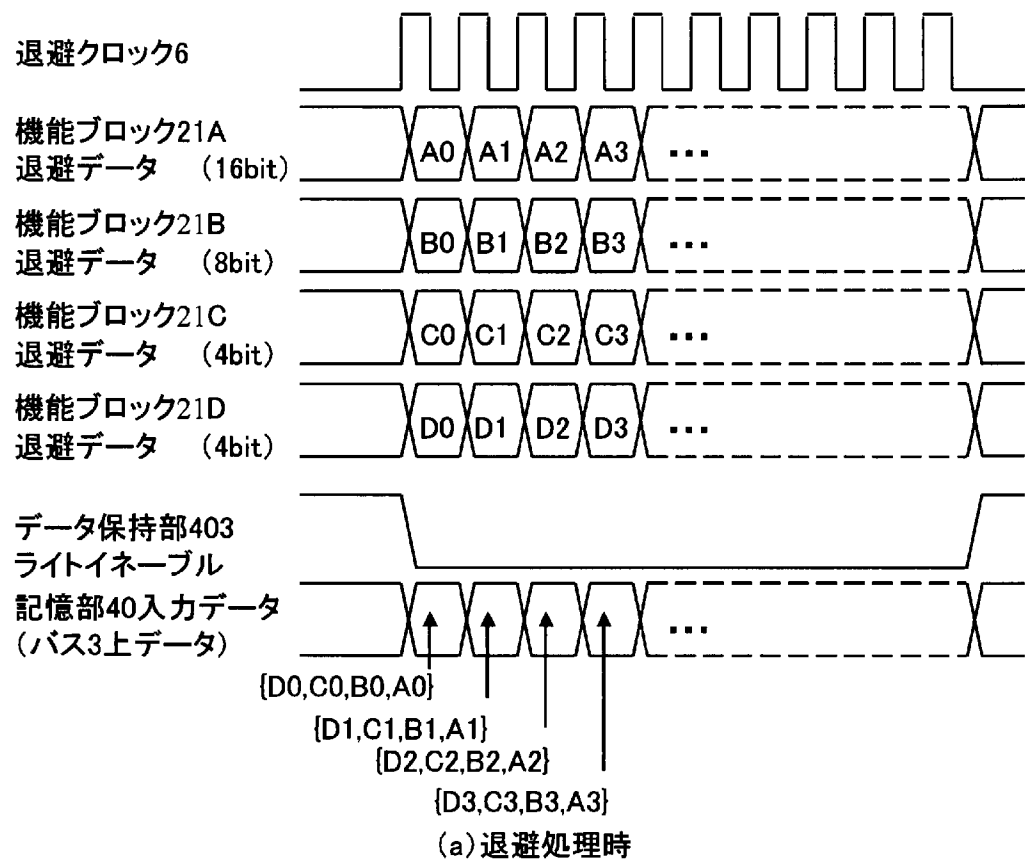
[図2]



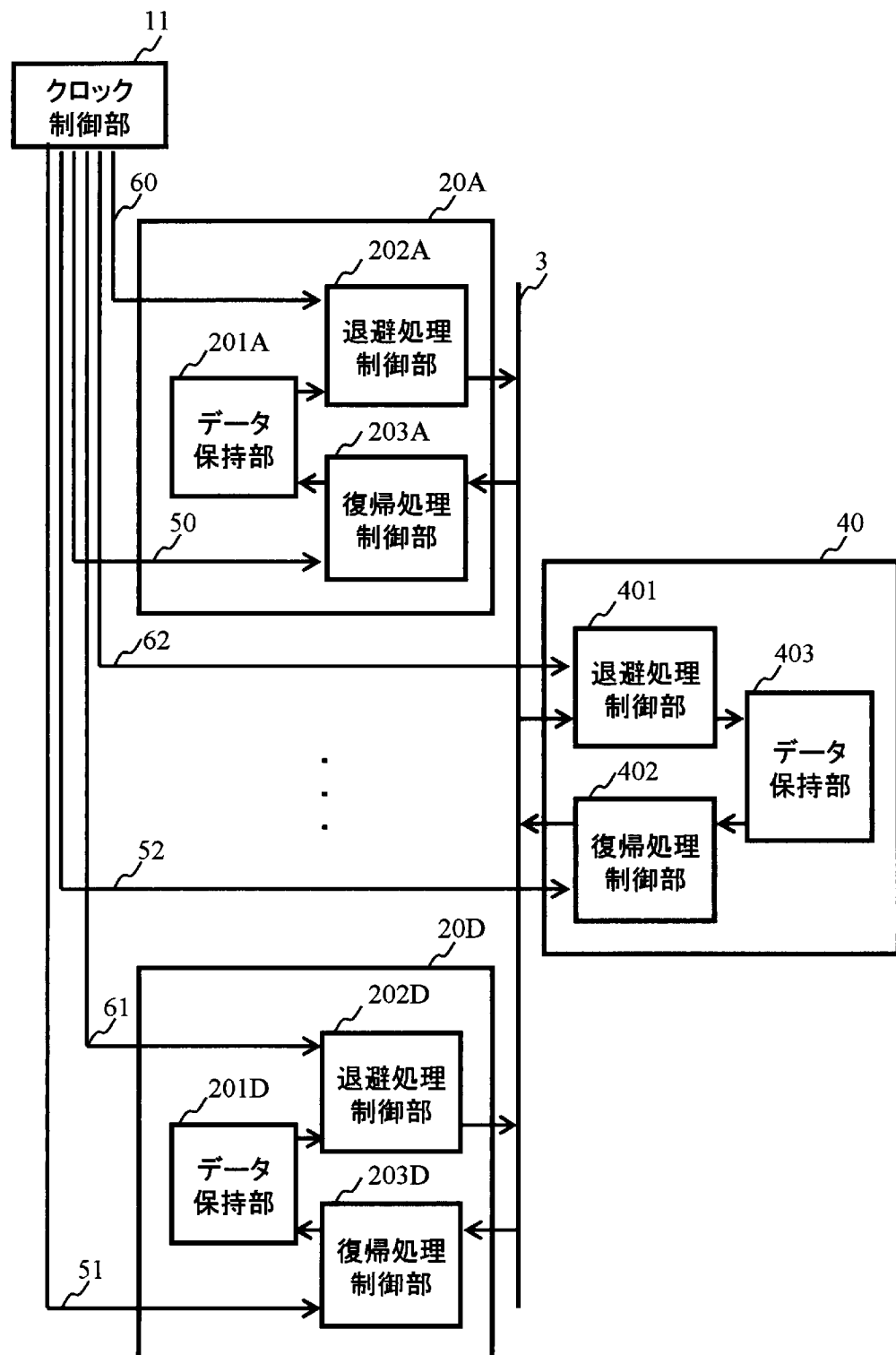
[図3]



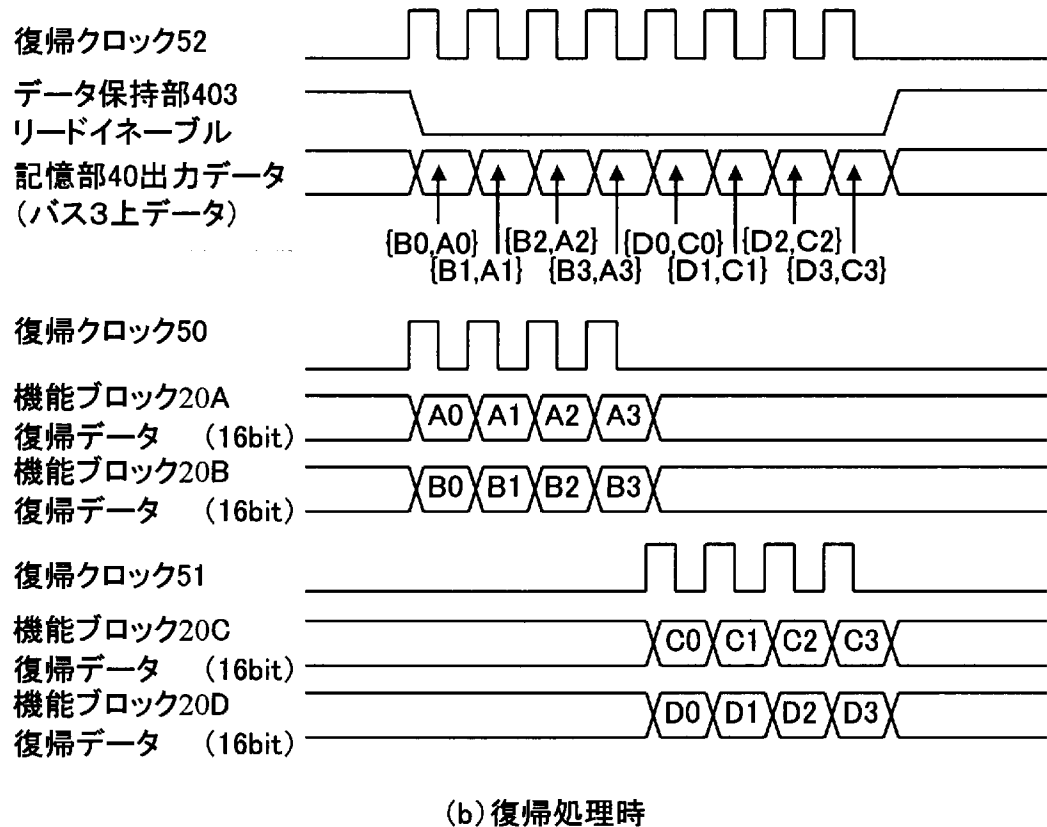
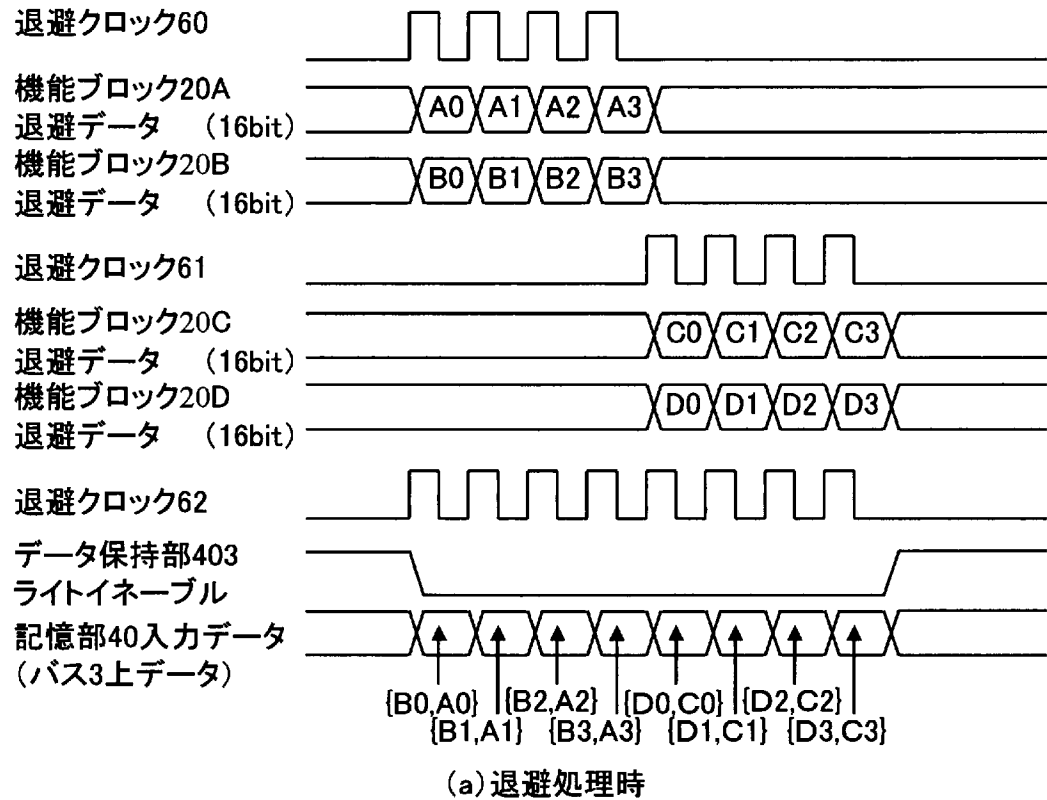
[図4]



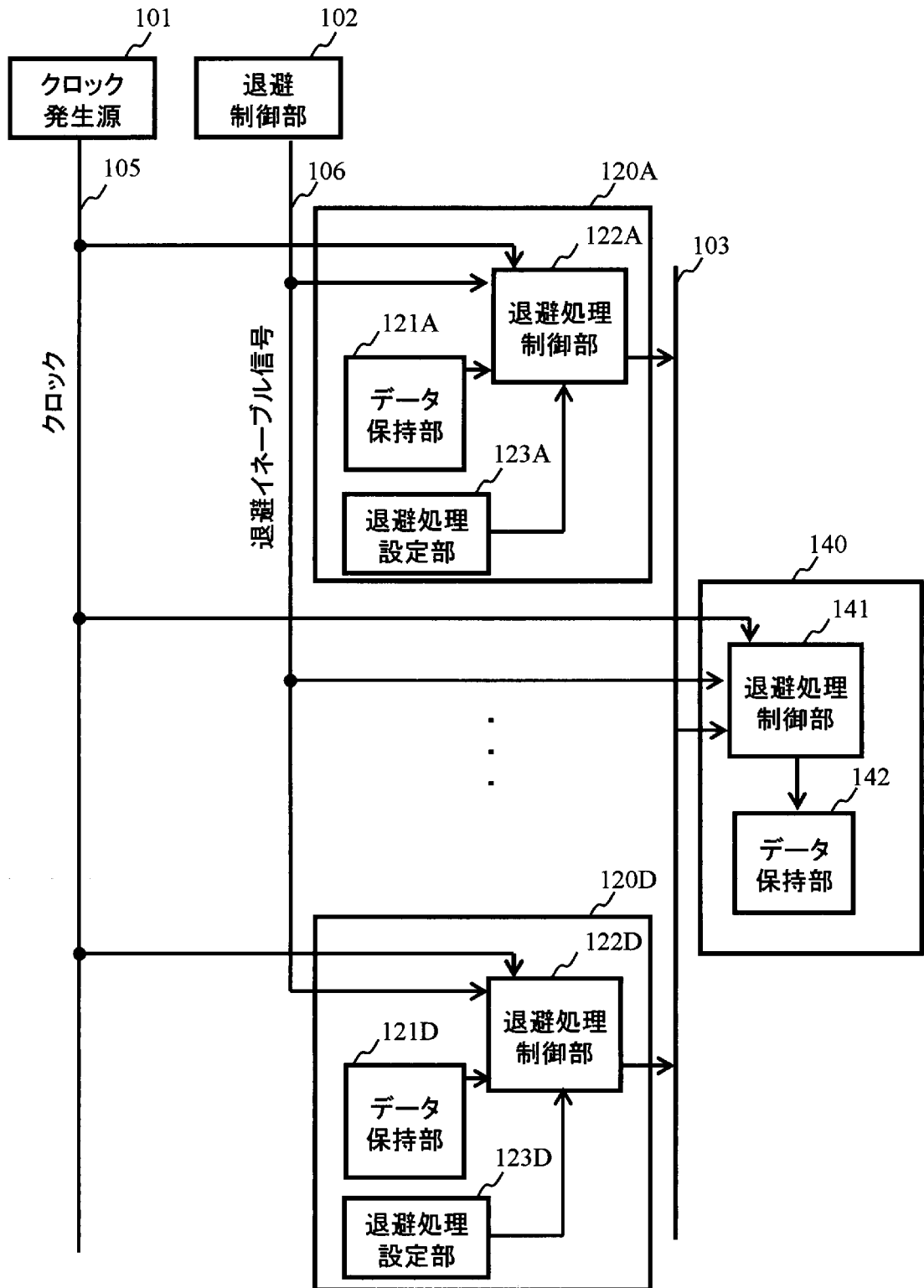
[図5]



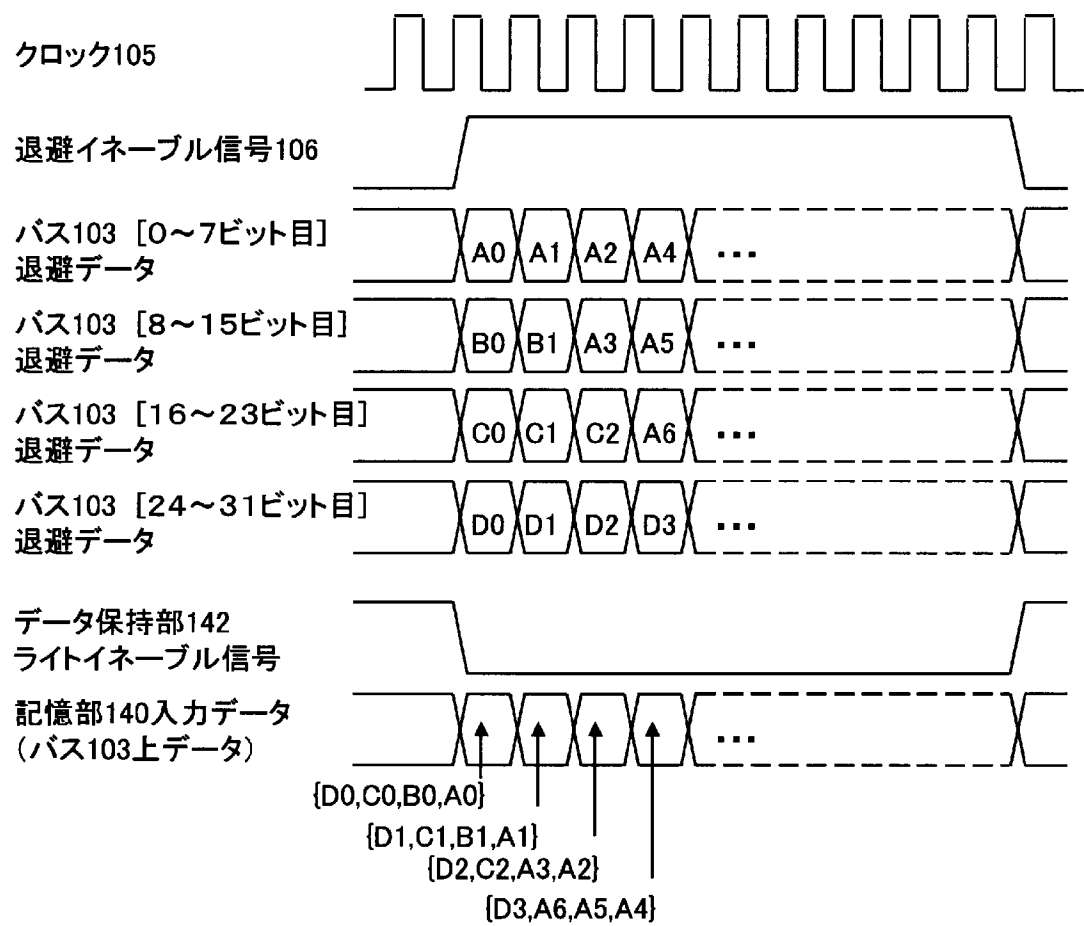
[図6]



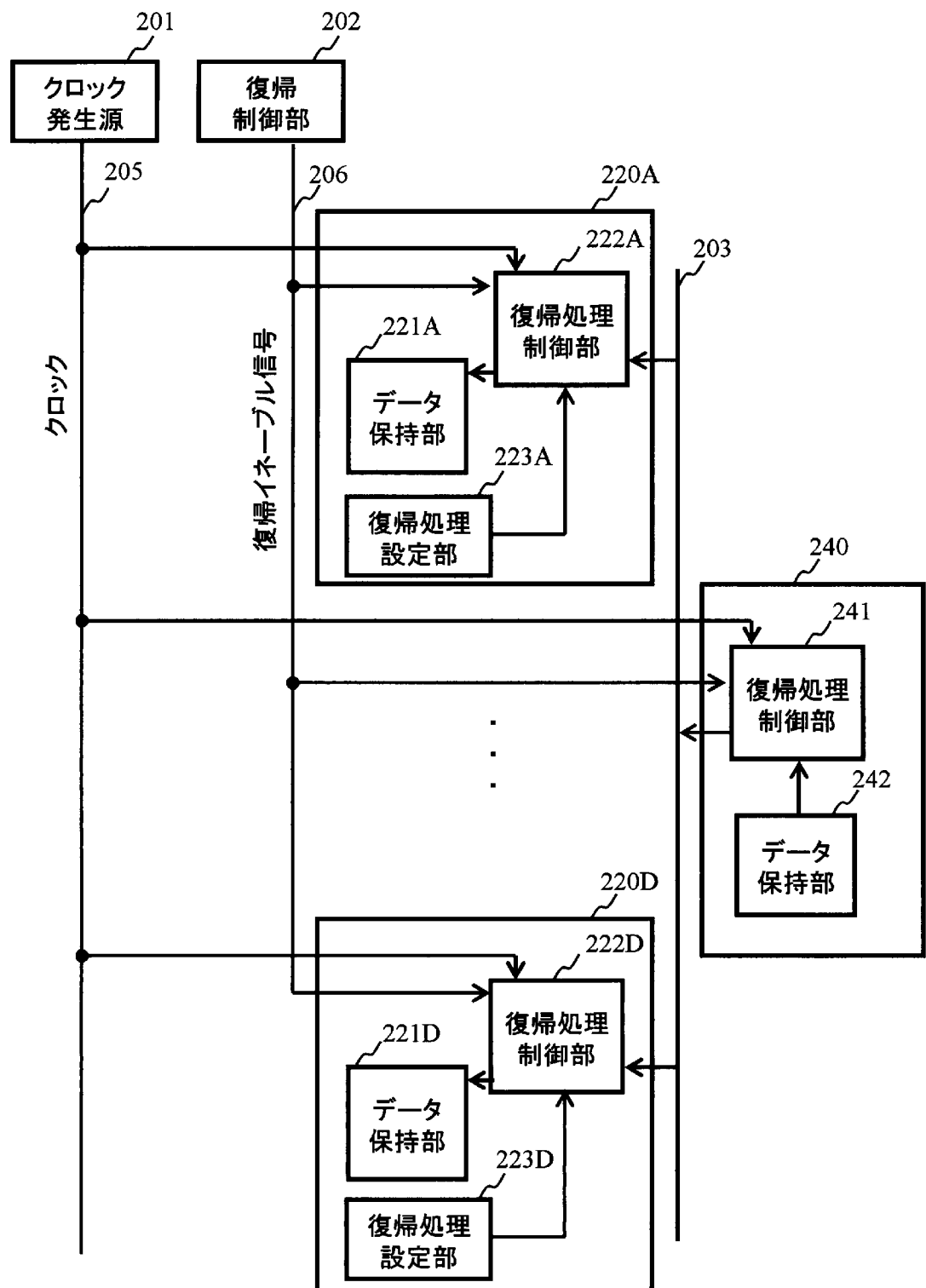
[図7]



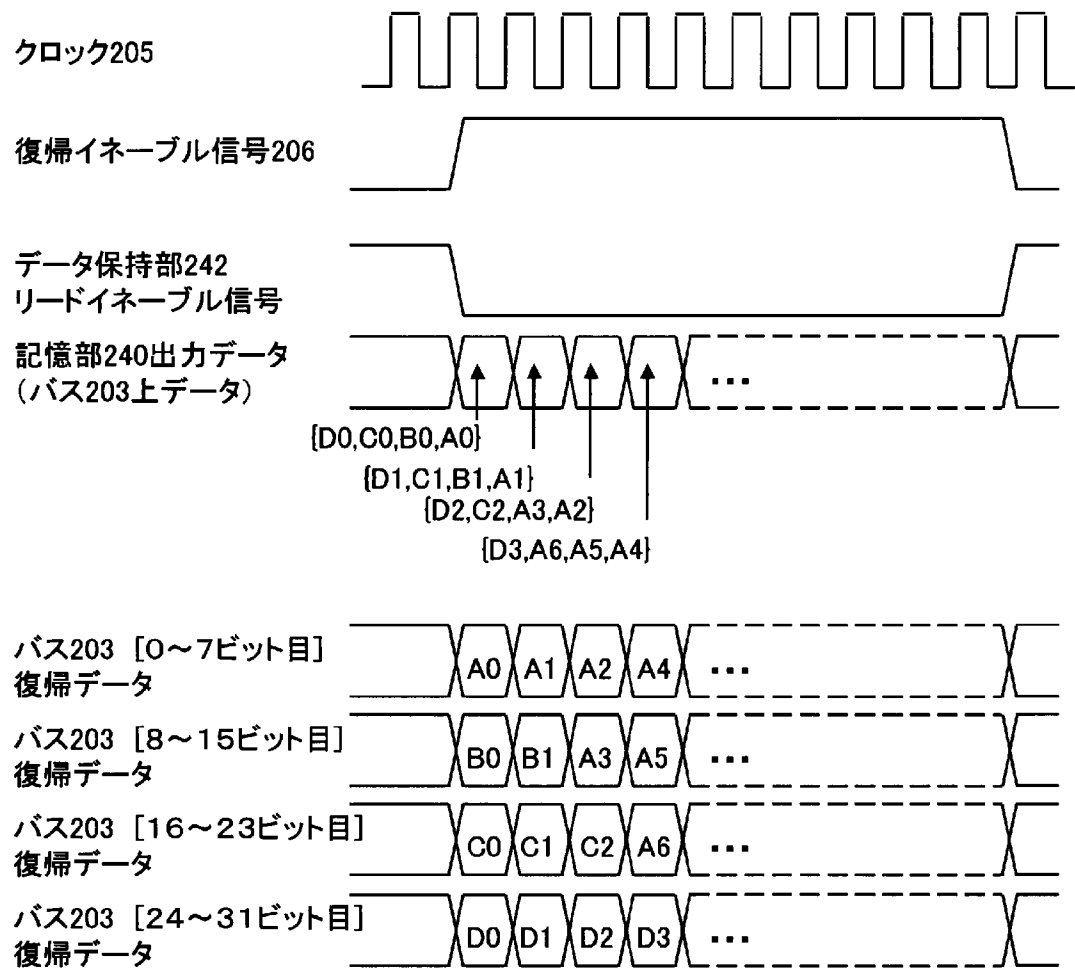
[図8]



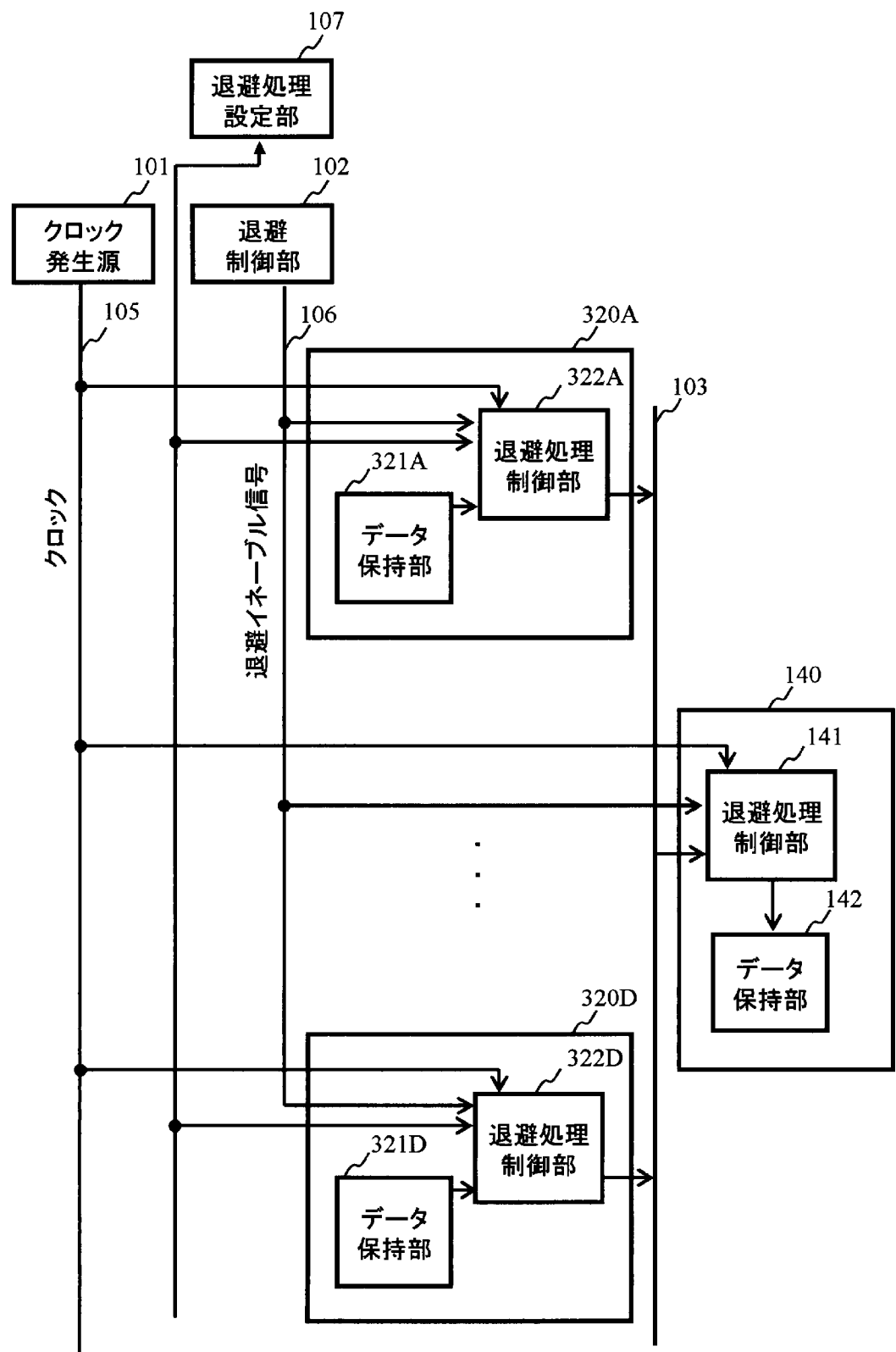
[図9]



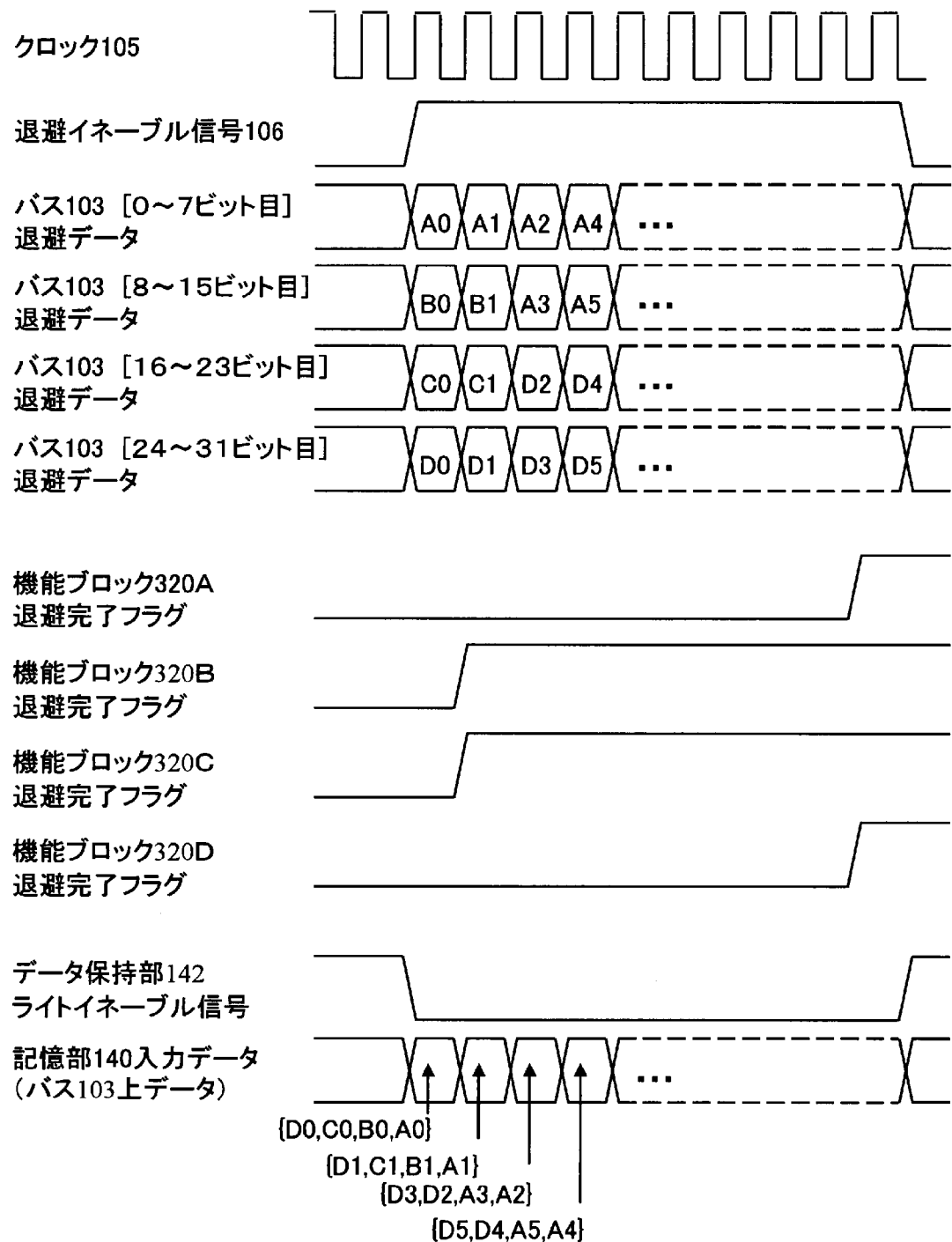
[図10]



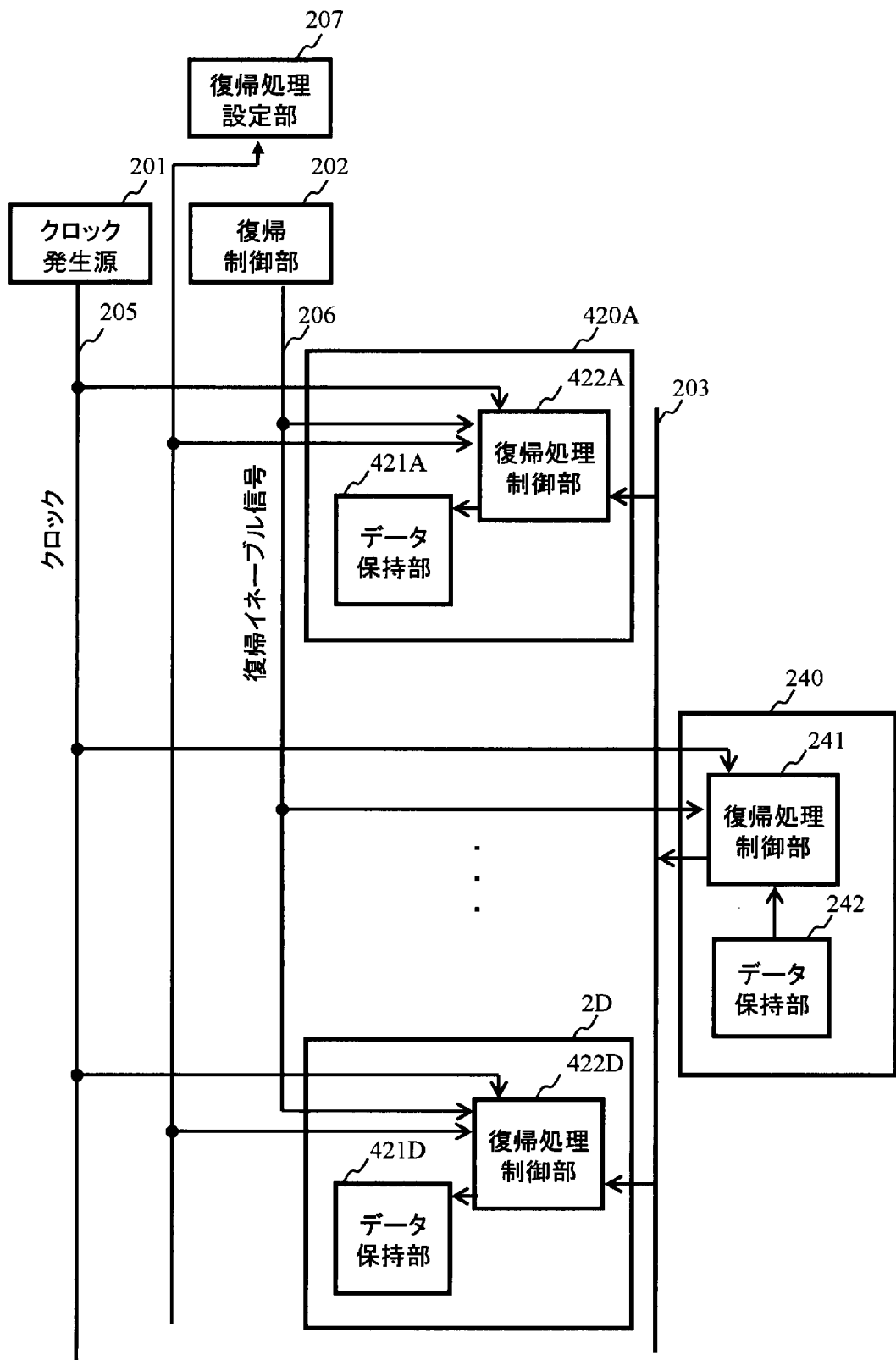
[図11]



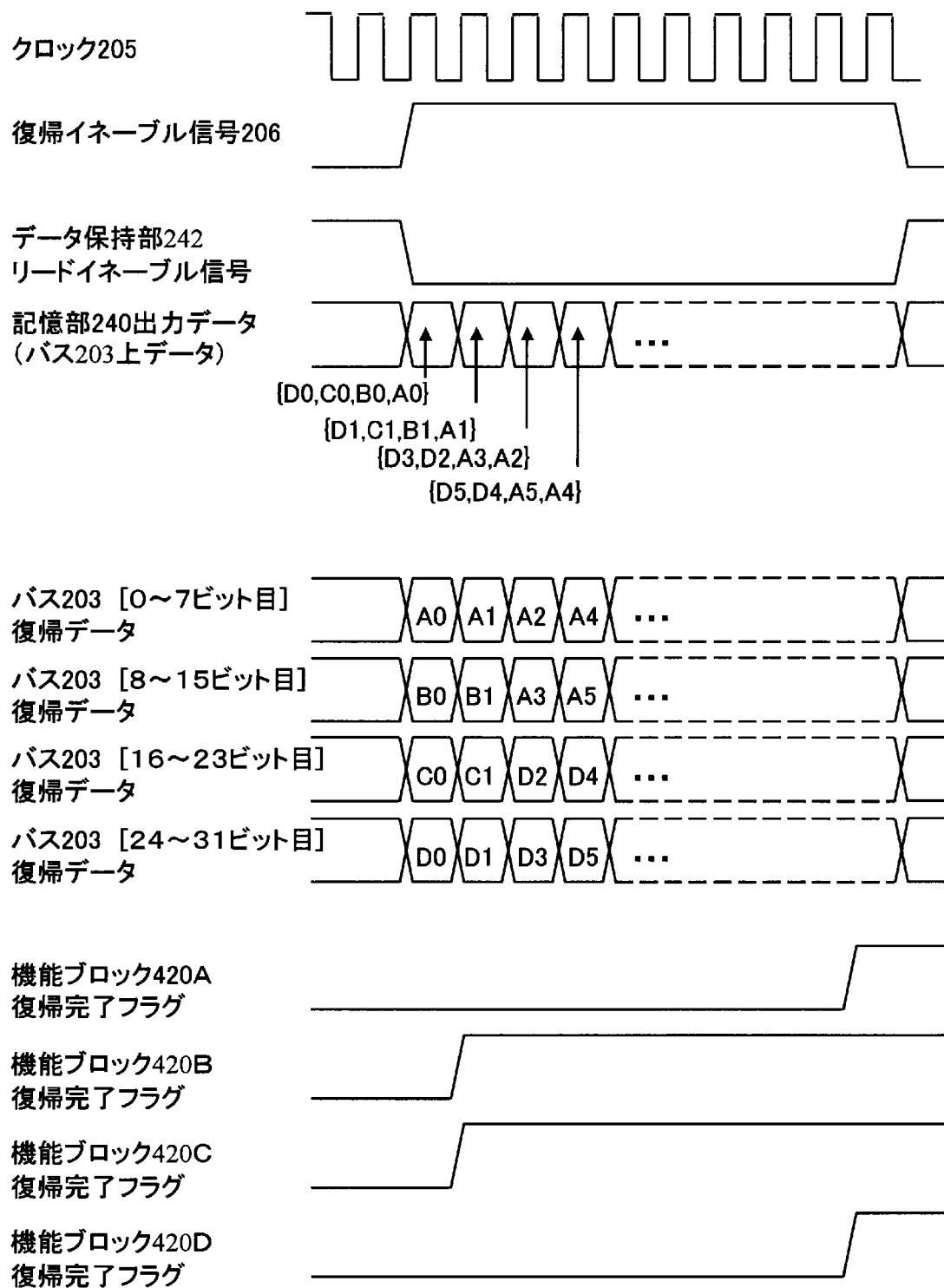
[図12]



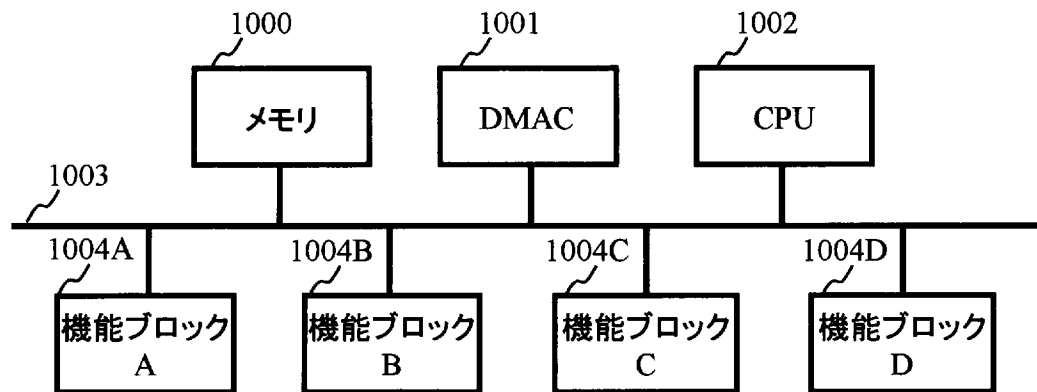
[図13]



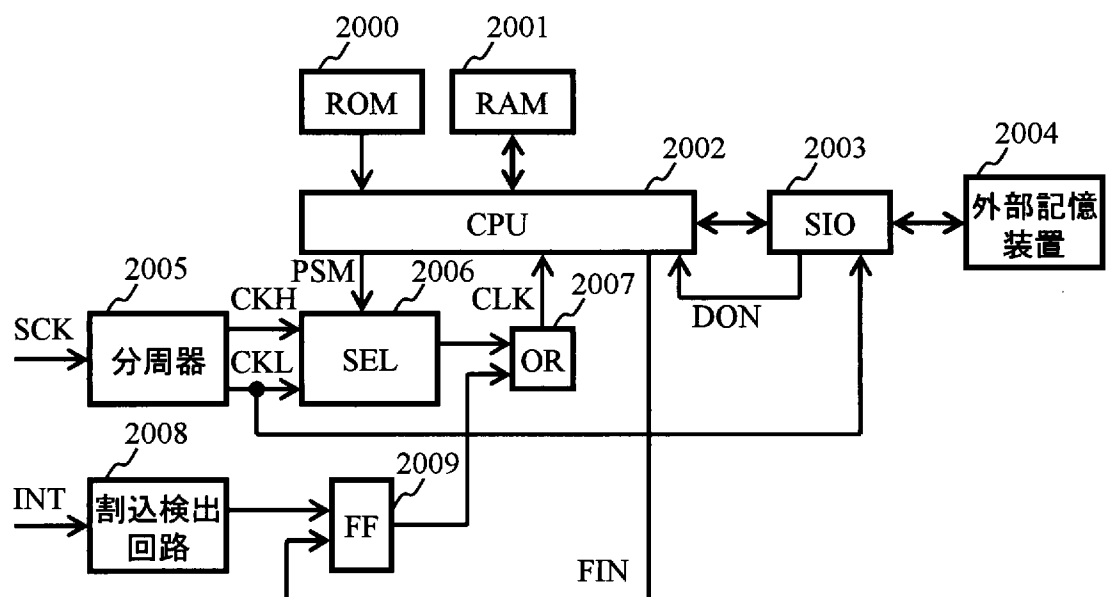
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/000949

A. CLASSIFICATION OF SUBJECT MATTER

G06F12/00(2006.01)i, G06F1/04(2006.01)i, G06F1/12(2006.01)i, G06F1/32(2006.01)i, G06F12/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/00, G06F1/04, G06F1/12, G06F1/32, G06F12/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-126932 A (Semiconductor Technology Academic Research Center), 22 April, 2004 (22.04.04), Full text; all drawings & US 2004/0088630 A1	1, 6, 12, 13 2-5, 7-11
A	JP 2006-4108 A (Oki Electric Industry Co., Ltd.), 05 January, 2006 (05.01.06), Full text; all drawings & US 2005/0283572 A1 & CN 1710548 A	1-13
A	JP 2006-113767 A (Sony Corp.), 27 April, 2006 (27.04.06), Full text; all drawings & US 2006/0085794 A1 & CN 1760836 A	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 June, 2008 (06.06.08)

Date of mailing of the international search report
17 June, 2008 (17.06.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F12/00(2006.01)i, G06F1/04(2006.01)i, G06F1/12(2006.01)i, G06F1/32(2006.01)i,
G06F12/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F12/00, G06F1/04, G06F1/12, G06F1/32, G06F12/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2004-126932 A (株式会社半導体理工学研究センター) 2004.04.22, 全文, 全図 & US 2004/0088630 A1	1, 6, 12, 13
A		2-5, 7-11
A	JP 2006-4108 A (沖電気工業株式会社) 2006.01.05, 全文, 全図 & US 2005/0283572 A1 & CN 1710548 A	1-13
A	JP 2006-113767 A (ソニー株式会社) 2006.04.27, 全文, 全図 & US 2006/0085794 A1 & CN 1760836 A	1-13

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 6 . 2 0 0 8

国際調査報告の発送日

1 7 . 0 6 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 秀人

5 N

9 0 6 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 6