(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-199536
(P2012-199536A)
(43)公開日　平成24年10月18日(2012.10.18)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/8242	(2006.01)	H01L	27/10	321	5F083
H01L 27/108	(2006.01)	H01L	29/78	613B	5F101
H01L 29/786	(2006.01)	H01L	29/78	618B	5F110
H01L 27/115	(2006.01)	H01L	29/78	618C	
H01L 21/8247	(2006.01)	H01L	27/10	434	

審査請求 未請求　請求項の数 4　ＯＬ　（全 16 頁）　最終頁に続く

(21)出願番号　特願2012-48891(P2012-48891)
(22)出願日　平成24年3月6日(2012.3.6)
(31)優先権主張番号　特願2011-52270(P2011-52270)
(32)優先日　平成23年3月10日(2011.3.10)
(33)優先権主張国　日本国(JP)

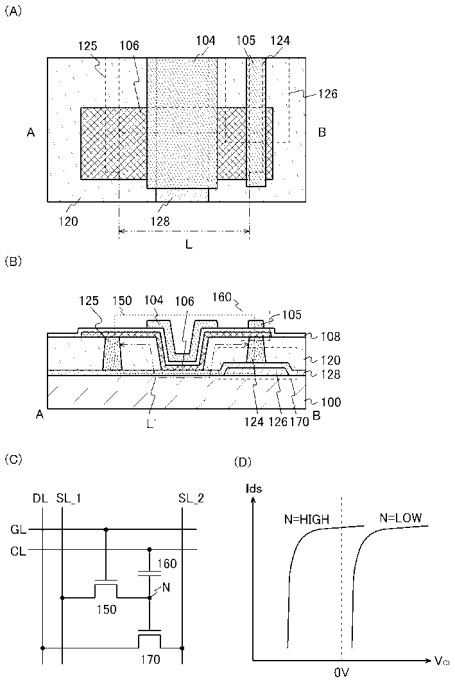
(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　野田　耕生
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

Ｆターム(参考)　5F083 AD01 AD02 AD03 AD10 AD21
AD69 EP03 EP23 EP53 EP56
GA06 GA09 HA02 HA06 JA02
JA03 JA04 JA05 JA19 JA36
JA37 JA39 JA40 JA56 LA21
MA06 MA16 PR40
5F101 BA12 BA17 BA26 BA36 BB05
BB08 BB20 BD16 BD30

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【要約】
【課題】集積度が高く、データ保持時間の長い半導体記憶装置。
【解決手段】基板上の半導体膜と、半導体膜を覆う第１のゲート絶縁膜と、第１のゲート絶縁膜を介して半導体膜上に設けられた第１のゲート電極と、第１のゲート絶縁膜上にあり、半導体膜と重畳しない、第１のゲート電極と同一層かつ同一材料である第１の導電膜と、第１のゲート絶縁膜上にあり、第１のゲート電極および第１の導電膜の上面を露出し、第１のゲート電極および第１の導電膜の間に溝部を有する絶縁膜と、該絶縁膜上にあり、第１のゲート電極、第１の導電膜および溝部と接する酸化物半導体膜と、酸化物半導体膜を覆う第２のゲート絶縁膜と、第２のゲート絶縁膜を介して酸化物半導体膜および溝部上に設けられた第２のゲート電極と、第２のゲート絶縁膜および酸化物半導体膜を介して第１のゲート電極上に設けられた、第２のゲート電極と同一層かつ同一材料である第２の導電膜と、を有する。
【選択図】図１



【特許請求の範囲】
【請求項１】
第１のゲート電極を有する第１のトランジスタと、
前記第１のゲート電極と同一層かつ同一材料である第１の導電膜と、
前記第１のゲート電極および前記第１の導電膜の上面を露出し、溝部を有する絶縁膜と、
前記第１のゲート電極、前記第１の導電膜、ならびに前記溝部の側面および底面と接し、前記絶縁膜上に設けられた酸化物半導体膜と、前記酸化物半導体膜を覆うゲート絶縁膜と、前記ゲート絶縁膜を介して前記酸化物半導体膜および前記溝部上に設けられた第２のゲート電極と、を有する第２のトランジスタと、を有することを特徴とする半導体記憶装置。
【請求項２】
第１のゲート電極を有する第１のトランジスタと、
前記第１のゲート電極と同一層かつ同一材料である第１の導電膜と、
前記第１のゲート電極および前記第１の導電膜の上面を露出し、溝部を有する絶縁膜と、
前記第１のゲート電極、前記第１の導電膜、ならびに前記溝部の側面および底面と接し、前記絶縁膜上に設けられた酸化物半導体膜と、前記酸化物半導体膜を覆うゲート絶縁膜と、前記ゲート絶縁膜を介して前記酸化物半導体膜および前記溝部上に設けられた第２のゲート電極と、を有する第２のトランジスタと、
前記第２のゲート電極と同一層かつ同一材料である第２の導電膜と、前記第１のゲート電極とが、前記酸化物半導体膜および前記ゲート絶縁膜を挟むキャパシタと、を有することを特徴とする半導体記憶装置。
【請求項３】
請求項１または請求項２において、
前記溝部の深さが、上面から見た前記第１のゲート電極と前記第１の導電膜との距離の二分の一以上となることを特徴とする半導体記憶装置。
【請求項４】
請求項１乃至請求項３のいずれか一において、
前記溝部が、前記第１のゲート電極と前記第１の導電膜との間に設けられることを特徴とする半導体記憶装置。
【発明の詳細な説明】
【技術分野】
【０００１】
トランジスタなどの半導体素子を含む回路を有する半導体記憶装置に関する。
【背景技術】
【０００２】
データの書き込み、データの読み出し、およびデータの消去が可能な記憶回路を有する半導体記憶装置の開発が進められている。
【０００３】
半導体記憶装置としては、例えば記憶素子であるトランジスタ（メモリトランジスタともいう。）または強誘電体材料を用いた素子を有する半導体記憶装置などが挙げられる（特許文献１および特許文献２参照。）。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開昭５７－１０５８８９号公報
【特許文献２】特開平０６－１９６６４７号公報
【発明の概要】
【発明が解決しようとする課題】

【０００５】
しかしながら、従来の半導体記憶装置は、メモリトランジスタにデータを書き込んだ後に、電荷のリークによりデータが消失してしまうといった問題があった。そのため、データを定期的に書き込むリフレッシュ動作が必要になり、半導体記憶装置の消費電力の増加に繋がっている。
【０００６】
また、半導体記憶装置の集積度を高めるには、半導体記憶装置を構成する素子（トランジスタ、キャパシタなど）のサイズを小さくしていくことになる。スケーリング則に従いトランジスタのサイズを縮小すると、例えばチャネル長が１００ｎｍ以下では短チャネル効果の影響が無視できなくなり、パンチスルー現象によるリーク電流が流れやすくなるため、トランジスタがスイッチング素子として機能しなくなる問題があった。
【０００７】
本発明の一態様では、半導体記憶装置において、集積度を高めつつ、データの保持時間を長くすることを課題とする。
【課題を解決するための手段】
【０００８】
本発明の一態様は、第１のトランジスタと、第２のトランジスタと、キャパシタと、を有し、第２のトランジスタのソースまたはドレインの一方が、第１のトランジスタのゲートと、キャパシタを構成する容量電極の一方と、を兼ねる半導体記憶装置である。
【０００９】
前述の半導体記憶装置は、基板と、基板上に設けられた半導体膜と、半導体膜を覆う第１のゲート絶縁膜と、第１のゲート絶縁膜を介して半導体膜上に設けられた第１のゲート電極と、第１のゲート絶縁膜上にあり、半導体膜と重畳しない、第１のゲート電極と同一層かつ同一材料である第１の導電膜と、第１のゲート絶縁膜上にあり、かつ第１のゲート電極および第１の導電膜の上面を露出し、ならびに第１のゲート絶縁膜を露出する溝部を有する絶縁膜と、該絶縁膜上にあり、第１のゲート絶縁膜、第１のゲート電極および第１の導電膜と接する酸化物半導体膜と、酸化物半導体膜を覆う第２のゲート絶縁膜と、第２のゲート絶縁膜を介して酸化物半導体膜および溝部上に設けられた第２のゲート電極と、第２のゲート絶縁膜および酸化物半導体膜を介して第１のゲート電極上に設けられた、第２のゲート電極と同一層かつ同一材料である第２の導電膜と、を有する。
【００１０】
ここで、第１のゲート電極は第１のトランジスタのゲート電極、第２のトランジスタのソース電極またはドレイン電極の一方およびキャパシタを構成する容量電極の一方を兼ねる。また、半導体膜および第１のゲート絶縁膜は、それぞれ第１のトランジスタのチャネル領域およびゲート絶縁膜として機能する。
【００１１】
また、第１の導電膜は、第２のトランジスタのソース電極またはドレイン電極の他方として機能する。
【００１２】
また、酸化物半導体膜、第２のゲート絶縁膜および第２のゲート電極は、それぞれ第２のトランジスタのチャネル領域、ゲート絶縁膜およびゲート電極として機能する。
【００１３】
なお、酸化物半導体膜をトランジスタのチャネル領域に用いることで、トランジスタのオフ電流を低減できる。
【００１４】
また、第２のゲート絶縁膜および第２の導電膜は、それぞれキャパシタを構成する誘電体膜および容量電極の他方として機能する。
【００１５】
なお、第１のゲート絶縁膜を露出するために絶縁膜に設けられた溝部は、第２のトランジスタの実効的なチャネル長Ｌ’を長くするために設けられる。例えば、上面から見たソー

ス電極およびドレイン電極間距離（第１の導電膜と第１のゲート電極との直線的距離）である見かけ上のチャネル長Ｌに対して、断面から見たソース電極およびドレイン電極間距離（第１の導電膜と第１のゲート電極との酸化物半導体膜に沿っての距離）である実効上のチャネル長Ｌ’の長さが２倍以上となるように絶縁膜の厚さを選択すればよい。そのためには、一例として絶縁膜の厚さを上面から見たソース電極およびドレイン電極間距離の二分の一以上とすればよい。ただし、絶縁膜の厚さは前述の範囲に限定されるものではない。

【００１６】

本明細書において、「第１の膜と第２の膜が同一層かつ同一材料である」という場合、第１の膜を延長した先が第２の膜であってもよいし、第１の膜と第２の膜が分離されていてもよい。

【００１７】

本発明の一態様を適用することによって、データの保持期間が長く、集積度の高い半導体記憶装置を提供することができる。

【００１８】

また、集積度の高い半導体記憶装置を作製することができるため、記憶容量あたりの半導体記憶装置の価格を安くすることが可能となる。

【発明の効果】

【００１９】

絶縁膜に設けられた溝に接してチャネル領域を設けることで、半導体記憶装置の集積度を高めつつ、データの保持時間を長くすることができる。

【図面の簡単な説明】

【００２０】

【図１】本発明の一態様である半導体記憶装置の例を示す上面図、断面図、回路図および電気特性。

【図２】本発明の一態様である半導体記憶装置の例を示す上面図、断面図および回路図。

【図３】本発明の一態様である半導体記憶装置の作製方法の例を示す断面図。

【図４】本発明の一態様である半導体記憶装置を有する電子機器の例を示す斜視図。

【発明を実施するための形態】

【００２１】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【００２２】

以下、本発明の説明を行うが、本明細書で用いる用語について簡単に説明する。まず、トランジスタのソースとドレインについては、本明細書においては、一方をドレインと呼ぶとき他方をソースとする。すなわち、電位の高低によって、それらを区別しない。従って、本明細書において、ソースとされている部分をドレインと読み替えることもできる。

【００２３】

また、電圧は、ある電位と、基準の電位（例えばグラウンド電位）との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。

【００２４】

本明細書においては、「接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在している場合だけのこともある。

【００２５】

なお、第１、第２として付される序数詞は便宜上用いるものであり、工程順または積層順

を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【００２６】

（実施の形態１）

本実施の形態では、本発明の一態様を適用した半導体記憶装置である不揮発性メモリを構成するトランジスタおよびキャパシタの構造、回路構成、ならびにその作製方法について図１乃至図３を用いて説明する。

【００２７】

図１（Ａ）は、半導体記憶装置である不揮発性メモリの上面図である。図１（Ａ）における一点鎖線Ａ－Ｂに対応する断面Ａ－Ｂを図１（Ｂ）に示す。ただし、簡単のため、図１（Ａ）では絶縁膜１０８を省略して示す。

【００２８】

図１（Ｃ）は、不揮発性メモリの回路構成を示す。不揮発性メモリは、オフ電流が極めて小さいトランジスタ１５０と、トランジスタ１５０のゲートと接続するゲート配線ＧＬと、トランジスタ１５０のソースと接続するソース配線ＳＬ＿１と、トランジスタ１７０と、トランジスタ１７０のソースと接続するソース配線ＳＬ＿２と、トランジスタ１７０のドレインと接続するドレイン配線ＤＬと、キャパシタ１６０と、キャパシタ１６０の一端と接続する容量配線ＣＬと、キャパシタ１６０の他端、トランジスタ１５０のドレインおよびトランジスタ１７０のゲートと接続するノードＮと、を有する。

【００２９】

なお、本実施の形態に示す不揮発性メモリは、ノードＮの電圧に応じて、トランジスタ１７０のしきい値電圧が変動することを利用したものである。例えば、図１（Ｄ）は容量配線ＣＬの電圧V_{CL}と、トランジスタ１７０を流れるドレイン電流Ｉｄｓとの関係を説明する図である。

【００３０】

ここで、トランジスタ１５０を介して、ノードＮの電圧を調整することができる。例えば、ソース配線ＳＬ＿１の電圧をＶＤＤとする。このとき、ゲート配線ＧＬの電圧をトランジスタ１５０のしきい値電圧ＶｔｈにＶＤＤを加えた電圧以上とすることで、ノードＮの電圧をＮ＝ＨＩＧＨにすることができる。また、ゲート配線ＧＬの電圧をトランジスタ１５０のしきい値電圧Ｖｔｈ以下とすることで、ノードＮの電圧をＮ＝ＬＯＷにすることができる。

【００３１】

そのため、Ｎ＝ＬＯＷで示したV_{CL}－Ｉｄｓカーブと、Ｎ＝ＨＩＧＨで示したV_{CL}－Ｉｄｓカーブのいずれかを得ることができる。即ち、Ｎ＝ＬＯＷでは、V_{CL}＝０Ｖにて Ｉｄｓが小さいため、データ０となる。また、Ｎ＝ＨＩＧＨでは、V_{CL}＝０ＶにてＩｄｓが大きいため、データ１となる。このようにして、データを記憶することができる。

【００３２】

ここで、トランジスタ１５０にオフ電流が極めて小さいトランジスタを適用することで、ノードＮに蓄積された電荷がトランジスタ１５０を通して意図せずにリークすることを抑制できる。そのため、長期間に渡ってデータを保持することができる。

【００３３】

次に、本発明の一形態である不揮発性メモリを構成するトランジスタおよびキャパシタの構造について、図１（Ｂ）に示す断面Ａ－Ｂを用いて説明する。

【００３４】

半導体記憶装置は、基板１００と、基板１００上の半導体膜１２６と、半導体膜１２６を覆う絶縁膜１２８と、絶縁膜１２８を介して半導体膜１２６上に設けられた導電膜１２４と、絶縁膜１２８上にあり半導体膜１２６と重畳しない、導電膜１２４と同一層かつ同一材料である導電膜１２５と、絶縁膜１２８上にあり、導電膜１２４および導電膜１２５の上面を露出し、絶縁膜１２８を露出する溝部を有する絶縁膜１２０と、絶縁膜１２０上にあり、絶縁膜１２０の溝部の側面および底面（絶縁膜１２８）、導電膜１２４ならびに導

電膜１２５と接する酸化物半導体膜１０６と、酸化物半導体膜１０６を覆う絶縁膜１０８と、絶縁膜１０８を介して酸化物半導体膜１０６および絶縁膜１２０の溝部上に設けられた導電膜１０４と、絶縁膜１０８および酸化物半導体膜１０６を介して導電膜１２４と重畳する、導電膜１０４と同一層かつ同一材料である導電膜１０５と、を有する。

【００３５】

なお、絶縁膜１２０に設けられた溝部は絶縁膜１２８ではなく基板１００を露出しても構わない。また、溝部は、導電膜１２４と導電膜１２５との間に設けられる。

【００３６】

ここで、トランジスタ１５０において、導電膜１２４はソース電極またはドレイン電極の一方として機能する。また、導電膜１２５はソース電極またはドレイン電極の他方として機能する。また、酸化物半導体膜１０６はチャネル領域を有する。また、絶縁膜１０８は、ゲート絶縁膜として機能する。また、導電膜１０４はゲート電極として機能する。

【００３７】

このとき、チャネル領域を有する酸化物半導体膜１０６が、絶縁膜１２０の溝部に接して設けられるため、上面から見たソース電極およびドレイン電極（導電膜１２４および導電膜１２５）間距離である見かけ上のチャネル長Ｌ（図１（Ａ）参照。）に対して、断面から見たチャネル領域（酸化物半導体膜１０６）におけるチャネル領域の長さである実効上のチャネル長Ｌ’（図１（Ｂ）参照。）を長くすることができる。例えば、絶縁膜１２０に設けられる溝部の深さを、上面から見た導電膜１２４および導電膜１２５間距離の二分の一以上にすれば、見かけ上のチャネル長Ｌに対する実効上のチャネル長Ｌ’の長さを２倍以上にすることができる。好ましくは、見かけ上のチャネル長Ｌに対する実効上のチャネル長Ｌ’の長さを３倍以上、さらに好ましくは４倍以上とするように絶縁膜１２０の厚さおよび溝部の深さを選択する。例えば、見かけ上のチャネル長Ｌが１５ｎｍ以上１００ｎｍ以下の範囲の場合、絶縁膜１２０に設けられる溝部の深さは７．５ｎｍ以上２００ｎｍ以下とすればよい。絶縁膜１２０に設けられる溝部の深さは前述の範囲に限定されない。ただし、酸化物半導体膜１０６の厚さを溝部の深さよりも薄くしなければ、見かけ上のチャネル長Ｌに対して、実効上のチャネル長Ｌ’を長くすることができないことは述べるまでもない。そのため、溝部の深さは酸化物半導体膜１０６の厚さ以上とする。

【００３８】

絶縁膜１２０に設けられた溝部は絶縁膜１２８または基板１００を露出するとしているが、これに限定されない。例えば、絶縁膜１２０中に溝部の底面を有していてもよい。また、絶縁膜１２８または基板１００上にエッチストップ膜を別途設け、該エッチストップ膜を露出してもよい。

【００３９】

キャパシタ１６０の構成は以下の通りである。導電膜１２４は第１の容量電極として機能する。絶縁膜１０８は、誘電体膜として機能する。導電膜１０５は第２の容量電極として機能する。

【００４０】

トランジスタ１７０の構成は以下の通りである。導電膜１２４はゲート電極として機能する。また、半導体膜１２６はチャネル領域を有する。また、絶縁膜１２８は、ゲート絶縁膜として機能する。図示しないが、半導体膜１２６において、少なくとも導電膜１２４と重畳しない領域に、半導体膜１２６に設けられるチャネル領域よりも低抵抗であるソース領域およびドレイン領域を設ける。また、ソース領域およびドレイン領域と接し、導電膜１２４および導電膜１２５とは異なる層であるソース配線ＳＬ＿２およびドレイン配線ＤＬを有する。また、ソース領域およびドレイン領域に加えて、チャネル領域よりも抵抗が低く、ソース領域およびドレイン領域よりも抵抗の高いＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ）領域を設けてもよい。ＬＤＤ領域を設けることにより、チャネル長が小さくなると生じるホットキャリア劣化などのトランジスタの劣化を低減することができ、さらに短チャネル効果を低減することができる。

【００４１】

基板１００に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板１００として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板１００として用いてもよい。また、該半導体素子をトランジスタ１７０に代えても構わない。

【００４２】

基板１００として、可とう性基板を用いてもよい。その場合は、可とう性基板上に直接的にトランジスタを作製する。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板１００に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

【００４３】

半導体膜１２６は、非晶質シリコン、微結晶シリコン、多結晶シリコンもしくは単結晶シリコンなどのシリコン系材料、ゲルマニウム系材料、シリコンゲルマニウム系材料、ガリウムヒ素系材料または炭素系材料などを用いればよい。

【００４４】

導電膜１２４、導電膜１２５、導電膜１０４および導電膜１０５は、Ａｌ、Ｔｉ、Ｃｒ、Ｃｏ、Ｎｉ、Ｃｕ、Ｙ、Ｚｒ、Ｍｏ、Ａｇ、ＴａおよびＷ、それらの窒化物、酸化物ならびに合金から一以上選択し、単層でまたは積層で用いればよい。また、導電膜１０４として酸化物を用いる場合は、$5\times10^{19}cm^{-3}$以上２０ａｔｏｍｉｃ％以下、または$1\times10^{20}cm^{-3}$以上７ａｔｏｍｉｃ％以下の窒素を含んでもよい。例えば、$1\times10^{20}cm^{-3}$以上７ａｔｏｍｉｃ％以下の窒素を含み、かつＩｎ、ＧａおよびＺｎを含む酸化物膜を用いるとよい。酸化物膜を導電膜１０４に用いる場合、酸化物膜は金属膜と比べて抵抗が高いため、ゲート電極全体の抵抗を低減するために、シート抵抗が１０Ω／ｓｑ以下の低抵抗膜を積層して設けると好ましい。なお、単位がcm^{-3}で示す濃度はＳＩＭＳ（Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）分析によって定量化でき、単位がａｔｏｍｉｃ％の濃度はＸＰＳ（Ｘ－ｒａｙ　Ｐｈｏｔｏｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）分析によって定量化できる。

【００４５】

酸化物半導体膜１０６は、６ｎｍ以上１００ｎｍ以下、好ましくは１５ｎｍ以上４０ｎｍ以下とする。トランジスタ１５０のチャネル長を小さくすると、スケーリング則に従い、酸化物半導体膜１０６の厚さを薄くしていくことが好ましい。しかしながら、本発明の一態様を適用することによって、見かけ上のチャネル長Ｌが短いまま実効上のチャネル長Ｌ’を長くすることができるため、前述の範囲の厚さとすることが可能となる。

【００４６】

酸化物半導体膜１０６は、スパッタリング法、プラズマＣＶＤ法、ＰＬＤ（Ｐｕｌｓｅ　Ｌａｓｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、ＭＢＥ（Ｍｏｌｅｃｕｌａｒ　Ｂｅａｍ　Ｅｐｉｔａｘｙ）法または蒸着法などを用い、例えば、Ｉｎ、Ｇａ、ＺｎおよびＳｎから選ばれた二種以上を含む材料を用いればよい。

【００４７】

酸化物半導体膜１０６として、例えば、四元系金属酸化物であるＩｎ－Ｓｎ－Ｇａ－Ｚｎ－Ｏ系の材料や、三元系金属酸化物であるＩｎ－Ｇａ－Ｚｎ－Ｏ系の材料、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系の材料、Ｉｎ－Ａｌ－Ｚｎ－Ｏ系の材料、Ｓｎ－Ｇａ－Ｚｎ－Ｏ系の材料、Ａｌ－Ｇａ－Ｚｎ－Ｏ系の材料、Ｓｎ－Ａｌ－Ｚｎ－Ｏ系の材料や、二元系金属酸化物であるＩｎ－Ｚｎ－Ｏ系の材料、Ｓｎ－Ｚｎ－Ｏ系の材料、Ａｌ－Ｚｎ－Ｏ系の材料、Ｚｎ－Ｍｇ－Ｏ系の材料、Ｓｎ－Ｍｇ－Ｏ系の材料、Ｉｎ－Ｍｇ－Ｏ系の材料、Ｉｎ－Ｇａ－Ｏ系の材料や、Ｉｎ－Ｏ系の材料、Ｓｎ－Ｏ系の材料、Ｚｎ－Ｏ系の材料などを用いればよい。ここで、例えば、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の材料とは、インジウム（Ｉｎ）、ガリウ

ム（Ｇａ）、亜鉛（Ｚｎ）を有する酸化物、という意味であり、その組成比は特に問わない。また、ＩｎとＧａとＺｎ以外の元素を含んでいてもよい。このとき、酸化物半導体膜１０６の化学量論比に対し、Ｏを過剰にすると好ましい。Ｏを過剰にすることで酸化物半導体膜１０６の酸素欠損に起因するキャリアの生成を抑制することができる。

【００４８】

なお、一例として、酸化物半導体膜１０６としてＩｎ－Ｚｎ－Ｏ系の材料を用いる場合、原子数比で、Ｉｎ／Ｚｎ＝０．５以上５０以下、好ましくはＩｎ／Ｚｎ＝１以上２０以下、さらに好ましくはＩｎ／Ｚｎ＝１．５以上１５以下とする。Ｚｎの原子数比を前述の範囲とすることで、トランジスタの電界効果移動度を向上させることができる。ここで、化合物の原子数比がＩｎ：Ｚｎ：Ｏ＝Ｘ：Ｙ：Ｚのとき、Ｚ＞１．５Ｘ＋Ｙとすると好ましい。

【００４９】

酸化物半導体膜１０６として、化学式$InMO_3(ZnO)_m$（ｍ＞０）で表記される材料を用いてもよい。ここで、Ｍは、Ｇａ、Ａｌ、ＭｎおよびＣｏから選ばれた一または複数の金属元素を示す。例えば、Ｍとして、Ｇａ、ＧａおよびＡｌ、ＧａおよびＭｎまたはＧａおよびＣｏなどを用いてもよい。

【００５０】

酸化物半導体膜１０６は、バンドギャップが２．５ｅＶ以上、好ましくは３．０ｅＶ以上の材料を選択する。バンドギャップが大きいことにより、熱などによる価電子帯から伝導帯へのキャリアの励起が少なく、該キャリアの励起に起因する電流が生じにくい。加えて、酸化物半導体膜１０６中に準位を形成する不純物などが少ないと好ましい。

【００５１】

ここで、酸化物半導体膜１０６は、水素、アルカリ金属およびアルカリ土類金属などが低減され、極めて不純物濃度の低い酸化物半導体膜である。そのため、酸化物半導体膜１０６をチャネル領域に用いたトランジスタはオフ電流を小さくできる。

【００５２】

酸化物半導体膜１０６中の水素濃度は、$5\times10^{18}cm^{-3}$未満、好ましくは$1\times10^{18}cm^{-3}$以下、より好ましくは$5\times10^{17}cm^{-3}$以下、さらに好ましくは$1\times10^{16}cm^{-3}$以下とする。

【００５３】

アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちナトリウム（Ｎａ）は、酸化物半導体膜に接する絶縁膜において、当該絶縁膜中に拡散してNa^+となる。また、Ｎａは、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、または、その結合中に割り込む。その結果、例えば、しきい値電圧がマイナス方向にシフトすることによるノーマリオン化、電界効果移動度の低下などの、トランジスタ特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタ特性の劣化と、特性のばらつきは、酸化物半導体膜中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体膜中の水素濃度が$1\times10^{18}cm^{-3}$以下、または$1\times10^{17}cm^{-3}$以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、Ｎａ濃度の測定値は、$5\times10^{16}cm^{-3}$以下、好ましくは$1\times10^{16}cm^{-3}$以下、さらに好ましくは$1\times10^{15}cm^{-3}$以下とする。同様に、リチウム（Ｌｉ）濃度の測定値は、$5\times10^{15}cm^{-3}$以下、好ましくは$1\times10^{15}cm^{-3}$以下とする。同様に、カリウム（Ｋ）濃度の測定値は、$5\times10^{15}cm^{-3}$以下、好ましくは$1\times10^{15}cm^{-3}$以下とする。

【００５４】

以上に示した酸化物半導体膜１０６をトランジスタのチャネル領域に用いることでトランジスタのオフ電流を小さくできる。具体的には、酸化物半導体膜１０６を用いることにより、例えば、チャネル長が３μｍ、チャネル幅が１μｍのときのトランジスタのオフ電流

を１×１０$^{-18}$Ａ以下、または１×１０$^{-21}$Ａ以下、または１×１０$^{-24}$Ａ以下とすることができる。

【００５５】

酸化物半導体膜１０６は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

【００５６】

好ましくは、酸化物半導体膜１０６は、ＣＡＡＣ－ＯＳ（Ｃ　Ａｘｉｓ　Ａｌｉｇｎｅｄ　Ｃｒｙｓｔａｌｌｉｎｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）膜とする。

【００５７】

ＣＡＡＣ－ＯＳ膜は、完全な単結晶ではなく、完全な非晶質でもない。ＣＡＡＣ－ＯＳ膜は、非晶質相に結晶部および非晶質部を有する結晶－非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が１００ｎｍ未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｅｌｅｃｔｒｏｎ　Ｍｉｃｒｏｓｃｏｐｅ）による観察像では、ＣＡＡＣ－ＯＳ膜に含まれる非晶質部と結晶部との境界は明確ではない。また、ＴＥＭによってＣＡＡＣ－ＯＳ膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、ＣＡＡＣ－ＯＳ膜は、粒界に起因する電子移動度の低下が抑制される。

【００５８】

ＣＡＡＣ－ＯＳ膜に含まれる結晶部は、ｃ軸がＣＡＡＣ－ＯＳ膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつａｂ面に垂直な方向から見て三角形状または六角形状の原子配列を有し、ｃ軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれａ軸およびｂ軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、８５°以上９５°以下の範囲も含まれることとする。また、単に平行と記載する場合、－５°以上５°以下の範囲も含まれることとする。

【００５９】

なお、ＣＡＡＣ－ＯＳ膜において、結晶部の分布が一様でなくてもよい。例えば、ＣＡＡＣ－ＯＳ膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、ＣＡＡＣ－ＯＳ膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【００６０】

ＣＡＡＣ－ＯＳ膜に含まれる結晶部のｃ軸は、ＣＡＡＣ－ＯＳ膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、ＣＡＡＣ－ＯＳ膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のｃ軸の方向は、ＣＡＡＣ－ＯＳ膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【００６１】

ＣＡＡＣ－ＯＳ膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【００６２】

絶縁膜１０８は、等価酸化膜厚換算（酸化シリコン膜厚換算）で０．５ｎｍ以上５０ｎｍ以下、好ましくは５ｎｍ以上３０ｎｍ以下とする。トランジスタ１５０のチャネル長を小さくすると、スケーリング則に従い、絶縁膜１０８の厚さを薄くしていくことが好ましい。しかしながら、本発明の一態様を適用することによって、見かけ上のチャネル長Ｌが短いまま実効上のチャネル長Ｌ’を長くすることができるため、前述の範囲の厚さとすることが可能となる。

【００６３】

絶縁膜１２８、絶縁膜１２０および絶縁膜１０８は、例えば酸化シリコン、酸化窒化シリ

コン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化イットリウムまたは酸化ジルコニウムなどを用いればよく、積層または単層で設ける。例えば、熱酸化法、プラズマＣＶＤ法、スパッタリング法などで形成すればよい。

【００６４】

絶縁膜１２８は、絶縁膜１２０を加工する際にエッチストップ膜としての機能を有すると好ましい。そのため、絶縁膜１２８と絶縁膜１２０とは、加工の際に選択比がとれる材料を選択することが好ましい。例えば、絶縁膜１２８として酸化シリコン膜を用い、絶縁膜１２０として窒化シリコン膜を用いるなど、異なる材料とすればよい。

【００６５】

絶縁膜１２８、絶縁膜１２０および絶縁膜１０８は、加熱処理により酸素を放出する膜を用いると好ましい。加熱処理により酸素を放出する膜を用いることで、酸化物半導体膜１０６および酸化物半導体膜１０６の界面近傍に生じる欠陥を修復することができ、トランジスタの電気特性の劣化を抑制できる。

【００６６】

「加熱処理により酸素を放出する」とは、ＴＤＳ（Ｔｈｅｒｍａｌ　Ｄｅｓｏｒｐｔｉｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ：昇温脱離ガス分光法）分析にて、酸素原子に換算しての酸素の放出量が１．０×10^{18}ａｔｏｍｓ／ｃｍ^{3}以上、または３．０×10^{20}ａｔｏｍｓ／ｃｍ^{3}以上であることをいう。

【００６７】

ここで、ＴＤＳ分析にて、酸素原子に換算しての酸素の放出量の測定方法について、以下に説明する。

【００６８】

ＴＤＳ分析したときの気体の放出量は、所定の温度範囲におけるイオン強度の積分値に比例する。このため、測定したイオン強度の積分値と、標準試料の基準値との比により、気体の放出量を計算することができる。標準試料の基準値とは、所定の原子を含む試料において、所定の原子に相当するイオン強度の積分値に対する所定の原子の密度の割合である。

【００６９】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのＴＤＳ分析結果、および絶縁膜のＴＤＳ分析結果から、絶縁膜の酸素分子の放出量（N_{O_2}）は、数式１で求めることができる。ここで、ＴＤＳ分析で得られる質量数３２で検出されるガスの全てが酸素分子由来と仮定する。質量数３２のものとしてほかにCH_3OHがあるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数１７の酸素原子および質量数１８の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【００７０】

$$N_{O_2}=N_{H_2}/S_{H_2}\times S_{O_2}\times\alpha \qquad \text{（数式１）}$$

【００７１】

N_{H_2}は、標準試料から脱離した水素分子を密度で換算した値である。S_{H_2}は、標準試料をＴＤＳ分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、N_{H_2}/S_{H_2}とする。S_{O_2}は、絶縁膜をＴＤＳ分析したときのイオン強度の積分値である。αは、ＴＤＳ分析におけるイオン強度に影響する係数である。数式１の詳細に関しては、特開平６－２７５６９７公報を参照する。なお、上記絶縁膜の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置ＥＭＤ－ＷＡ１０００Ｓ／Ｗを用い、標準試料として１×10^{16}ａｔｏｍｓ／ｃｍ^{3}の水素原子を含むシリコンウェハを用いて測定した。

【００７２】

また、ＴＤＳ分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述のαは酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量について見積もることができる。

【００７３】
なお、N_{O_2}は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の２倍となる。
【００７４】
上記構成において、加熱処理により酸素を放出する膜は、酸素が過剰な酸化シリコン（SiO_X（Ｘ＞２））であってもよい。酸素が過剰な酸化シリコン（SiO_X（Ｘ＞２））とは、シリコン原子数の２倍より多い酸素原子を単位体積当たりに含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法により測定した値である。
【００７５】
絶縁膜１２８、絶縁膜１２０および絶縁膜１０８から酸化物半導体膜１０６に酸素が供給されることで、酸化物半導体膜１０６と絶縁膜１２８との界面準位密度、酸化物半導体膜１０６と絶縁膜１２０との界面準位密度、または酸化物半導体膜１０６と絶縁膜１０８との界面準位密度を低減できる。この結果、トランジスタの動作などに起因して、酸化物半導体膜１０６と絶縁膜１２８との界面、酸化物半導体膜１０６と絶縁膜１２０との界面、または酸化物半導体膜１０６と絶縁膜１０８との界面にキャリアが捕獲されることを抑制することができ、良好な電気特性のトランジスタを得ることができる。
【００７６】
さらに、酸化物半導体膜１０６の酸素欠損に起因して電荷が生じる場合がある。一般に酸化物半導体膜の酸素欠損は、一部がドナーとなりキャリアである電子を放出する。この結果、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。絶縁膜１２８、絶縁膜１２０および絶縁膜１０８から酸化物半導体膜１０６に酸素が十分に供給されることにより、しきい値電圧がマイナス方向へシフトする要因である、酸化物半導体膜の酸素欠損を低減することができる。
【００７７】
以上のようにして得られたトランジスタ１５０は、酸化物半導体膜１０６を用いることにより、オフ電流を低減できるため、キャパシタ１６０に蓄積された電荷を長期間に渡って保持することが可能な不揮発性メモリを提供することができる。また、トランジスタ１５０は、動作頻度が低くなるため電気特性の劣化が少なく、信頼性の高い不揮発性メモリを提供することができる。
【００７８】
また、絶縁膜１２０に溝部を設け、該溝部と接する酸化物半導体膜１０６を形成することによって、上面図で見る導電膜１２４および導電膜１２５間距離である見かけ上のチャネル長Ｌに対し、実効上のチャネル長Ｌ’を２倍以上、好ましくは３倍以上、さらに好ましくは４倍以上の長さとすることができる。そのため、トランジスタ１５０のサイズを縮小しても短チャネル効果の影響を低減することが可能となり、不揮発性メモリの集積度を高めることが可能となる。
【００７９】
次に、図１に示した不揮発性メモリにおいて、キャパシタを含まない構成について図２を用いて説明する。
【００８０】
図２（Ｃ）は、不揮発性メモリの回路図である。不揮発性メモリは、トランジスタ１５０と、トランジスタ１５０のゲートと接続するゲート配線ＧＬと、トランジスタ１５０のソースと接続するソース配線ＳＬ＿１と、トランジスタ１７０と、トランジスタ１７０のソースと接続するソース配線ＳＬ＿２と、トランジスタ１７０のドレインと接続するドレイン配線ＤＬと、トランジスタ１５０のドレインとトランジスタ１７０のゲートと接続するノードＮと、を有する。
【００８１】
トランジスタ１５０にオフ電流の小さなトランジスタを用いる場合、キャパシタを設けなくてもトランジスタ１５０のドレインとトランジスタ１７０のゲートの間のノードＮに電

荷を保持できる。キャパシタを設けない構成であるため、容量配線などが省略されることで小面積化が可能となる。そのため、キャパシタを設けた場合と比べさらに集積度を高めることができる。

【００８２】

また、本実施の形態では、配線を４本または５本用いる不揮発性メモリを示したが、これに限定されるものではない。例えば、ソース配線ＳＬ＿１とドレイン配線ＤＬを共通にする構成としても構わない。

【００８３】

なお、本実施の形態で示した不揮発性メモリを複数組み合わせて集積化し、メモリセルアレイを作製してもよい。その場合、適宜アドレス線などを追加する。本実施の形態で示した不揮発性メモリを適用することにより、メモリセルアレイの集積度を高めることができる。

【００８４】

次に、本実施の形態に示すトランジスタ１５０、キャパシタ１６０およびトランジスタ１７０を作製する方法の一例について、図３を用いて説明する。

【００８５】

まず、基板１００上に半導体膜１２６を形成する。次に、絶縁膜１２８を成膜する（図３（Ａ）参照。）。

【００８６】

次に、導電膜１２４および導電膜１２５を形成する。（図３（Ｂ）参照。）。なお、この後、導電膜１２４をマスクに用いて、半導体膜１２６に対し、キャリアを生成する不純物（シリコン系の材料の場合、リン、ヒ素、ボロンなど）をイオン注入またはイオンドーピングにより添加してもよい。半導体膜１２６に不純物を添加することにより、ソース領域およびドレイン領域、またはＬＤＤ領域を設けることができる。

【００８７】

次に、絶縁膜１２０を形成する（図３（Ｃ）参照。）。絶縁膜１２０は、絶縁膜を成膜した後、化学的機械研磨（ＣＭＰ：Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）またはエッチバックを行い、その後フォトリソグラフィ工程によって絶縁膜１２８を露出する溝部を設けることによって形成することができる。または、フォトリソグラフィ工程によって絶縁膜１２８を露出する溝部を形成し、その後ＣＭＰまたはエッチバックによって導電膜１２４および導電膜１２５を露出して形成することができる。なお、ＣＭＰまたはエッチバックによって導電膜１２４および導電膜１２５の一部が除去されてもよい。

【００８８】

エッチバックとは、凹凸のある膜表面に平坦化膜を形成し、平坦化膜ごと凹凸のある膜に対して異方性の高いエッチング（例えば、ドライエッチング）を行うことで、膜の凹凸を低減する工程をいう。または、単に、全面に形成された膜に対し、被形成面の一部が露出するまで行うエッチング工程をいう。

【００８９】

次に、酸化物半導体膜を成膜し、フォトリソグラフィ工程によって酸化物半導体膜１０６を形成する。酸化物半導体膜１０６の形成前に、逆スパッタリング処理などのプラズマ処理を行い、絶縁膜１２０の溝部が有する断面形状上の角を、曲面形状に加工すると好ましい。こうすることで、絶縁膜１２０の溝部における酸化物半導体膜１０６の被覆性が向上し、トランジスタ１５０の電気特性上の不良を低減することができる。次に、絶縁膜１０８を成膜する（図３（Ｄ）参照。）。なお、酸化物半導体膜１０６となる酸化物半導体膜を成膜した後、および絶縁膜１０８を成膜した後のいずれか一方、または両方の後に熱処理を行っても構わない。熱処理は１５０℃以上６５０℃以下、好ましくは２５０℃以上４５０℃以下で行う。熱処理を行うことで、絶縁膜１２８、絶縁膜１２０または絶縁膜１０８より酸素が放出され、酸化物半導体膜１０６中および酸化物半導体膜１０６の界面近傍の欠陥を低減することができる。なお、この熱処理は、絶縁膜１０８を成膜した直後に行

うことに限定されず、導電膜１４４を成膜した直後に行ってもよいし、絶縁膜１０８の成膜以降のどの工程の後に行っても構わない。

【００９０】

次に、導電膜１４４を成膜する（図３（Ｅ）参照。）。次に、導電膜１４４を加工し、酸化物半導体膜１０６と重畳する導電膜１０４、および導電膜１２４と重畳する導電膜１０５を形成する（図１（Ｂ）参照。）。ここで、導電膜１０４をマスクにして、酸化物半導体膜１０６に対し、間接的または直接的にキャリアを生成する不純物（水素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、窒素、リンなど）をイオン注入法またはイオンドーピング法により添加してもよい。酸化物半導体膜１０６に不純物を添加することにより、ソース領域およびドレイン領域またはＬＤＤ領域を設けることができる。

【００９１】

以上の工程によって、図１に示すトランジスタ１５０、キャパシタ１６０およびトランジスタ１７０を作製することができる。

【００９２】

なお、図２に示すトランジスタ１５０およびトランジスタ１７０を形成するためには、図１（Ｂ）に示すトランジスタ作製の工程中、導電膜１０５を形成しなければよい。

【００９３】

このように、トランジスタ１５０、キャパシタ１６０およびトランジスタ１７０を同時に作製することが可能であるため、不揮発性メモリを作製するためのフォトリソグラフィ工程数を削減することができる。

【００９４】

以上により、三次元の形状を適用することで、集積度を高めても短チャネル効果の影響が低減され、かつフォトリソグラフィ工程数の増加を抑えた半導体記憶装置である不揮発性メモリを提供することができる。

【００９５】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【００９６】

（実施の形態２）

本実施の形態では、実施の形態１を適用した電子機器の例について説明する。

【００９７】

図４（Ａ）は携帯型情報端末である。筐体９３００と、ボタン９３０１と、マイクロフォン９３０２と、表示部９３０３と、スピーカ９３０４と、カメラ９３０５と、を具備し、携帯型電話機としての機能を有する。本発明の一態様は、携帯型情報端末の内部にあるメモリモジュールに適用することができる。

【００９８】

図４（Ｂ）は、デジタルスチルカメラである。筐体９３２０と、ボタン９３２１と、マイクロフォン９３２２と、表示部９３２３と、を具備する。本発明の一態様は、デジタルスチルカメラの内部にあるメモリモジュールに適用することができる。

【００９９】

本発明の一態様を用いることで、電子機器の消費電力を低減でき、また電子機器の価格を安くすることができる。

【０１００】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

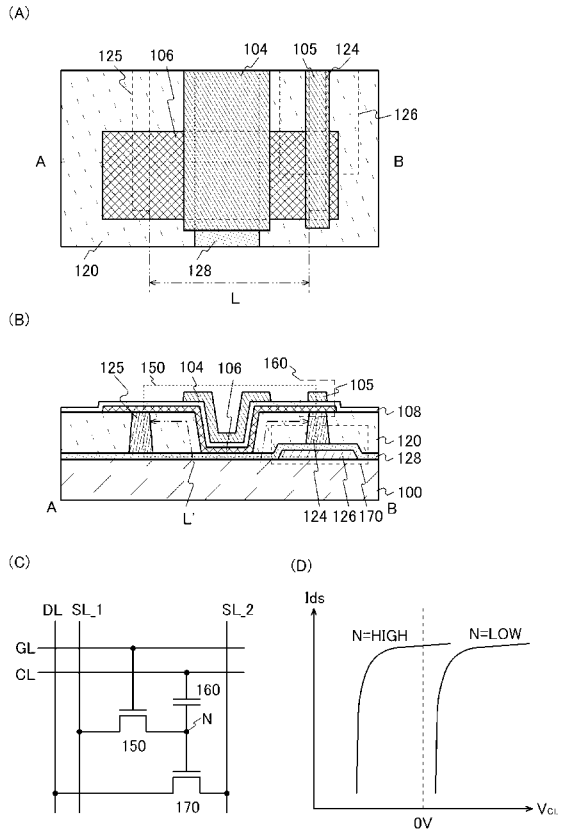
【符号の説明】

【０１０１】

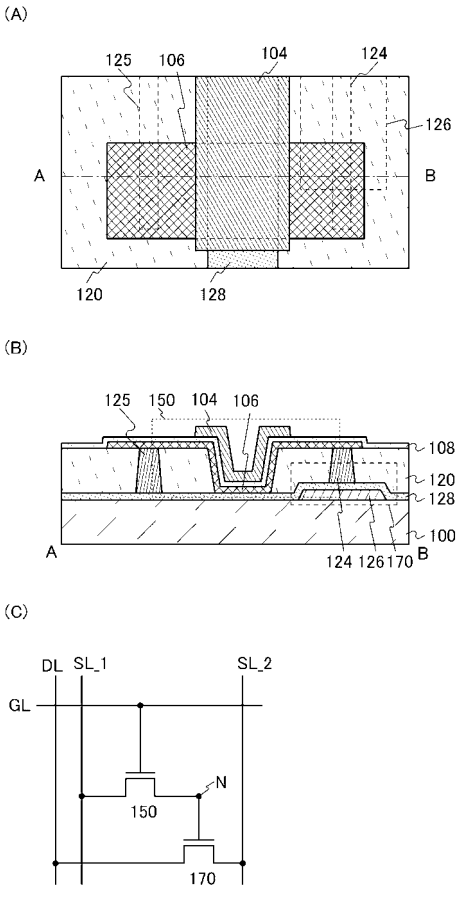
１００　基板
１０４　導電膜
１０５　導電膜
１０６　酸化物半導体膜
１０８　絶縁膜

１２０　絶縁膜
１２４　導電膜
１２５　導電膜
１２６　半導体膜
１２８　絶縁膜
１４４　導電膜
１５０　トランジスタ
１６０　キャパシタ
１７０　トランジスタ
９３００　筐体
９３０１　ボタン
９３０２　マイクロフォン
９３０３　表示部
９３０４　スピーカ
９３０５　カメラ
９３２０　筐体
９３２１　ボタン
９３２２　マイクロフォン
９３２３　表示部

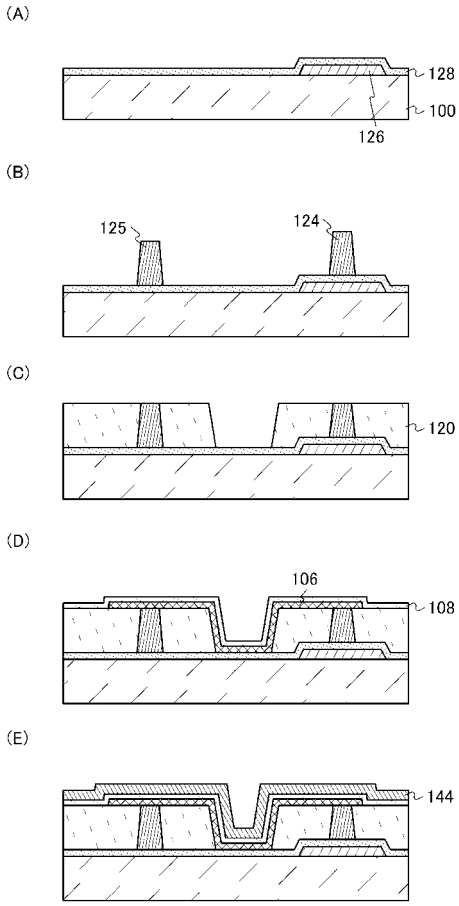
【図１】



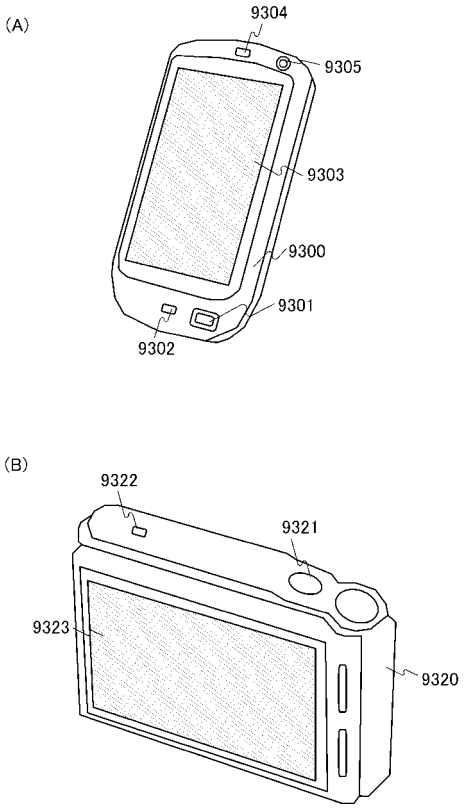
【図２】



【図３】


(A)
128
100
126
(B)
125
124
(C)
120
(D)
106
108
(E)
144

【図４】


(A)
9304
9305
9303
9300
9301
9302
(B)
9322
9321
9323
9320

フロントページの続き

(51)Int.Cl.		F I		テーマコード（参考）
Ｈ０１Ｌ 29/792	***(2006.01)***	Ｈ０１Ｌ 29/78	３７１	
Ｈ０１Ｌ 29/788	***(2006.01)***	Ｈ０１Ｌ 27/10	４４１	
Ｈ０１Ｌ 21/336	***(2006.01)***			
Ｈ０１Ｌ 27/105	***(2006.01)***			

Ｆターム(参考) 5F110 AA04 AA06 BB08 CC02 CC05 DD01 DD02 DD03 DD04 DD05
DD13 EE02 EE03 EE04 FF01 FF02 FF03 FF04 FF23 FF28
FF30 GG01 GG02 GG03 GG04 GG12 GG13 GG14 GG15 GG17
GG22 GG28 GG29 GG33 GG34 GG42 GG43 GG45 GG58 HJ01
HJ12 HJ13 HK02 HK03 HK04 HM15 NN72 NN78 QQ11 QQ19