

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3824497号
(P3824497)

(45) 発行日 平成18年9月20日(2006.9.20)

(24) 登録日 平成18年7月7日(2006.7.7)

(51) Int. Cl.		F I		
HO 1 L 33/00	(2006.01)	HO 1 L 33/00		E
B 4 1 J 2/44	(2006.01)	B 4 1 J 3/21		L
B 4 1 J 2/45	(2006.01)			
B 4 1 J 2/455	(2006.01)			

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2001-119581 (P2001-119581)	(73) 特許権者	591044164 株式会社沖データ 東京都港区芝浦四丁目11番22号
(22) 出願日	平成13年4月18日(2001.4.18)	(73) 特許権者	500002571 株式会社沖デジタルイメージング 東京都八王子市東浅川町550番地-1
(65) 公開番号	特開2002-314134 (P2002-314134A)	(74) 代理人	100083840 弁理士 前田 実
(43) 公開日	平成14年10月25日(2002.10.25)	(74) 代理人	100116964 弁理士 山形 洋一
審査請求日	平成14年7月8日(2002.7.8)	(72) 発明者	谷中 真澄 東京都八王子市東浅川町550番地の1 株式会社沖デジタルイメージング内
審査番号	不服2004-3695 (P2004-3695/J1)		
審査請求日	平成16年2月26日(2004.2.26)		

最終頁に続く

(54) 【発明の名称】 発光素子アレイ

(57) 【特許請求の範囲】

【請求項1】

基板上に形成されるセル内の半導体層がエッチングにより形成される素子分離溝により電氣的に分離される複数のブロックを備え、

各ブロックは、

選択拡散により半導体層にアレイ状に形成される複数の発光素子と、
 複数の発光素子のそれぞれに電氣的に接続される複数の第1電極と、
 複数の第1電極のそれぞれに電氣的に接続される複数の第1配線と、
 複数の第1配線のうち1つの第1配線が接続される第1電極パッドと、
 複数の発光素子に近接するように形成される第2電極と、
 第2電極に電氣的に接続される第2配線と、
 第2配線に電氣的に接続される第2電極パッドとをそれぞれ有し、

セル内には、

複数のブロックにまたがり形成されるブロック内の発光素子数と同数の共通配線であり、各ブロックのそれぞれの1つの第1配線に層間絶縁膜の開口部を通して電氣的に接続される複数の共通配線を有する多層配線構造の発光素子アレイにおいて、

セル内の複数の第1電極パッドおよび第2電極パッドは、同一ブロック内で前記第1配線と前記第2配線とが交差しないよう、該ブロック内の第1電極パッドと第2電極パッドがセル内の長手方向における中央を境界に対称かつ交互に配置される

ことを特徴とする発光素子アレイ。

10

20

【請求項 2】

基板上に形成されるセル内の半導体層がエッチングにより形成される素子分離溝により電氣的に分離される複数のブロックを備え、

各ブロックは、

選択拡散により半導体層にアレイ状に形成される複数の発光素子と、
 複数の発光素子のそれぞれに電氣的に接続される複数の第 1 電極と、
 複数の第 1 電極のそれぞれに電氣的に接続される複数の第 1 配線と、
 複数の第 1 配線のうち 1 つの第 1 配線が接続される第 1 電極パッドと、
 複数の発光素子に近接するように形成される第 2 電極と、
 第 2 電極の中央部に電氣的に接続される第 2 配線と、
 第 2 配線に電氣的に接続される第 2 電極パッドとをそれぞれ有し、
 セル内には、

複数のブロックにまたがり形成されるブロック内の発光素子数と同数の共通配線であり、各ブロックのそれぞれの 1 つの第 1 配線に層間絶縁膜の開口部を通して電氣的に接続される複数の共通配線を有する多層配線構造の発光素子アレイにおいて、

セル内の複数の第 1 電極パッドおよび第 2 電極パッドは、同一ブロック内で前記第 1 配線と前記第 2 配線とが交差しないよう、該ブロック内の第 1 電極パッドと第 2 電極パッドがセル内の長手方向における中央を境界に対称かつ交互に配置される

ことを特徴とする発光素子アレイ。

【請求項 3】

請求項 1 又は 2 に記載の発光素子アレイにおいて、

複数の第 1 電極、複数の第 1 配線および第 1 電極パッド、並びに、第 2 配線および第 2 電極パッドは、同一材料から構成されることを特徴とする発光素子アレイ。

【請求項 4】

請求項 1 又は 2 に記載の発光素子アレイにおいて、

セル内の複数の第 1 電極パッドおよび複数の第 2 の電極パッドは、セルの長手方向に 1 列に配置されることを特徴とする発光素子アレイ。

【請求項 5】

請求項 1 又は 2 に記載の発光素子アレイにおいて、

セル内の複数の第 1 電極パッドおよび複数の第 2 の電極パッドは、セルの長手方向に 2 列に配置されることを特徴とする発光素子アレイ。

【請求項 6】

請求項 1 又は 2 に記載の発光素子アレイにおいて、

第 1 配線及び第 2 配線がセル内の長手方向における中央を境界に対称かつ交互に配置されることを特徴とする発光素子アレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、いわゆる多層配線構造を有する発光素子アレイに関するものである。

【0002】

【従来の技術】

発光素子アレイは、複数の発光素子を直線状に配置したものである。発光素子として LED (light emitting diode; 発光ダイオード) を採用したものが LED アレイである。LED アレイは、例えば、電子写真プリンタの露光光源として使用されている。

【0003】

LED アレイとしては、例えば、「LED プリンタの設計」トリケップス社の第 60 頁に開示されている(図 17 および図 18)。図 17 は、従来の LED アレイの断面図である。図 18 は、従来の LED アレイの上面図である。

【0004】

図 17 および図 18 に示されるように、この LED アレイは、n 型 GaAs 基板 1 上に n

10

20

30

40

50

型 $GaAs_{0.6}P_{0.4}$ 層 2 を形成し、Zn 等の p 型不純物の選択拡散により複数の発光部 3 をアレイ状に配置する。各発光部 3 のそれぞれの Al 電極 (個別電極) 4 は、それぞれの発光部 3 に電氣的に接続されるように絶縁層 6 を挟んで p 型 $GaAs_{0.6}P_{0.4}$ 層 3 上に形成される。これらの Al 電極 4 は、それぞれのワイヤボンディング電極部 (以下、電極パッドという) 7 に電氣的に接続されている。Au-Ge-Ni 電極 (共通電極) 5 は、n 型 GaAs 基板 1 と電氣的に接続されるように、その下方に形成される。

【0005】

図 19 は、従来の多層配線型 LED アレイのセルを示す図である。図 20 は、図 19 に示される A 部の拡大図である。

図 19 に示される多層配線型 LED アレイは、近年、発明者等により提案されたものであり、電極パッド数の低減を主要目的とし、さらに、発光素子の順方向電圧を小さくし消費電力を低減するとともに、IC チップのサイズを小さくし製造コストを低減することを目的としている。

【0006】

図 19 に示されるように、多層配線型 LED アレイは、LED (発光素子) 20 に電氣的に接続される p 側配線 32 と p 側電極パッド 33 に電氣的に接続される共通配線 60 とを層間絶縁膜 50 を介して積層したものである。この多層配線型 LED アレイでは、p 側配線 32 と共通配線 60 とが直交するように形成されるとともに、LED (発光素子) 20 を構成する半導体層 12 が相互に分離 (アイソレート) され、複数のブロック 10 に分割されている。

【0007】

多層配線型 LED アレイは、例えば、次のような方法により製造することができる。まず、高抵抗基板 11 上に n 型の半導体層 12 が形成される。次に、素子分離溝 13 が形成され、半導体層が M 個のブロック 10 に電氣的に分離される。次に、拡散マスク 21 を介して選択的に p 型不純物が拡散され、各ブロック毎に N 個の LED (p 側半導体領域 (発光素子)) 20 が形成される。

【0008】

次に、N 個の LED 20 に 1 対 1 で接続される p 側電極 31 と、これらの p 側電極 31 に 1 対 1 で接続される p 側配線 32 と、各ブロック 10 の 1 つの p 側配線 32 が接続される p 側電極パッド 33 とが形成される。次に、拡散マスク 21 の一部が剥離され、各ブロックの n 型の半導体層 12 に 1 対 1 で接続される n 側電極 41 が形成される。次に、n 側電極 41 に 1 対 1 で接続される n 側配線 42 と、n 側配線 42 に 1 対 1 で接続される n 側電極パッド 43 とが形成される。

【0009】

次に、各 p 側配線 32 の所定位置が露出する開口部 51 が層間絶縁膜 50 に形成される。次に、N 個のブロック 10 にまたがるようにそれぞれのブロック 10 の 1 つの p 側配線 32 に接続される N 個の共通配線 60 が形成される。

【0010】

この多層配線型 LED アレイによれば、n 側電極 41 を LED (p 型不純物拡散領域 (発光素子)) 20 に近接させて形成し、高抵抗基板 11 の抵抗成分による電圧降下の影響を小さくする。これにより、LED の順方向電圧を小さくし、消費電力を低減することができる。また、ワイヤボンディング用の p 側電極パッド 33 および n 側電極パッド 43 をセルの片側に配置することにより、チップサイズを小さくし、製造コストを低減することができる。

【0011】

【発明が解決しようとする課題】

しかしながら、従来の多層配線型 LED アレイには、p 側電極パッド 33 と n 側電極パッド 43 とを交互に配置すると、セルの右半分において、p 側電極パッド 33 の p 側配線 32 と n 側電極パッド 43 の n 側引出配線 42 とが重なるように形成されてしまう (図 20)。この重なりは、

10

20

30

40

50

- 1) 配線不良が発生する要因になる
 - 2) これらを同一材料で構成することができない
 - 3) これらを同一工程で形成することができない
- といった問題を生じさせる。

【0012】

この発明は、かかる問題点を解決するためになされたものであり、配線不良の可能性を小さくし、信頼性を向上させるとともに、p側電極パッド、p側配線およびp側電極、並びに、n側電極パッドおよびn側配線を同一材料、同一工程で形成し、工程を簡略化することができる発光素子アレイを提供することにある。

【0013】**【課題を解決するための手段】**

請求項1に係る発光素子アレイは、基板上に形成されるセル内の半導体層がエッチングにより形成される素子分離溝により分割される複数のブロックを備え、各ブロックは、選択拡散により半導体層にアレイ状に形成される複数の発光素子と、複数の発光素子のそれぞれに電気的に接続される複数の第1電極と、複数の第1電極のそれぞれに電気的に接続される複数の第1配線と、複数の第1配線のうち1つの第1配線が接続される第1電極パッドと、複数の発光素子に近接するように形成される第2電極と、第2電極に電気的に接続される第2配線と、第2配線に電気的に接続される第2電極パッドとをそれぞれ有し、セル内には、複数のブロックにまたがり形成されるブロック内の発光素子数と同数の共通配線であり、各ブロックそれぞれの1つの第1配線に層間絶縁膜の開口部を通して電気的に接続される複数の共通配線を有する多層配線構造の発光素子アレイにおいて、セル内の複数の第1電極パッドおよび複数の第2電極パッドは、同一ブロック内で前記第1配線と前記第2配線とが交差しないよう、該ブロック内の第1電極パッドと第2電極パッドがセル内の長手方向における中央を境界に対称かつ交互に配置されることを特徴とするものである。

【0014】

請求項2に係る発光素子アレイは、基板上に形成されるセル内の半導体層がエッチングにより形成される素子分離溝により分離される複数のブロックを備え、各ブロックは、選択拡散により半導体層にアレイ状に形成される複数の発光素子と、複数の発光素子のそれぞれに電気的に接続される複数の第1電極と、複数の第1電極のそれぞれに電気的に接続される複数の第1配線と、複数の第1配線のうち1つの第1配線が接続される第1電極パッドと、複数の発光素子に近接するように形成される第2電極と、第2電極の中央部に電気的に接続される第2配線と、第2配線に電気的に接続される第2電極パッドとをそれぞれ有し、セル内には、複数のブロックにまたがり形成されるブロック内の発光素子数と同数の共通配線であり、各ブロックそれぞれの1つの第1配線に層間絶縁膜の開口部を通して電気的に接続される複数の共通配線を有する多層配線構造の発光素子アレイにおいて、セル内の複数の第1電極パッドおよび複数の第2電極パッドは、同一ブロック内で前記第1配線と前記第2配線とが交差しないよう、該ブロック内の第1電極パッドと第2電極パッドがセル内の長手方向における中央を境界に対称かつ交互に配置されることを特徴とするものである。

【0017】**【発明の実施の形態】**

以下、本発明に係る発光素子アレイの好ましい実施の形態を図面を参照して説明する。実施の形態1および2において、多層配線型のLEDアレイを例とし、第1導電型をp型、第2導電型をn型としているが、第1導電型をn型、第2導電型をp型としてもよい。基板、電極、配線、不純物等の材料および組成は、実施の形態1および2のものに限られず、種々のものを採用することができる。

【0018】

発光素子アレイは、LEDアレイに限られず、例えば半導体レーザーのような他の発光素子に適用することができる。さらに、例えばドライバICのような他の半導体素子にも適用

10

20

30

40

50

することができる。

【0019】

実施の形態1.

図2は、この発明に係る実施の形態1のLEDアレイの概念図である。図1は、図2に示されるセルの構成を示す図である。図3は、図1に示されるA部断面図である。

【0020】

図2に示されるように、LEDアレイは、その長手方向にリニア状に配置される複数のセル100から構成される多層配線型のLEDアレイである。

【0021】

図1および図3に示されるように、この多層配線型のLEDアレイは、高抵抗基板11上に形成される第2導電型半導体層12を備える。高抵抗基板11としては、例えば半絶縁性GaAs基板を用いることができる。第2導電性の半導体層12としては、例えばエピタキシャル成長したn型AlGaAs層を用いることができる。セル100内の第2導電型半導体層12は、エッチングにより形成される素子分離溝13によりM個のブロック10に電氣的に分離される。

10

【0022】

各ブロック10は、第2導電型半導体層12内における不純物の拡散によりpn接合を構成するN個のLED(第1導電型半導体領域(発光素子))20を有する。これらN個のLED20は、セル100の一方の側にセル100の長手方向に1列に配列される。不純物としては、例えばZnを用いることができる。

20

【0023】

各ブロック10は、1列に配列されるN個のLED20に電氣的に接続されるN個のp側電極31と、これらのp側電極31のそれぞれに電氣的に接続されるN個のp側配線32と、これらのp側配線32のうち1つのp側配線32と電氣的に接続されるp側電極パッド33とを有する。

【0024】

N個のp側電極31は、それぞれのLED20に電氣的に接続されるように絶縁膜(拡散マスク)21を挟んで形成される。N個のp側配線32は、セル100内の一方の側から他方の側に、セル100の長手方向と直交する方向に延在する。p側電極パッド33は、セル100内の他方の側に配置される。

30

【0025】

N個のp側電極31、N個のp側配線32およびp側電極パッド33は、後述するように、同一材料により同時に形成することができる。これらは、一体に形成することができる。これらは、例えばAu積層膜を用いることができる。なお、p側電極パッド33は、N個のp側電極31およびN個のp側配線32と別体として形成されてもよい。

【0026】

各ブロック10は、1つのn側電極41と、n側電極41に電氣的に接続されるn側配線42と、n側配線42に電氣的に接続されるn側電極パッド43とを有する。n側電極41は、N個のLED20に近接し沿うように、セル100の一方の側のLED20より外側に配置される。n側電極パッド43は、p側電極パッド33と1列に並ぶようにセル100の他方の側に配置されている。n側配線42は、n側電極41とn側電極パッド43とを電氣的に接続するように、セル100内の一方の側から他方の側に、セル100の長手方向と直交する方向に延在する。

40

【0027】

n側電極41は、例えばAu合金膜を用いることができる。n側配線42およびn側電極パッド43は、後述するように、複数のp側電極31、複数のp側配線32およびp側電極パッド33と同一材料により同時に形成することができる。n側配線42およびn側電極パッド43は、一体に形成することができる。

【0028】

n側電極41は、複数のLED20に近接するように配置されるので、高抵抗基板11の

50

抵抗成分による電圧降下の影響を小さくすることができる。したがって、LEDの順方向電圧を小さくし、消費電力を低減することができる。また、p側電極パッド33およびn側電極パッド43をセル100の他方の側に配置することにより、チップサイズを小さくし、製造コストを低減することができる。

【0029】

n側配線42は、n側電極41の中央部に接続されるように形成されるのが好ましい。これにより、図2におけるn側配線42の左右に配列されるN個のLED20とn側配線42との間のそれぞれの距離の差を小さくすることができるので、N個のLEDの発光エネルギー(明るさ)を均一化することができる。

【0030】

セル100内のM個のp側電極パッド33およびM個のn側電極パッド43は、セル100の長手方向における中央を境界に対称かつ交互に1列に配置される。これにより、セル100の中央から右側におけるn側配線42とp側配線32とがn側電極パッド43およびp側電極パッド33の近傍で重ならないように形成することができる。したがって、p側電極31、p側配線32、p側電極パッド33、n側配線42およびn側電極パッド43を同一材料により同時に形成することができる。

【0031】

セル100は、M個のブロック10にまたがるように層間絶縁膜50を介して形成されるN個(ブロック10内のLED20と同数)の共通配線60を有する。N個の共通配線60は、それぞれセル100の長手方向に延在する。N個の共通配線60は、M個のブロック10のそれぞれの1つのp側配線32に電氣的に接続される。

【0032】

N個の共通配線60とそれぞれのM個のp側配線32とが交差する位置における層間絶縁膜50には、それぞれの共通配線60およびそれぞれのp側配線32が電氣的に接続されるようにコンタクト孔51が形成されている。共通配線60としては、例えばAu積層膜を用いることができる。層間絶縁膜50としては、例えばポリイミド樹脂を用いることができる。

【0033】

M個のブロック10のそれぞれの1つのLED20および対応するp側電極パッド33は、p側電極31およびp側配線32を介して1つのコンタクト孔51を通る共通配線60に電氣的に接続される。このため、共通配線60上に2つのコンタクト孔51を設け、一方のコンタクト孔51を通してLED20および共通配線60を電氣的に接続し、他方のコンタクト孔51を通して共通配線60およびp側電極パッド33を電氣的に接続する場合に比べ、コンタクト孔51の数を少なくすることができる。したがって、LEDアレイの歩留まりを向上させることができる。

【0034】

図4～図14は、LEDアレイの製造工程を示す図である。図4～図9は、セル100の断面図であり、図10～図14は、セル100の上面図である。

【0035】

図4に示されるように、高抵抗基板11上に第2導電型半導体層12が形成され、半導体層12上に拡散マスク21が成膜され、複数のLED20のそれぞれの形成予定領域に開口20aが形成される。拡散マスク21としては、例えばSiN膜を用いることができる。SiN膜は、例えばCVD法により成膜することができる。LED20の形成予定領域の開口20aは、フォトリソグラフィ法またはエッチング法により形成することができる(拡散マスク成膜工程)。

【0036】

次に、図5に示されるように、開口20aを含む拡散マスク21上に拡散源膜22が成膜される。拡散源膜22としては、例えばZnO-SiO₂膜を用いることができる。ZnO-SiO₂膜は、例えばスパッタ法により成膜することができる(拡散源膜成膜工程)。

。

10

20

30

40

50

【0037】

次に、図6に示されるように、拡散源膜22上にアニールキャップ23が成膜される。アニールキャップ23としては、例えばAlN膜を用いることができる。AlN膜は、例えばスパッタ法により成膜することができる(アニールキャップ成膜工程)。

【0038】

次に、図7に示されるように、第2導電型半導体層12に第1導電型不純物の拡散領域が選択拡散により形成するためのアニールが行われる。前述のように、第1導電型不純物としては、例えばZnを用いることができる。窒素大気圧下650で約3時間アニールすることにより複数のLED形成予定領域である開口20aに拡散領域を形成することができる。これにより、約1 μ mの拡散深さを有するLED20が形成される(選択拡散アニール工程)。

10

【0039】

次に、図8に示されるように、アニールキャップ23および拡散源膜22が剥離される。これらの剥離は、選択エッチングにより行うことができる(アニールキャップ/拡散源膜剥離工程)。

【0040】

次に、図9に示されるように、セル100内にその深さが高抵抗基板11に達する(M-1)個の素子分離溝13が形成され、セル100内の第2導電型半導体層12がM個のブロック10に電氣的に分離される。素子分離溝13は、例えばリン酸化水をエッチャントとして第2導電型半導体層12を選択的にエッチングすることにより形成することができる(素子分離溝形成工程)。

20

【0041】

次に、図10に示されるように、後に形成されるn側電極パッド43と第2導電型半導体層12とのコンタクトを取るためにn側電極41の形成予定領域の拡散マスク21が剥離される。剥離は、フォトリソグラフィ法またはエッチング法により行うことができる(拡散マスク剥離工程)。

【0042】

次に、図11に示されるように、n側電極41が成膜される。n側電極41のパターンは、例えばリフトオフ法により形成される(n側電極成膜工程)。

【0043】

次に、図12に示されるように、複数のp側電極31、複数のp側配線32、複数のp側電極パッド33、複数のn側配線42および複数のn側電極パッド43が成膜される。各ブロック10のN個のp側電極31、N個のp側配線32およびp側電極パッド33は一体に成膜され、n側配線42およびn側電極パッド43は一体に成膜される。それぞれのパターンは、例えばリフトオフ法により形成することができる(p側電極等形成工程)。

30

【0044】

次に、図13に示されるように、層間絶縁膜50が形成される。層間絶縁膜50には、共通配線60のコンタクト孔51となる開口、LED20が形成されている領域の開口およびp側電極パッド33が形成されている領域の開口が形成される。層間絶縁膜50のこれらの開口のパターンは、フォトリソグラフィ法またはエッチング法により形成することができる(層間絶縁膜成膜)。

40

【0045】

次に、図14に示されるように、セル100内にN個の共通配線60が形成される。1個の共通配線60は、M個のブロック10のそれぞれの1つのLED20に対応するM個のコンタクト孔51を通し、それぞれのp側配線32に電氣的に接続される。共通配線60のパターンは、例えばリフトオフ法により形成することができる(共通配線形成工程)。

【0046】

なお、図10~図12に示される拡散マスク剥離工程、n側電極成膜工程およびp側電極等形成工程の工程順はこれに限るものではない。拡散マスク剥離工程をn側電極成膜工程よりも前に行えばよい。例えば、p側電極等形成工程、拡散マスク剥離工程、n側電極成

50

膜工程の順に行うこともできる。

【0047】

また、p側電極等形成工程を、p側電極31、p側配線32およびp側電極パッド33を形成する工程と、n側配線42およびn側電極パッド43を形成する工程とに分けてもよい。この場合、いずれの工程を先に行ってもよい。

【0048】

実施の形態2 .

図15は、この発明に係る実施の形態2のLEDアレイの概念図である。図16は、図15に示されるセルの構成を示す図である。

図15および図16に示されるように、実施の形態2のLEDアレイは、セル200内の複数のp側電極パッド33および複数のn側電極パッド43の配置が実施の形態1のLEDアレイと異なる。

【0049】

実施の形態2のセル200内の複数のp側電極パッド33および複数のn側電極パッド43は、セル200内の長手方向における中央を境界に対称かつ交互に配置される点で実施の形態1と共通する。しかし、実施の形態1の複数のp側電極パッド33および複数のn側電極パッド43は、セル100の長手方向に1列に配置されているのに対し、実施の形態2の複数のp側電極パッド33および複数のn側電極パッド43は、セル200の長手方向に2列に配置されている点異なる。

【0050】

実施の形態2によれば、複数のp側電極パッド33および複数のn側電極パッド43は、セル200の長手方向に2列に配置されているため、パッドサイズを大きくすることができる。したがって、ワイヤボンディングの信頼性を向上させることができる。

【0051】

【発明の効果】

この発明によれば、各ブロック内の第1電極パッドと第2電極パッドとの相対位置を変えることにより、各ブロックの第1配線および引出配線が交差しないように形成することができる。したがって、配線の交差による配線不良を防止し、LEDアレイの信頼性を向上させることができる。また、p側電極パッド、その第1配線およびp側電極、並びに、n側電極パッド及びその引出配線を同一材料、同一工程で形成し、工程を簡略化することができる。

【図面の簡単な説明】

【図1】 図2に示されるセルの構成を示す図である。

【図2】 この発明に係る実施の形態1のLEDアレイの概念図である。

【図3】 図2に示されるA部断面図である。

【図4】 拡散マスク成膜工程を示す図である。

【図5】 拡散源膜成膜工程を示す図である。

【図6】 アニールキャップ成膜工程を示す図である。

【図7】 選択拡散アニール工程を示す図である。

【図8】 アニールキャップ/拡散源膜剥離工程を示す図である。

【図9】 素子分離溝形成工程を示す図である。

【図10】 拡散マスク剥離工程を示す図である。

【図11】 n側電極成膜工程を示す図である。

【図12】 p側電極等形成工程を示す図である。

【図13】 層間絶縁膜成膜工程を示す図である。

【図14】 共通配線形成工程を示す図である。

【図15】 この発明に係る実施の形態2のLEDアレイの概念図である。

【図16】 図15に示されるセルの構成を示す図である。

【図17】 従来のLEDアレイの断面図である。

【図18】 従来のLEDのアレイの上面図である。

10

20

30

40

50

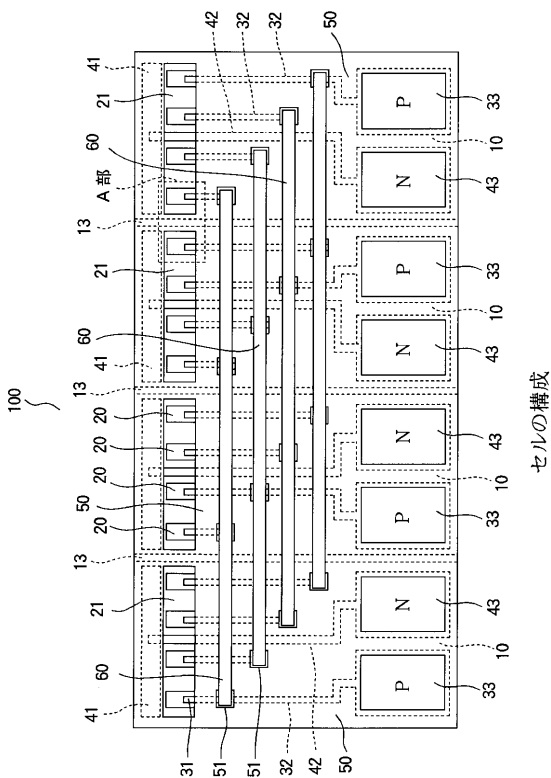
【図19】 従来の多層配線型LEDのセルの構成を示す図である。

【図20】 図19に示されるB部拡大図である。

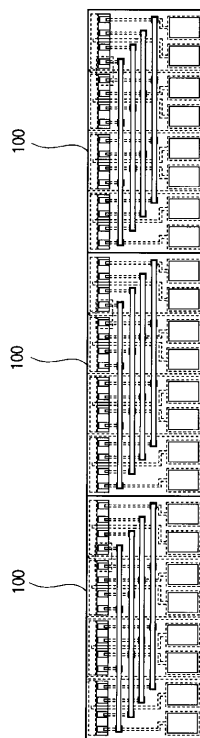
【符号の説明】

- 10 ブロック
- 11 高抵抗基板
- 12 半導体層
- 13 素子分離溝
- 20 LED
- 31 p側電極
- 32 p側配線
- 33 p側電極
- 41 n側電極
- 42 n側配線
- 43 n側電極パッド
- 50 層間絶縁膜
- 51 コンタクト孔
- 60 共通配線
- 100 セル

【図1】

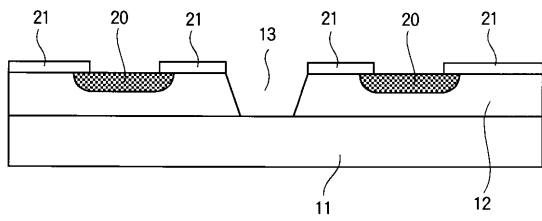


【図2】



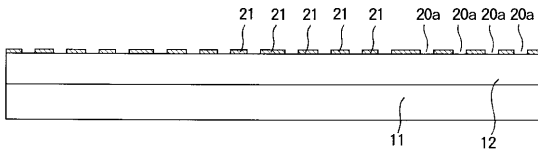
実施の形態1のLEDアレイの概念図

【 図 3 】

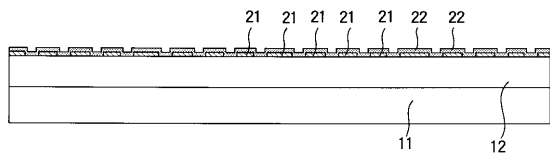


A部詳細断面図

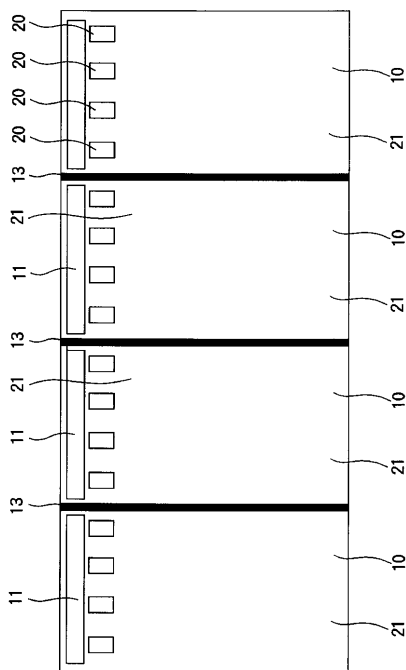
【 図 4 】



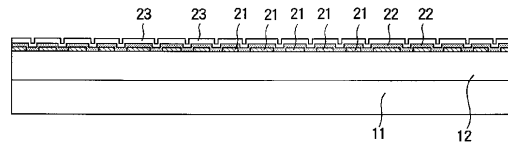
【 図 5 】



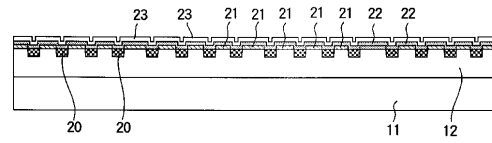
【 図 10 】



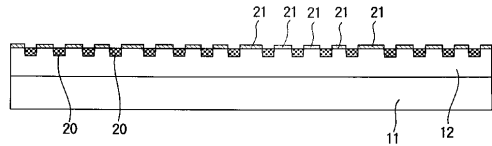
【 図 6 】



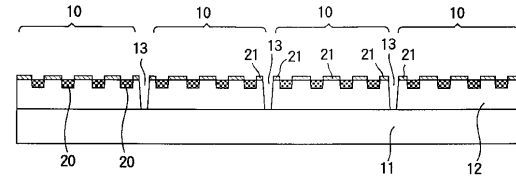
【 図 7 】



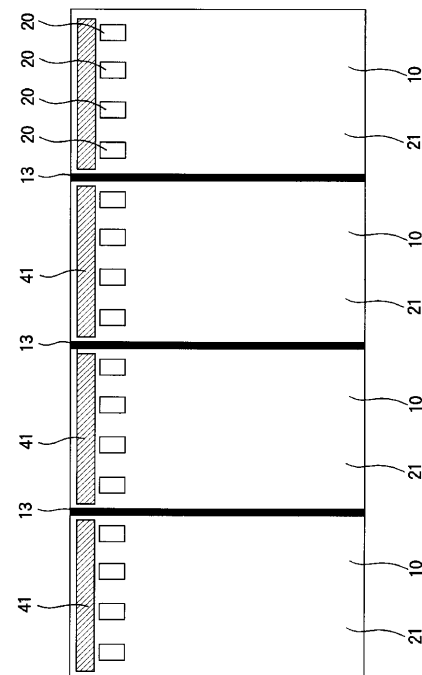
【 図 8 】



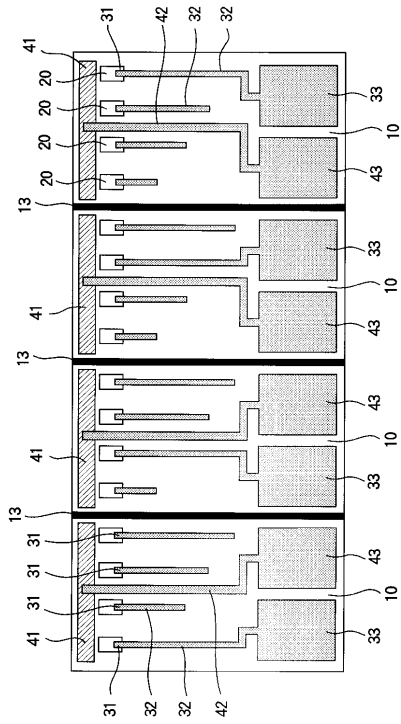
【 図 9 】



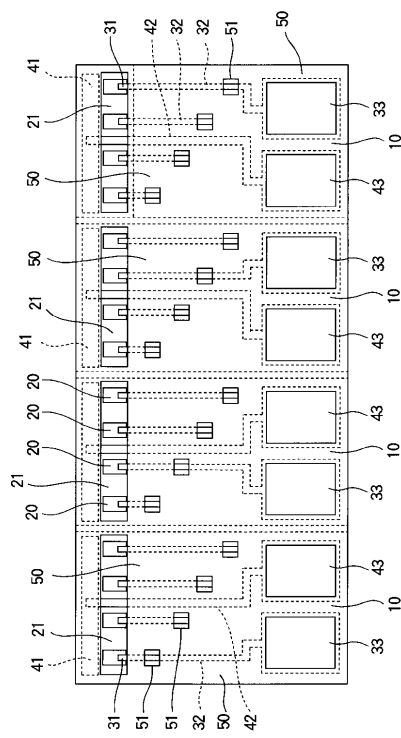
【 図 11 】



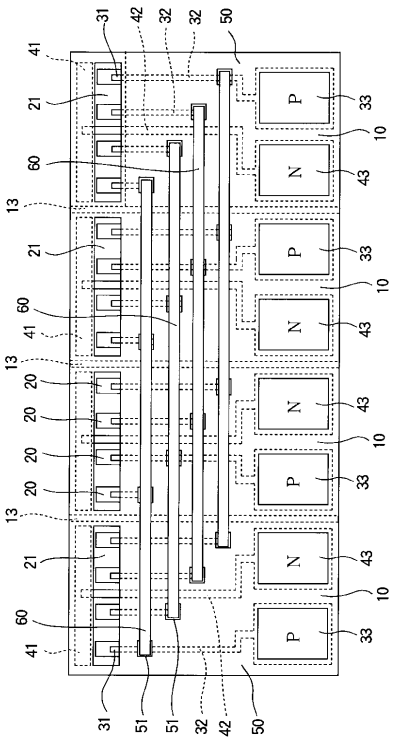
【図12】



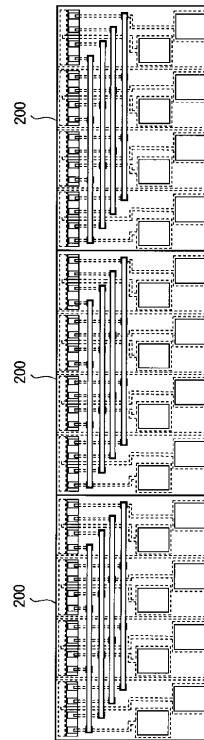
【図13】



【図14】

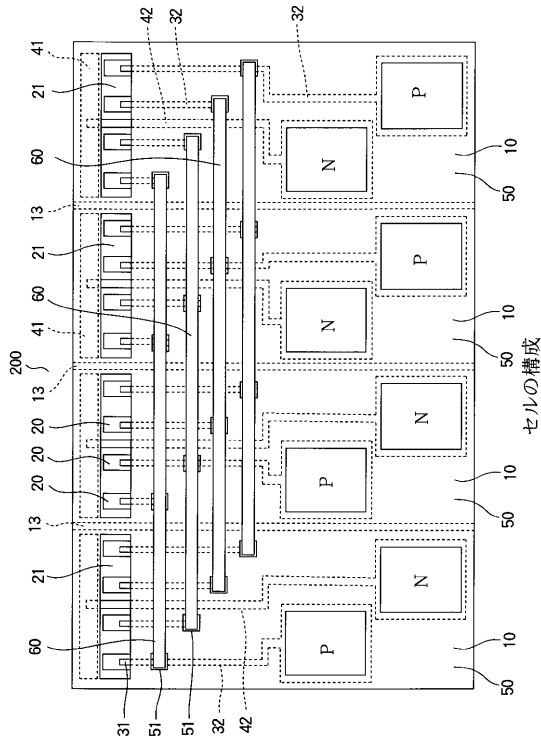


【図15】

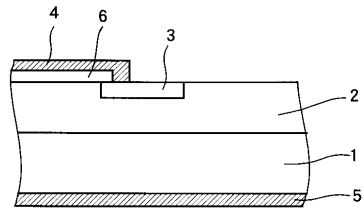


実施の形態2のLEDアレイの概念図

【図16】

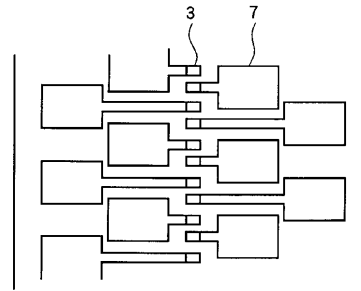


【図17】



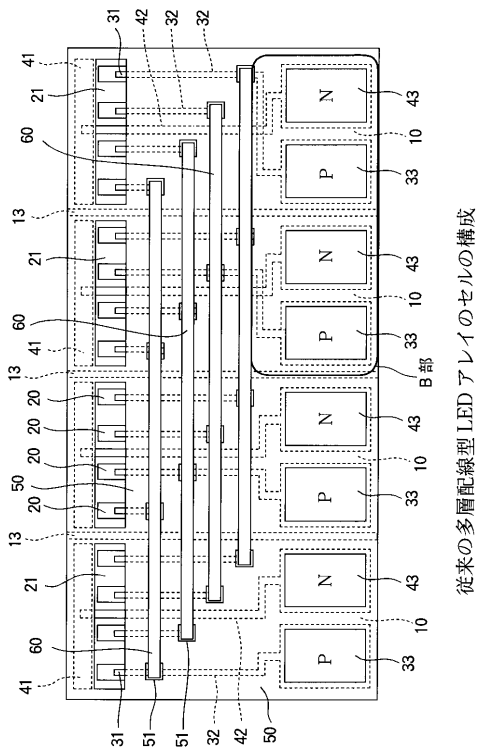
従来のLEDアレイの断面図

【図18】

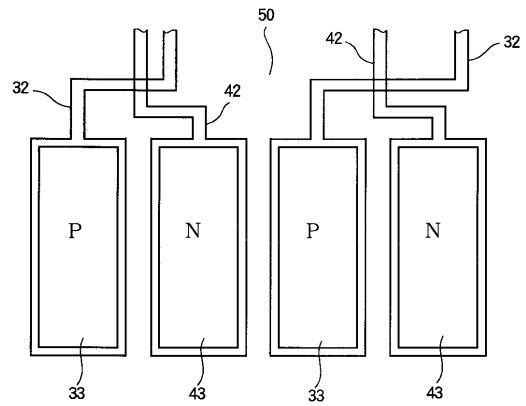


従来のLEDアレイの上面図

【図19】



【図20】



B部拡大図

フロントページの続き

(72)発明者 荻原 光彦

東京都八王子市東浅川町550番地の1 株式会社沖デジタルイメージング内

合議体

審判長 平井 良憲

審判官 吉野 三寛

審判官 鈴木 俊光

(56)参考文献 特開平6-328783(JP,A)

特開平11-220164(JP,A)

特開2000-289250(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L33/00