



(12) 发明专利

(10) 授权公告号 CN 101000905 B

(45) 授权公告日 2011.05.18

(21) 申请号 200710002205.3

(22) 申请日 2007.01.12

(30) 优先权数据

2006-005956 2006.01.13 JP

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川县川崎市

(72) 发明人 古泽健志 儿玉大介 松本雅弘
宫崎博史

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 浦柏明 刘宗杰

(51) Int. Cl.

H01L 23/522(2006.01)

H01L 23/532(2006.01)

H01L 21/768(2006.01)

(56) 对比文件

US 6008114 A, 1999.12.28, 全文.

US 6136104 A, 2000.10.24, 说明书第1栏第57行至第2栏第22行、摘要、权利要求1,5.

CN 1233073 A, 1999.10.27, 全文.

US 2005/0275110 A1, 2005.12.15, 说明书第0031段至第0036段、附图1-10.

CN 1412845 A, 2003.04.23, 全文.

T.Tonegawa et al.. Suppression of Bimodal Stress-Induced Voiding using High-diffusive Dopant from Cu-alloy Seed Layer. Proceeding of IEEE International Interconnect Technology Conference. 2003, 216-218.

审查员 陈敏

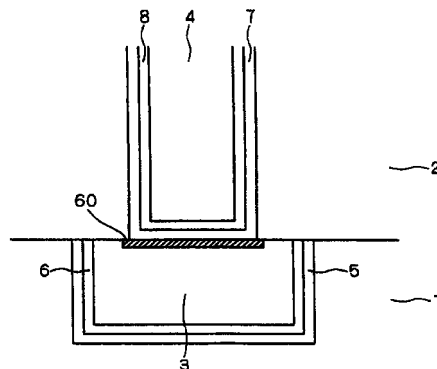
权利要求书 3 页 说明书 17 页 附图 20 页

(54) 发明名称

半导体装置以及半导体装置的制造方法

(57) 摘要

本发明提供一种半导体装置等,该半导体装置具有在铜合金布线与通道的连接面上形成了含氮的势垒金属膜的结构,其中,能够抑制铜合金布线与通道之间的电阻的上升以及可抑制电阻的分散。在本发明的半导体装置中,具有第一铜合金布线(3)、通道(4)以及第一势垒金属膜(7)。此处,第一铜合金布线(3)形成在层间绝缘膜(1)内,在作为主要成分的Cu中含有预定的添加元素。通道(4)形成在层间绝缘膜(2)内,与第一铜合金布线(3)的上表面电连接。在第一铜合金布线(3)与通道(4)的连接部上,与第一铜合金布线(3)接触地形成第一势垒金属膜(7),该第一势垒金属膜(7)含有氮。预定的添加元素是通过与氮反应形成高电阻部的元素。此外,预定的添加元素的浓度为 $\leq 0.04\text{wt}\%$ 以下。



1. 一种半导体装置,其特征在于,
具有:第一铜合金布线,形成在层间绝缘膜内,在作为主要成分的 Cu 中包含预定的添加元素;
通道,形成在层间绝缘膜内,与所述第一铜合金布线的上表面电连接;和
第一势垒金属膜,与所述第一铜合金布线相接触地形成在所述第一铜合金布线与所述通道的连接部上,并且包含氮,
所述预定的添加元素的浓度为 0.01wt% 以上 0.04wt% 以下,
所述预定的添加元素是 Al、Ge、Ga、Sn 中的任意一种。
2. 如权利要求 1 记载的半导体装置,其特征在于:
所述第一势垒金属膜的材质是 TaN、TaSiN、TiN、WN 中的任意一种。
3. 如权利要求 1 记载的半导体装置,其特征在于:
所述层间绝缘膜含有 SiOC 膜。
4. 如权利要求 1 记载的半导体装置,其特征在于:
还具有第二铜合金布线,该第二铜合金布线在所述层间绝缘膜内,配置在所述第一铜合金布线的更上层,与所述通道的上表面电连接,
所述第一铜合金布线、所述第二铜合金布线以及所述通道在作为主要成分的 Cu 中含有所述预定的添加元素。
5. 如权利要求 1 记载的半导体装置,其特征在于:
在所述层间绝缘膜与所述通道之间,具有与所述层间绝缘膜接触的所述第一势垒金属膜;
在所述层间绝缘膜与所述通道之间,具有与所述通道接触的不含氮的第二势垒金属膜。
6. 如权利要求 5 记载的半导体装置,其特征在于:
还具有布线,该布线在所述层间绝缘膜内设置在比所述第一铜合金布线更上层,并与所述通道的上表面电连接,
所述第一势垒金属膜以与所述层间绝缘膜接触的方式形成在所述层间绝缘膜与所述布线之间,
所述第二势垒金属膜以与所述布线接触的方式形成在所述层间绝缘膜与所述布线之间。
7. 如权利要求 1 记载的半导体装置,其特征在于:
所述第一势垒金属膜所含的氮的原子浓度为 10% 以上、40% 以下。
8. 如权利要求 5 或者 6 记载的半导体装置,其特征在于:
所述第一势垒金属膜的膜厚为 1nm 以上、10nm 以下。
9. 一种半导体装置的制造方法,其特征在于,具有如下步骤:
(A) 在第一层间绝缘膜内形成铜合金布线,该铜合金布线以铜为主要成分,含有浓度为 0.01wt% 以上 0.04wt% 以下的添加元素;
(B) 在形成于所述第一层间绝缘膜上的第二层间绝缘膜内,形成连接孔,该连接孔使所述铜合金布线的上表面露出;
(C) 在所述连接孔的底面以及侧面上形成含氮的第一势垒金属膜;

(D) 在所述步骤 (C) 之后, 在所述连接孔中填充导电体,
所述添加元素是 Al、Ge、Ga、Sn 中的任意一种。

10. 如权利要求 9 记载的半导体装置的制造方法, 其特征在于, 还具有如下步骤:

(E) 对形成在所述连接孔底部的第一势垒金属膜以及所述铜合金布线的一部分进行除去;

(F) 在所述步骤 (E) 之后, 在所述连接孔的底部以及侧面部形成不含氮的第二势垒金属膜。

11. 如权利要求 9 记载的半导体装置的制造方法, 其特征在于, 还具有如下步骤:

(K) 在所述第一势垒金属膜上形成不含氮的第二势垒金属膜;

(L) 对形成在所述连接孔底部的所述第一势垒金属膜、所述第二势垒金属膜以及所述铜合金布线的一部分进行除去;

(M) 在所述步骤 (L) 之后, 在所述连接孔的底部以及侧面部形成不包含氮的第三势垒金属膜。

12. 一种半导体装置的制造方法, 其特征在于, 具有如下步骤:

在第一层间绝缘膜内形成含有第一添加元素的第一铜合金布线;

在所述第一层间绝缘膜上以及所述第一铜合金布线上形成第一绝缘膜;

在所述第一绝缘膜上形成第二层间绝缘膜;

形成贯通所述第一绝缘膜和所述第二层间绝缘膜并漏出所述第一铜合金布线的孔;

以覆盖所述第一孔的侧面和底面的方式形成由含有氮的第一材料形成的第一势垒金属, 并使所述第一势垒金属和所述第一铜合金布线在所述第一孔的底面相接触;

除去所述第一孔的底面的所述第一势垒金属和所述第一铜合金布线的一部分从而形成凹坑;

以覆盖所述第一孔的侧面上的所述第一势垒金属以及所述凹坑的表面的方式形成第二势垒金属; 和

在所述第二势垒金属上埋入金属铜,

所述第一添加元素是 Al、Ge、Ga、Sn 中的任意一种,

所述第一添加元素的浓度为 0.01wt% 以上 0.04wt% 以下。

13. 如权利要求 12 记载的半导体装置的制造方法, 其特征在于,

所述第二势垒金属的材料不含有氮,

通过使所述第一势垒金属和所述第一铜合金布线相接触的步骤, 在所述第一势垒金属和所述第一铜合金布线之间形成所述第一添加元素与氮的化合物,

通过形成所述凹坑的步骤, 除去所述第一孔的底面的所述化合物。

14. 如权利要求 12 记载的半导体装置的制造方法, 其特征在于,

所述第一势垒金属的材质是 TaN、TaSiN、TiN、WN 中的任意一种,

所述第二层间绝缘膜的材质是 SiOC。

15. 如权利要求 12 记载的半导体装置的制造方法, 其特征在于,

还包括如下步骤:

在形成所述第二层间绝缘膜的步骤和使所述第一势垒金属与所述第一铜合金布线相

接触的步骤之间,在第二层间绝缘膜内形成与所述第一孔相连的第一布线槽;和

在埋入所述金属铜的步骤之后,通过化学机械研磨处理除去所述第二层间绝缘膜上的所述金属铜,从而在所述第一孔内以及所述第一布线槽内形成第一铜布线,

在形成所述第一孔的步骤和形成所述第一铜布线的步骤之后,使所述第一孔的上部和所述第一布线槽的底部相接触,

通过使所述第一势垒金属和所述第一铜合金布线相接触的步骤,在所述第一布线槽的侧面和底面上形成所述第一势垒金属,

通过形成所述凹坑的步骤,除去所述第一布线槽的底面的所述第一势垒金属,

通过形成所述第二势垒金属的步骤,在所述第一布线槽的底面上形成所述第二势垒金属,

通过埋入所述金属铜的步骤,在所述第一布线槽内埋入所述金属铜。

16. 如权利要求 15 记载的半导体装置的制造方法,其特征在于,还包括如下步骤:

在所述第一铜布线上以及所述第二层间绝缘膜上形成第二绝缘膜;

在所述第二绝缘膜上形成第三层间绝缘膜;

在第三层间绝缘膜内形成:贯通所述第二绝缘膜和所述第三层间绝缘膜并漏出所述第一铜布线的第二孔以及与所述第二孔相连的第二布线槽;

在所述第二孔的侧面和底面、所述第二布线槽的侧面以及底面上形成不含有氮的第三势垒金属;和

通过在所述第三势垒金属上埋入铜,从而在所述第二孔内以及所述第二布线槽内形成第二铜布线,

所述第一铜布线是含有所述第一添加元素的铜合金布线,

通过形成所述第二孔和所述第二布线槽的步骤,使所述第二孔的上部和所述第二布线槽的底部相接触。

17. 如权利要求 16 记载的半导体装置的制造方法,其特征在于,

所述第二层间绝缘膜的介电常数比所述第三层间绝缘膜的介电常数低,

在形成所述第二铜布线的步骤中被埋入的铜是纯铜,

所述第一绝缘膜和所述第二绝缘膜是碳氮化硅膜,

在所述第二孔的底部的所述第三势垒金属和所述第一铜布线之间不形成氮和所述第一添加元素的化合物,

所述第一势垒金属是氮化钽,所述第二势垒金属是钽。

18. 如权利要求 12 记载的半导体装置的制造方法,其特征在于,还包括如下步骤:

在形成所述第一势垒金属的步骤和形成所述凹坑的步骤之间,在所述第一势垒金属上形成不含有氮的第四势垒金属。

半导体装置以及半导体装置的制造方法

技术领域

[0001] 本发明涉及半导体装置以及半导体装置的制造方法,特别涉及具有铜合金布线以及与其连接的通道的半导体装置及其制造方法。

背景技术

[0002] 在要求高速动作、低功耗的半导体装置中,对布线部的信号延迟或者功耗进行控制,故使用利用了低电阻的铜的多层布线结构。但是,由于半导体装置的细微化,铜布线中流过的电流密度增大,针对电迁移 (Electromigration, 以下称为 EM) 的铜布线的可靠性成为问题。

[0003] EM 是铜布线中流过电流时铜原子被电子流推压而移动的现象。铜布线 EM 耐性最成问题的是连接上下布线的层间连接 (通道) 的底部与下层的铜布线的接触面。引起 EM 现象时,铜布线中的铜原子移动,在铜布线的该接触面附近形成空洞 (孔隙)。并且,形成该孔隙的结果是,在铜布线与通道之间发生断线。

[0004] 为了防止该 EM 现象引起的铜布线 - 通道间的断线,以往,对铜布线中流过的电流值进行控制。此外,采用在作为主要成分的 Cu 中加入铝等添加元素的铜合金布线。作为公开了该铜合金的文献,有非专利文献 1。该铜合金布线与纯铜布线的情况相比,EM 耐性优良。

[0005] 在非专利文献 1 中,公开了如下技术:通过采用在作为主要成分的铜中加入作为添加元素的 Al、Sn、Ti 的铜合金布线,提高 EM 耐性。并且,作为公开铜合金布线的其他现有技术,有专利文献 1 以及专利文献 2。

[0006] 此处,在专利文献 1 中公开了如下结构:在层间绝缘膜上形成铜合金布线和与该铜合金布线的上表面连接的通道,在该铜合金布线和该通道的连接面 (也可理解为连接部) 上,形成有含氮的势垒金属膜。

[0007] 并且,对铜合金布线 (也含通道) 与层间绝缘膜之间存在的势垒金属膜的结构进行了各种研究。例如,作为势垒金属膜,可采用对与层间绝缘膜粘结性较好的 TaN、TiN、WN 等、与铜的粘结性较好的 Ta、Ti、W 等进行层叠的层叠结构膜 (专利文献 3)。

[0008] 非专利文献 1:T. Tonegawa et al (NEC), "Suppression of Bimodal Stress-Induced Voiding Using Highly Diffusive Dopant from Cu-Alloy Seed Layer", Proceeding of IEEE International Interconnect Technology Conference 2003, pp. 216-218

[0009] 专利文献 1:特开 2002-75995 号公报

[0010] 专利文献 2:特开平 11-307530 号公报

[0011] 专利文献 3:特开 2003-124313 号公报

[0012] 但是,在所述专利文献 1 公开的结构的情况下,通过发明者的试验可知,产生以下的问题,即:在铜合金布线与通道的接触面上形成含氮的势垒金属膜时,铜合金布线与通道之间的电阻上升,并且,该电阻产生分散。

发明内容

[0013] 本发明的目的在于提供一种半导体装置,该半导体装置具有如下结构:在层间绝缘膜上形成铜合金布线和与该铜合金布线的上表面连接的通道,在该铜合金布线与该通道的连接面(也可理解为连接部)上形成含氮的势垒金属膜,该半导体装置能够控制铜合金布线与通道之间的电阻的上升,还能够抑制该电阻的分散。此外,本发明的目的在于提供一种该半导体装置的制造方法。

[0014] 为了达到所述目的,本发明方案 1 的半导体装置具有:第一铜合金布线,形成在层间绝缘膜内,并且在作为主要成分的 Cu 中包含预定的添加元素;通道,形成在所述层间绝缘膜内,与所述第一铜合金布线的上表面电连接;第一势垒金属膜,与所述第一铜合金布线相接触地形成在所述第一铜合金布线与所述通道的连接部上,并且包含氮,其中所述预定的添加元素的浓度为 0.04wt% 以下。

[0015] 此外,方案 11 的半导体装置具有:第一铜合金布线,配置在第一层间绝缘膜内,在作为主要成分的 Cu 中添加有 Al;第二层间绝缘膜,形成在所述第一层间绝缘膜上;第二铜合金布线,配置在所述第二层间绝缘膜内,在作为主要成分的 Cu 中添加有 Al;其中,所述第二铜合金布线的所述 Al 的浓度小于所述第一铜合金布线的所述 Al 的浓度。

[0016] 此外,方案 14 的半导体装置具有:铜合金布线,配置在第一层间绝缘膜内,在作为主要成分的 Cu 中添加有 Al;第二层间绝缘膜,形成在所述第一层间绝缘膜上;铜布线,配置在所述第二层间绝缘膜内,膜厚比所述铜合金布线厚,只由 Cu 构成。

[0017] 此外,方案 15 的半导体装置具有:第一双嵌入式结构,设置在所述第一层间绝缘膜内,由第一布线与第一通道构成,在作为主要成分的 Cu 中添加 Al 来构成;第二层间绝缘膜,形成在所述第一层间绝缘膜上;第二双嵌入式结构,设置在所述第二层间绝缘膜内,由膜厚比所述第一布线厚的第二布线和第二通道构成,所述第一布线的上部与所述第二通道的下表面连接,只由 Cu 构成。

[0018] 此外,方案 21 的半导体装置具有:第一通道,形成在层间绝缘膜内,在作为主要成分的 Cu 中添加有 Al;第一铜合金布线,形成在所述层间绝缘膜内,与所述第一通道的底部电连接,在作为主要成分的 Cu 中添加有 Al;第一势垒金属膜,与所述层间绝缘膜接触地形成在所述层间绝缘膜与所述第一通道之间,并且含氮;第二势垒金属膜,与所述第一通道接触地形成在所述层间绝缘膜与所述第一通道之间,并且不含氮;其中,在所述第一铜合金布线与所述第一通道的连接部上不形成所述第一势垒金属膜,在所述第一铜合金布线与所述第一通道的连接部上也形成所述第二势垒金属膜。

[0019] 方案 23 的半导体装置的制造方法具有如下步骤:(A) 在第一层间绝缘膜内形成铜合金布线,该铜合金布线以铜为主要成分,含有浓度为 0.04wt% 以下的添加元素;(B) 在形成于所述第一层间绝缘膜上的第二层间绝缘膜内形成连接孔,该连接孔使所述铜合金布线的上表面露出;(C) 在所述连接孔的底面以及侧面上形成含氮的第一势垒金属膜;(D) 在所述步骤 (C) 之后,在所述连接孔中填充导电体。

[0020] 此外,方案 26 的半导体装置的制造方法中,具有如下步骤:(A) 在第一层间绝缘膜内配置第一铜合金布线,该第一铜合金布线在作为主要部分的 Cu 中添加有 Al;(B) 在形成于所述第一层间绝缘膜上的第二层间绝缘膜内形成第二铜合金布线,该第二铜合金布线在

作为主要成分的 Cu 中添加 Al,膜厚比所述第一铜合金布线厚,具有所述第一铜合金布线的所述 Al 的浓度以下的 Al 浓度。此外,方案 27 的半导体装置的制造方法中,具有如下步骤:(A) 在第一层间绝缘膜内设置铜合金布线,在该铜合金布线在作为主要成分的 Cu 中添加了 Al;(B) 在形成于所述第一层间绝缘膜上的第二层间绝缘膜内形成铜布线,该铜布线膜厚比所述铜合金布线厚,并且只由 Cu 构成。

[0021] 此外,方案 28 的半导体装置的制造方法中,具有如下步骤:(A) 在第一层间绝缘膜内形成第一双嵌入式结构,该第一双嵌入式结构由第一布线与第一通道构成,在作为主要成分的 Cu 中添加有 Al;(B) 在形成于所述第一层间绝缘膜上的第二层间绝缘膜内,形成第二双嵌入式结构,该第二双嵌入式结构由膜厚比所述第二布线厚的第二布线与第二通道构成,所述第一布线的上部和所述第二通道的下表面连接,并且只由 Cu 构成。

[0022] 本发明方案 1 的半导体装置具有:第一铜合金布线,形成在层间绝缘膜内,在作为主要成分的 Cu 中包含预定的添加元素;通道,形成在所述层间绝缘膜内,与所述第一铜合金布线的上表面电连接;第一势垒金属膜,与所述第一铜合金布线相接触地形成在所述第一铜合金布线与所述通道的连接部上,并且包含氮,其中所述预定的添加元素的浓度为 0.04wt% 以下。因此,在第一铜合金布线与通道的连接部,可抑制氮与添加元素的反应。即,可抑制高电阻部的形成。因此,可抑制该连接部的电阻的上升以及该电阻的分散。

[0023] 此外,方案 11 的半导体装置具有:第一铜合金布线,配置在第一层间绝缘膜内,在作为主要成分的 Cu 中添加有 Al;第二层间绝缘膜,形成在所述第一层间绝缘膜上;第二铜合金布线,配置在所述第二层间绝缘膜内,在作为主要成分的 Cu 中添加有 Al,其中,所述第二铜合金布线的所述 Al 的浓度小于所述第一铜合金布线的所述 Al 的浓度。因此,能够使配置在更上层的第二铜合金布线的电阻值比配置在更下层的所述第一铜合金布线的电阻值小。

[0024] 此外,方案 14 的半导体装置具有:铜合金布线,配置在第一层间绝缘膜内,在作为主要成分的 Cu 中添加有 Al;第二层间绝缘膜,形成在所述第一层间绝缘膜上;铜布线,配置在所述第二层间绝缘膜内,膜厚比所述铜合金布线厚,只由 Cu 构成。因此,能够使配置在更上层的第二铜合金布线的电阻值比配置在更下层的所述第一铜合金布线的电阻值小。

[0025] 此外,方案 15 的半导体装置具有:第一双嵌入式结构,设置在所述第一层间绝缘膜内,由第一布线与第一通道构成,在作为主要成分的 Cu 中添加 Al 来构成;第二层间绝缘膜,形成在所述第一层间绝缘膜上;第二双嵌入式结构,设置在所述第二层间绝缘膜内,由膜厚比所述第一布线厚的第二布线和第二通道构成,所述第一布线的上部与所述第二通道的下表面连接,只由铜构成。因此,能够使配置在更上层的第二双嵌入式结构的电阻值比配置在更下层的所述第一双嵌入式结构的电阻值小。

[0026] 此外,方案 21 的半导体装置具有:第一通道,形成在层间绝缘膜内,在作为主要成分的 Cu 中添加有 Al;第一铜合金布线,形成在所述层间绝缘膜内,与所述第一通道的底部电连接,在作为主要成分的 Cu 中添加有 Al;第一势垒金属膜,与所述层间绝缘膜接触地形成在所述层间绝缘膜与所述第一通道之间,并且含氮;第二势垒金属膜,与所述第一通道接触地形成在所述层间绝缘膜与所述第一通道之间,并且不含氮,其中,在所述第一铜合金布线与所述第一通道的连接部上不形成所述第一势垒金属膜,在所述第一铜合金布线与所述第一通道的连接部上也形成所述第二势垒金属膜。因此,在第一铜合金布线与第一通道的连接部上,能抑制氮与 Al 的反应。即,能够抑制高电阻部的形成。因此能够抑制该连接部

的电阻的上升以及该电阻的分散。

[0027] 此外,方案 23 的半导体装置的制造方法具有如下步骤:(A) 在第一层间绝缘膜内形成铜合金布线,该铜合金布线以铜为主要成分,含有浓度为 0.04wt% 以下的添加元素;(B) 在形成于所述第一层间绝缘膜上的第二层间绝缘膜内,形成连接孔,该连接孔使所述铜合金布线的上表面露出;(C) 在所述连接孔的底面以及侧面上形成含氮的第一势垒金属膜;(D) 在所述步骤 (C) 之后,在所述连接孔中填充导电体。因此,可制造如下的半导体装置:在铜合金布线与通道的连接部可抑制氮与添加元素的反应,即可抑制高电阻部的形成。

[0028] 此外,方案 26 的半导体装置的制造方法中,具有如下步骤:(A) 在第一层间绝缘膜内配置第一铜合金布线,该第一铜合金布线在作为主要成分的 Cu 中添加有 Al;(B) 在所述形成于所述第一层间绝缘膜上的第二层间绝缘膜内形成第二铜合金布线,该第二铜合金布线在作为主要成分的 Cu 中添加 Al,膜厚比所述第一铜合金布线厚,具有所述第一铜合金布线的所述 Al 的浓度以下的 Al 浓度。因此,能够提供一种具有电阻值比下层布线的电阻值小的上层布线的半导体装置。

[0029] 此外,方案 27 的半导体装置的制造方法中,具有如下步骤:(A) 在第一层间绝缘膜内设置铜合金布线,该铜合金布线在作为主要成分的 Cu 中添加有 Al;(B) 在形成于所述第一层间绝缘膜上的第二层间绝缘膜内形成铜布线,该铜布线膜厚比所述铜合金布线厚,并且只由 Cu 构成。因此,可提供一种具有电阻值比下层布线的电阻值小的上层布线的半导体装置。

[0030] 此外,方案 28 的半导体装置的制造方法中,具有如下步骤:(A) 在第一层间绝缘膜内形成第一双嵌入式结构,该第一双嵌入式结构由第一布线与第一通道构成,在作为主要成分的 Cu 中添加有 Al;(B) 在形成于所述第一层间绝缘膜上的第二层间绝缘膜内,形成第二双嵌入式结构,该第二双嵌入式结构由膜厚比所述第一布线厚的第二布线与第二通道构成,所述第一布线的上部和所述第二通道的下表面相连接,并且只由 Cu 构成。因此,可提供一种电阻值比下层的双嵌入式结构的电阻值小的上层双嵌入式结构的半导体装置。

附图说明

[0031] 图 1 是表示实施方式 1 的半导体装置的主要结构的放大剖面图。

[0032] 图 2 是说明实施方式 1 的半导体装置的制造方法用的步骤剖面图。

[0033] 图 3 是说明实施方式 1 的半导体装置的制造方法用的步骤剖面图。

[0034] 图 4 是说明实施方式 1 的半导体装置的制造方法用的步骤剖面图。

[0035] 图 5 是说明实施方式 1 的半导体装置的制造方法用的步骤剖面图。

[0036] 图 6 是说明实施方式 1 的半导体装置的制造方法用的步骤剖面图。

[0037] 图 7 是说明实施方式 1 的半导体装置的制造方法用的步骤剖面图。

[0038] 图 8 是说明实施方式 1 的半导体装置的制造方法用的步骤剖面图。

[0039] 图 9 是说明实施方式 1 的半导体装置的制造方法用的步骤剖面图。

[0040] 图 10 是说明实施方式 1 的半导体装置的制造方法用的步骤剖面图。

[0041] 图 11 是表示从上面观察制造过程中的半导体装置时的情况的平面图。

[0042] 图 12 是说明实施方式 1 的半导体装置的制造方法用的步骤剖面图。

- [0043] 图 13 是说明实施方式 1 的半导体装置的制造方法用的步骤剖面图。
- [0044] 图 14 是表示对添加元素的浓度与电阻的分散之间的关系进行测定后的试验结果的图。
- [0045] 图 15 是表示实施方式 3 的半导体装置的主要部分结构的放大剖面图。
- [0046] 图 16 是说明实施方式 3 的半导体装置的制造方法用的步骤剖面图。
- [0047] 图 17 是说明实施方式 3 的半导体装置的制造方法用的步骤剖面图。
- [0048] 图 18 是说明实施方式 3 的半导体装置的制造方法用的步骤剖面图。
- [0049] 图 19 是说明实施方式 3 的半导体装置的制造方法用的步骤剖面图。
- [0050] 图 20 是说明实施方式 3 的半导体装置的制造方法用的步骤剖面图。
- [0051] 图 21 是表示跨越下层 - 上层连续地包含实施方式 3 所示结构的情况的剖面图。
- [0052] 图 22 是说明实施方式 4 的半导体装置的制造方法用的步骤剖面图。
- [0053] 图 23 是说明实施方式 4 的半导体装置的制造方法用的步骤剖面图。
- [0054] 图 24 是说明实施方式 4 的半导体装置的制造方法用的步骤剖面图。
- [0055] 图 25 是说明实施方式 4 的半导体装置的制造方法用的步骤剖面图。
- [0056] 图 26 是说明实施方式 4 的半导体装置的制造方法用的步骤剖面图。
- [0057] 图 27 是表示跨越下层 - 上层连续地包含实施方式 4 所示结构的情况的剖面图。

具体实施方式

[0058] 发明者们实施了研究半导体装置的电特性的试验,该半导体装置在层间绝缘膜上形成铜合金布线和与该铜合金布线的上表面连接的通道,在该铜合金布线和该通道的连接面(也可理解为连接部)上形成含氮的势垒金属膜。此处,铜合金布线是在作为主要成分的 Cu 中添加了 Al 等添加元素而成的。

[0059] 该试验的结果是,可知该连接部的电阻的上升是由于以下的主要原因引起的。即,可知添加元素与氮反应形成的高电阻部是其主要原因。

[0060] 此外,试验的结果是,可知连接部的电阻分散依赖于该添加元素浓度。

[0061] 以下,基于表示本发明的实施方式的附图具体地对本发明进行说明。

[0062] 实施方式 1

[0063] 图 1 表示本实施方式的半导体装置的结构放大剖面图。如图 1 所示,该半导体装置具有层间绝缘膜 1、铜合金布线 3、通道 4、势垒金属膜 5 至 8。

[0064] 在图 1 中,在层间绝缘膜 1 的表面内配置了铜合金布线 3。此处,铜合金布线 3 主要成分是铜(Cu),该铜中含有预定的添加元素。该添加元素是通过与氮反应来形成绝缘膜(以下称为高电阻部)的元素。作为该预定的添加元素,例如可举出 Al、Si、Ge、Ga、Sn 等。此外,在由 ICP 发光分光分析法得到的测定结果的浓度值中,该预定的添加元素的浓度(含有率)为 0.04wt% 以下、0.01wt% 以上。

[0065] 此外,如图 1 所示,在层间绝缘膜 2 内形成通道 4。此处,通道 4 的底部与铜合金布线 3 的上表面电连接。

[0066] 此外,如图 1 所示,在铜合金布线 3 与层间绝缘膜 1 之间,形成第一势垒金属膜 5、第二势垒金属膜 6。此外,在通道 4 与层间绝缘膜 2 之间,形成第一势垒金属膜 7、第二势垒金属膜 8。

[0067] 第一势垒金属膜 5、7 由含氮的导电膜构成。此外，第二势垒金属膜 6、8 由不含氮的导电膜构成。

[0068] 此处，在层间绝缘膜 1 侧（即，与层间绝缘膜 1 接触）形成第一势垒金属膜 5，在层间绝缘膜 2 侧（即，与层间绝缘膜 2 接触）形成第一势垒金属膜 7。此外，在铜合金布线 3 侧（即，与铜合金布线 3 接触）形成第二势垒金属膜 6，在通道 4 侧（即，与通道 4 接触）形成第二势垒金属膜 8。并且，在铜合金布线 3 以及通道 4 之间的连接部上，形成第一势垒金属膜 7 以及第二势垒金属膜 8。

[0069] 并且，第一势垒金属膜 5、7 中所含的氮的原子浓度为 10% 以上、40% 以下。此外，第一势垒金属膜 5、7 的厚度（特别是铜合金布线 3 以及通道 4 侧面的第一势垒金属膜 5、7 的膜厚）为 1nm 以上、10nm 以下。

[0070] 由图 1 可知，在铜合金布线 3 的上表面与通道 4 底部的连接部上形成第一势垒金属膜 7。此处，在该连接部的整个面上，该第一势垒金属膜 7 与铜合金布线 3 接触。并且，如上所述，第一势垒金属膜 7 含氮。

[0071] 此外，如图 1 所示，着眼于铜合金布线 3 与通道 4 的连接部，在铜合金布线 3 的上表面的一部分上形成高电阻部 60。通过铜合金布线 3 包含的添加元素与第一势垒金属膜 7 包含的氮进行反应，由此，形成该高电阻部 60。

[0072] 此处，含氮的第一势垒金属膜 5、7、27、37 是与层间绝缘膜 1、2、26、36 粘接性较好的膜，例如，TaN、TiN、WN 等。

[0073] 此外，形成与铜合金布线 3、22、23（铜布线 40）以及通道 4、29（铜通道 39）粘接性较好的、不含氮的第二势垒金属膜 6、8、28、38 等。作为该第二势垒金属膜 6、8、28、38 等，可采用 Ta、Ti、W 等。

[0074] 此外，在铜合金布线 3 与通道 4 的连接部上，该第二势垒金属膜 8 与通道 4 接触。

[0075] 然后，对包含图 1 所示结构的半导体装置的制造方法进行说明。

[0076] 并且，在下述中，称为铜合金布线的情况下，各铜合金布线是与铜合金布线 3 相同的结构。此外，在称为第一势垒金属膜的情况下，各第一势垒金属膜是与第一势垒金属膜 5、7 相同的结构。此外，在称为第二势垒金属膜的情况下，各第二势垒金属膜是与第二势垒金属膜 6、8 相同的结构。

[0077] 首先，如图 2 所示，准备形成有包含栅电极 11 的晶体管的半导体衬底 10。此处，在半导体 10 的表面形成元件分离膜 12。

[0078] 此处，如图 2 所示，在半导体衬底 10 上形成氧化硅膜（绝缘膜）13。然后，如图 2 所示，在该氧化硅膜 13 的表面内形成接触电极 14。此处，该接触电极 14 与形成在半导体 10 表面内的活性区域（未图示）电连接。

[0079] 然后，如图 3 所示，在氧化硅膜 13 上以该顺序形成碳氮化硅膜 15 以及低介电常数的层间绝缘膜 1。然后，如图 4 所示，对碳氮化硅膜 15 以及层间绝缘膜 1 形成槽图形 16。此处，该槽图形 16 是通过使用光刻技术以及干法刻蚀处理形成的。

[0080] 然后，在槽图形 16 的底面和侧面、以及层间绝缘膜 1 上，形成第一势垒金属膜 5（图 5）。此处，第一势垒金属膜 5 是含氮的导电膜，例如，可采用氮化钽。

[0081] 此外，在该第一势垒金属膜 5 上，形成第二势垒金属膜 6（图 5）。此处，第二势垒金属膜 6 是不含氮的导电膜，例如采用钽。

[0082] 然后,如图 5 所示,在第二势垒金属膜 6 上形成铜合金 17,以填充槽图形 16。此处,铜合金 17 中含有通过与氮反应形成绝缘膜(高电阻部 60)的预定添加元素(本实施方式中是 Al)。因此,在此处的说明中,铜合金 17 是以铜为主要成分的 Cu-Al 合金。

[0083] 能够以如下的步骤执行 Cu-Al 合金的形成方法。

[0084] 首先,对到第二势垒金属膜 6 为止的形成结束后的半导体装置实施溅射处理。通过该溅射处理,在第二势垒金属膜 6 上形成作为籽晶膜的 Cu-Al 合金膜。此处,该 Cu-Al 合金膜所含的添加元素(Al)的浓度比目标浓度(这是最终形成的铜合金布线 3 所含的预定添加元素(Al)的浓度,是 0.04wt% 以下、0.01wt% 以上的浓度)高。

[0085] 然后,将该 Cu-Al 合金膜作为籽晶膜,实施电场电镀。通过该电场电镀,以填充槽图形 16 的方式形成铜。该电场电镀处理后,在 350°C 下对形成过程中的半导体装置实施退火处理。通过该退火处理,填充在槽图形 16 中的铜变为 Cu-Al 合金。此外,通过该退火处理,该 Cu-Al 合金中的添加元素(Al)的浓度与籽晶膜的添加元素(Al)的浓度相比被稀释,该添加元素浓度变为所述目标浓度。

[0086] 并且,形成 Cu-Al 合金 17 后,对该 Cu-Al 合金 17 以及第一、第二势垒金属膜 5、6 实施化学机械抛光(CMP)。由此,如图 6 所示,对槽图形 16 外(即,层间绝缘膜上)的 Cu-Al 合金 17、第二势垒金属膜 6 以及第一势垒金属膜 5 进行除去,在层间绝缘膜 1 的表面内配置铜合金布线 3。

[0087] 然后,如图 7 所示,以覆盖铜合金布线 3 的方式,在层间绝缘膜 1 上以该顺序形成碳氮化硅膜 18 以及低介电常数的层间绝缘膜 2。然后,如图 8 所示,对碳氮化硅膜 18 以及层间绝缘膜 2 形成连接孔 19 以及槽图形 20。此处,使用组合了光刻技术和干法刻蚀处理的公知的双嵌入式法形成该连接孔 19 以及槽图形 20。

[0088] 然后,在槽图形 20 的底面和侧面、连接孔 19 的底面和侧面、以及层间绝缘膜 2 上形成第一势垒金属膜 7(图 9)。此处,第一势垒金属膜 7 是含氮的导电膜,例如,可采用氮化钽。并且,由于该第一势垒金属膜 7 的形成,在与该第一势垒金属膜 7 接触的铜合金布线 3 的上表面上形成高电阻部 60。更具体地说,添加在铜合金布线 3 中的添加元素(Al)与第一势垒金属膜 7 所含的氮进行反应,由此,形成该高电阻部 60。

[0089] 此外,在该第一势垒金属膜 7 上形成第二势垒金属膜 8(图 9)。此处,第二势垒金属膜 8 是不含氮的导电膜,例如,可采用钽。

[0090] 然后,如图 9 所示,以填充连接孔 19 以及槽图形 20 的方式,在第二势垒金属膜 8 上形成 Cu-Al 合金等的铜合金 21。并且,与所述 Cu-Al 合金 17 的形成方法相同,在形成预定的籽晶膜后,实施电场电镀处理以及退火处理,由此,形成该铜合金 21。

[0091] 并且,在形成铜合金 21 后,对该铜合金 21 以及第一、第二势垒金属膜 7、8 实施化学机械抛光(CMP)处理。由此,如图 10 所示,对连接孔 19 以及槽图形 20 外(即,层间绝缘膜 2 上)的铜合金 21、第二势垒金属膜 8 以及第一势垒金属膜 7 进行除去,在层间绝缘膜 2 的表面内形成铜合金布线 22 以及通道 4(可理解为该通道 4 是 Cu-Al 合金等的铜合金)。

[0092] 并且,图 11 示出从上方观察图 10 所示的制造过程中的半导体装置的平面图。此处,以虚线图示存在于下层的铜合金布线 3。

[0093] 然后,以覆盖铜合金布线 22 的方式在层间绝缘膜 2 上以该顺序形成碳氮化硅膜 25 以及低介电常数的层间绝缘膜 26(图 12)。然后,对碳氮化硅膜 25 以及层间绝缘膜 26 形成

连接孔（未图示）以及槽图形（未图示）。此处，使用组合了光刻技术和干法刻蚀处理的公知的双嵌入式法形成该连接孔以及槽图形。

[0094] 然后，以使用图 9 说明的步骤，形成第一势垒金属膜 27、第二势垒金属膜 28 以及 Cu-Al 合金等的铜合金等。然后，对该铜合金以及第一、第二势垒金属膜 27、28 实施化学机械抛光（CMP）处理。由此，如图 12 所示，在层间绝缘膜 26 的表面内形成铜合金布线 30 以及通道 29（可理解为该通道 29 是 Cu-Al 合金等的铜合金）。

[0095] 此处，第一势垒金属膜 27 是含氮的导电膜，例如，可采用氮化钽。并且，由于形成该第一势垒金属膜 27，在与该第一势垒金属膜 27 接触的铜合金布线 22 的上表面上形成高电阻部 60。更具体地说，添加在铜合金布线 22 的添加元素与第一势垒金属膜 27 所含的氮反应，由此，形成该高电阻部 60。

[0096] 此外，第二势垒金属膜 28 是不含氮的导电膜，例如可采用钽。

[0097] 此外，以覆盖铜合金布线 30 的方式，在层间绝缘膜 26 上以该顺序形成碳氮化硅膜 35 以及含氟氧化硅膜 36（图 13）。然后，对碳氮化硅膜 35 以及含氟氧化硅膜 36 形成连接孔（未图示）以及槽图形（未图示）。此处，使用组合了光刻技术与干法刻蚀处理的公知的双嵌入式法形成该连接孔以及槽图形。

[0098] 然后，以使用图 9 所说明的步骤，形成第一势垒金属膜 37、第二势垒金属膜 38 以及纯铜。然后，对该纯铜以及第一、第二势垒金属膜 37、38 实施化学机械抛光（CMP）处理。由此，如图 13 所示，在层间绝缘膜 36 的表面内形成铜布线 40 以及铜通道 39。此处，铜布线 40 以及铜通道 39 不是由铜合金构成，而是由铜构成。

[0099] 此外，第一势垒金属膜 37 是含氮的导电膜，例如，可采用氮化钽。并且，由于形成该第一势垒金属膜 37，在与该第一势垒金属膜 37 接触的铜合金布线 30 的上表面上，形成高电阻部 60。更具体地说，铜合金布线 30 的添加元素与第一势垒金属膜 37 的氮进行反应，由此，形成该高电阻部 60。

[0100] 此外，第二势垒金属膜 38 是不含氮的导电膜，例如，可采用钽。

[0101] 然后，以覆盖铜布线 40 的方式，在层间绝缘膜 36 上，以该顺序形成碳氮化硅膜 45 以及氧化硅膜 46（图 13）。然后，对碳氮化硅膜 45 以及氧化硅膜 46 形成连接孔（未图示）。

[0102] 然后，填充铝，以填充该连接孔。并且，通过将形成在氧化硅膜 41 上的铝构图为预定的图形，由此，形成取出电极用的铝焊盘 47（图 13）。

[0103] 然后，以覆盖该铝焊盘 47 的方式，形成氮化硅膜 48 作为保护膜（图 13）。此处，氮化硅膜 48 具有预定开口部 49，铝焊盘 47 从该开口部 49 底部露出（图 13）。

[0104] 按照如下方式改变结构，在所述制造方法下制作出多个图 13 所示的半导体装置（即，包含图 1 的结构的半导体装置）。即，使铜合金布线的添加元素的浓度从 0 到 0.01wt% 变化。此外，使通道的通道直径从 100 到 140nm 变化。并且，以下，只将具有图 13 的结构、为了测定改变添加元素以及通道直径的多个半导体装置称为样品。

[0105] 并且，使用该各半导体装置对下层的铜合金布线与通道间的电特性、以及铜合金布线的 EM 耐性进行测定（即，对铜合金布线 3 的 EM 耐性以及该铜合金布线 3 与通道 4 之间的电阻特性进行测定）。

[0106] 图 14 为所述测定结果的一例（ICP 测定结果），是表示铜合金布线 3 所含的添加元素（Al）的浓度、铜合金布线 3 与通道 4 间的电阻分散之间的关系的测定结果。此处，图 14

的纵轴是铜布线 3 与通道 4 之间的电阻的分散(%),横轴是铜合金布线 3 所含的添加元素(A1) 的浓度(wt%)。

[0107] 此外,添加元素的浓度是使用 SIMS 分析测定的布线中心部的浓度。并且,将该添加元素的浓度换算为重量%。此外,根据测定值,使用(最大值-最小值)/(中间值的 2 倍)的式子导出铜合金布线 3 与通道 4 之间的电阻的分散。此处,“最大值”是包括在一个晶片上以相同条件形成的多个测定目标时的、该测定目标的各测定结果中的最大值。此外,“最小值”是该多个测定结果中的最小值。

[0108] 并且,通过 SIMS 测定与 ICP 发光分光分析法,对添加元素的浓度进行测定。以下,ICP 发光分光分析法表示铜合金布线 3 的平均添加元素浓度。

[0109] 在图 14 的测定结果的一例(ICP 测定结果)中可知,铜合金布线 3 的添加元素(A1) 的浓度越高,铜合金布线 3 与通道 4 之间的电阻的分散越上升。此外,图 14 未示出,但是,根据试验结果可知,铜金属布线 3 的添加元素(A1) 的浓度越高,铜金属布线 3 与通道 4 之间的电阻异常上升。

[0110] 该电阻以及该电阻的分散上升是因为,在铜合金布线 3 与通道 4 之间形成包含氮化铝的高电阻部 60。

[0111] 此外,根据所述试验结果可知,如果添加元素的浓度为 0.04wt%(ICP 发光分光分析法)以下,则铜合金布线 3 与通道 4 之间的电阻的分散为设计上可容许的 50%以下。即,因为添加元素的浓度为 0.04wt%以下,所以,可抑制高电阻部 60 的形成。

[0112] 因此,可抑制铜合金布线 3 与通道 4 之间的电阻的分散。此外,因为可抑制高电阻部 60 的形成,所以,能够抑制通道 4 与铜合金布线 3 之间的电阻的上升。

[0113] 并且,根据试验结果可知,不依赖于通道 4 的通道直径(更具体地说,稍稍依赖),如果添加元素的浓度为 0.04wt%(ICP 发光分光分析法)以下,则具有如上所述的效果。

[0114] 并且,可知如果添加元素的浓度为 0.03wt%(ICP 发光分光分析法)以下,则铜合金布线 3 与通道 4 之间的电阻的分散不依赖于通道 4 的通道直径(更具体地说,稍稍依赖),优选为 30%以下。

[0115] 并且,发明者们根据所述试验结果判明,若铜合金布线 3 包含的添加元素的浓度为 0.01wt%(ICP 发光分光分析法)以上,可得到较高的 EM 耐性。

[0116] 并且判明,若添加元素的浓度小于 0.01wt%(ICP 发光分光分析法),则该铜合金布线 3 的 EM 寿命与由铜构成的铜布线的 EM 寿命相比,几乎没有变化。

[0117] 例如,对于通道 4 的通道直径为 100nm 的样品进行 EM 试验的结果,若铜合金布线 3 所含的添加元素的浓度为 0.01wt%(ICP 发光分光分析法),则该铜合金布线 3 的 EM 寿命为由纯铜构成的铜布线的 EM 寿命的 2 倍以上。

[0118] 此外,例如,对于通道 4 的通道直径为 100nm 的样品进行 EM 试验的结果,若铜合金布线 3 所含的添加元素的浓度为 0.04wt%(ICP 发光分光分析法),则该铜合金布线 3 的 EM 寿命为由纯铜构成的铜布线的 EM 寿命的 10 倍以上。

[0119] 此外,例如,对于通道 4 的通道直径为 100nm 的样品进行 EM 试验的结果,若铜合金布线 3 所含的添加元素的浓度为 0.05wt%(ICP 发光分光分析法),则该铜合金布线 3 的 EM 寿命与由纯铜构成的铜布线的 EM 寿命大致相同。

[0120] 并且,在所述各个文献等中,公开了铜合金布线比纯铜布线的 EM 耐性优良,但是,

并没有言及最低限度所需的所述添加元素的浓度。

[0121] 并且,如上所述,添加元素为 Al。但是,在添加元素为 Si、Ge、Ga、Sn 等的情况下,能够得到与如上所述相同的效果(可抑制电阻的上升以及分散、提高 EM 耐性)。但是,若考虑铜合金布线 3 自身的电阻,电阻值不会进一步变小,Al 最合适。

[0122] 此外,提到使用 TaN 作为第一势垒金属膜 5 的情况。但是,在第一势垒金属膜 5 是 TaSiN、TiN、WN 等的情况下,也能够与如上所述相同的效果(抑制电阻的上升以及分散、提高 EM 耐性)。但是,在考虑到防止铜等的扩散的势垒性的情况下,TaN、TaSiN 最合适。

[0123] 此外,如图 13 所示,还具有配置在铜合金布线 3(可理解为第一铜合金布线)的更上层、与通道 4 的上表面电连接的铜合金布线 22(可理解为第二铜合金布线),铜合金布线 3、铜合金布线 22 以及通道 4 由相同的物质构成。

[0124] 通过采用该结构,由此,在电子流从铜合金布线 3 通过通道 4 流向铜合金布线 22 时,也能够提高该铜合金布线 22 的 EM 耐性。

[0125] 此外,第一势垒金属膜 5、7 所含的氮的原子浓度为 10%以上。因此,能够维持第一势垒金属膜 5、7 的势垒性。此外,第一势垒金属膜 5、7 所含的氮的原子浓度为 40%以下。因此,可防止第一势垒金属膜 5、7 的高电阻化。

[0126] 此外,第一势垒金属膜 5、7 的膜厚(特别是铜合金布线 3 以及 4 侧面的第一势垒金属膜 5、7 的膜厚)为 1nm 以上。因此,能够维持第一势垒金属膜 5、7 的势垒性。此外,第一势垒金属膜 5、7 的膜厚(特别是铜合金布线 3 以及 4 的侧面的第一势垒金属膜 5、7 的膜厚)为 10nm 以下。因此,能够抑制铜合金布线 3 以及通道 4 的铜合金体积减少引起的该铜合金布线 3 以及通道 4 的电阻值的上升。

[0127] 实施方式 2

[0128] 发明者们使用所述实施方式 1 记载的各样品,对铜合金布线的膜厚与 EM 耐性的关系进行研究。结果判明为,如以下详细所述,从 EM 寿命的观点看,越是膜厚较薄的铜合金布线电流密度越高,所以,使添加元素的浓度为高浓度可提高 EM 耐性。

[0129] 在所述各样品中(如实施方式 1 中所说明的那样,是具有图 13 所示结构的多个半导体装置,改变了添加元素浓度以及通道直径),对铜合金布线 3 与通道 4 的结构的 EM 耐性(EM 寿命)和铜合金布线 22 与通道 29 的结构的 EM 耐性(EM 寿命)进行研究、比较。

[0130] 此处,通道 4、29 的通道直径都为 100nm。此外,铜合金布线 3 的膜厚是铜合金布线 22 的膜厚的 60%(即,铜合金布线 3 的膜厚比铜合金布线 22 的膜厚薄)。此外,铜合金布线 3 的添加元素的浓度在 ICP 测定中是 0.03wt%或者 0.04wt%。此外,铜合金布线 22、30 的添加元素的浓度为 0.02wt%(ICP 测定)。

[0131] 该试验的结果是,铜合金布线 3 的添加元素的浓度为 0.03wt%时,铜合金布线 3 与通道 4 的结构的 EM 寿命为铜合金布线 22 与通道 29 的结构的 EM 寿命的 0.5 倍。

[0132] 此外,铜合金布线 3 的添加元素的浓度为 0.04wt%时,铜合金布线 3 与通道 4 的结构的 EM 寿命和铜合金布线 22 与通道 29 的结构的 EM 寿命大致相同。

[0133] 如上所述,为了弥补 EM 寿命随着铜合金布线的膜厚变薄而降低,需要使铜合金布线的添加元素的浓度为高浓度。并且,在相同的添加元素浓度中,铜合金布线的膜厚越薄 EM 寿命越短,这是因为,即使在铜合金布线与通道的连接部上也形成相同体积的孔隙,如果铜合金布线较薄,则容易导致该连接部的断线。

[0134] 此外,从以下所示的降低电阻值的观点看,可从如上所述结构所示那样理解(例如,着眼于图 13),优选铜合金布线 3(可理解为第一铜合金布线)、配置在该铜合金布线 3 更上方的铜合金布线 22(可理解为第二铜合金布线。此处,该第二铜合金布线的膜厚比第一铜合金布线的膜厚要厚)满足以下的关系。

[0135] 即,铜合金布线 22 的添加元素的浓度优选为铜合金布线 3 的添加元素的浓度以下。伴随该添加元素的控制,能够按照该控制对膜厚较厚的铜合金布线 22 的电阻值的上升进行抑制。并且,进一步优选为铜合金布线 22 不是由合金构成而是由纯铜构成。

[0136] 实施方式 3

[0137] 图 15 示出本实施方式的半导体装置的结构放大剖面图。比较图 1 与图 15 可知,本实施方式的半导体装置与实施方式 1 的半导体装置除了以下这点以外其他均相同。

[0138] 即,如图 15 所示,在本实施方式的半导体装置中,在铜合金布线 3 与通道 4 的连接部上,除去了第一势垒金属膜 7。因此,在该连接部,通道 4 只通过第二势垒金属膜 8 与铜合金布线 3 电连接。

[0139] 此处,如在实施方式 1 中所说明的那样,第一势垒金属膜 7 是含氮的导电膜。此外,第二势垒金属膜 8 是不含氮的导电膜。

[0140] 并且,从后述的制造步骤可知,在本实施方式的半导体装置中,在该连接部附近的铜合金布线 3 上形成高电阻部 60。此外,从后述的制造步骤可知,该连接部附近的铜合金布线 3 可部分凹陷。

[0141] 并且,由图 15 可知,在层间绝缘膜 2 与通道 4 之间形成第一势垒金属膜 7。因此,着眼于图 15 圆形标记的部分,该第一势垒金属膜 7 的端部与铜合金布线 3 的上表面连接。

[0142] 其他的结构与实施方式 1 的半导体装置的结构相同。因此,此处省略其他结构的说明。

[0143] 然后,对包含图 15 所示的结构(即,为如下结构:在铜合金布线 3 与通道 4 的连接部上不形成第一势垒金属膜 7,该铜合金布线 3 的上表面与形成在通道 4 侧面的第一势垒金属膜 7 的端部相连接,此外,在该连接部上,只形成第二势垒金属膜 8 的结构。)的半导体装置的制造方法进行说明。

[0144] 首先,实施在实施方式 1 中所说明的图 1 到图 8 的步骤。

[0145] 然后,在槽图形 20 的底面与侧面、连接孔 19 的底面与侧面以及层间绝缘膜 2 上形成第一势垒金属膜 7(图 16)。

[0146] 此处,第一势垒金属膜 7 是含氮的导电膜,例如,可采用氮化钽。并且,由于形成该第一势垒金属膜 7,在与该第一势垒金属膜 7 接触的铜合金布线 3 的上表面形成高电阻部 60。铜合金布线 3 中所添加的添加元素(A1)与第一势垒金属膜 7 所含的氮进行反应,由此,形成该高电阻部 60。

[0147] 然后,在进行了第一势垒金属膜 7 的形成的室内,实施使用了氩离子(Ar⁺)的溅射刻蚀处理。

[0148] 由此,如图 17 所示,对层间绝缘膜 2 上、槽图形 20 的底部上以及连接孔 19 底部上的第一势垒金属膜 7 进行除去。并且,通常,在图 16 的步骤中形成在相当于最表面的层间绝缘膜 2 上的第一势垒金属膜 7 与形成在槽图形 16 等内的第一势垒金属膜 7 相比,膜厚更厚。因此,层间绝缘膜 2 上的第一势垒金属膜 7 可稍有残留。

[0149] 因此,第一势垒金属膜 7 只残留在槽图形 20 的侧面部以及连接孔 19 的侧面部(图 17)。此外,如上所述,在层间绝缘膜 2 上也可残留第一势垒金属膜 7。

[0150] 在图 17 中,着眼于连接孔 19 下方存在的铜合金布线 3 的上表面。于是,该铜合金布线 3 的上表面与形成在该连接孔 19 侧面的第一势垒金属膜 7 的端部连接。作为该连接的部分以外的、形成有高电阻部 60 的该铜合金布线 3 的上表面从连接孔 19 的底部露出。

[0151] 并且,如图 17 所示,通过该溅射刻蚀处理,有时存在于连接孔 19 下方的铜合金布线 3 上表面的一部分以及存在于槽图形 20 下方的层间绝缘膜 2 的一部分被刻蚀。

[0152] 此外,通过该刻蚀处理,在除去第一势垒金属膜 7 时,在室内放出氮。因此,由于放出的氮的影响,在从连接孔 19 的底部露出的铜合金布线的上表面部分,稍稍进行高电阻部 60 的形成。

[0153] 并且,在除去了第一势垒金属膜 7 的一部分之后,如图 18 所示,在层间绝缘膜 2 上方、槽图形 20 的侧面部与底面部以及连接孔 19 的侧面部与底面部上形成第二势垒金属膜 8。

[0154] 因此,如图 18 可知,在槽图形 20 的底面部以及连接孔 19 的底面部上只形成第二势垒金属膜 8。另一方面,在层间绝缘膜 2 的上表面、槽图形 20 的侧面部以及连接孔 19 的侧面部上形成第一势垒金属膜 7 和第二势垒金属膜 8(并且,与层间绝缘膜 2 接触,形成第一势垒金属膜 7,在该第一势垒金属膜 7 上形成第二势垒金属膜 8)。

[0155] 此处,第二势垒金属膜 8 是不含氮的导电膜,例如,可以采用钼。

[0156] 然后,如图 19 所示,在第二势垒金属膜 8 上形成铜合金 21,以填充连接孔 19 以及槽图形 20。此处,该铜合金 21 与实施方式 1 相同,是含有 Al 作为预定的添加元素的 Cu-Al 合金。并且,如实施方式 1 中所说明的那样,形成预定的籽晶膜之后,实施电场电镀处理以及退火处理,由此,形成该铜合金 21。

[0157] 并且,形成铜合金 21 之后,对该铜合金 21、第二势垒金属膜 8 以及第一势垒金属膜 7 实施化学机械研磨(CMP)处理。由此,如图 20 所示,对连接孔 19 以及槽图形 20 外(即,层间绝缘膜 2 上)的铜合金 21、第二势垒金属膜 8 以及第一势垒金属膜 7 进行除去,在层间绝缘膜 2 的表面内形成铜合金布线 22 以及通道 4。并且,由如上所述步骤可知,通道 4 由 Cu-Al 合金等的铜合金构成。

[0158] 并且,从以后的步骤到形成铝焊盘 47 以及作为保护膜的氮化硅膜 48 的步骤,与使用图 12、13 所说明的步骤相同(参照实施方式 1 对应的部分)。因此,省略以后步骤的说明。

[0159] 发明者进行如下试验,对本实施方式的半导体装置的效果与实施方式 1 的半导体装置的效果进行比较。作为试验用的样品,准备如下的样品。

[0160] 准备铜合金布线 3 的添加元素浓度为 0.04wt%(ICP 测定)、铜合金布线 22 的添加元素浓度为 0.03wt%(ICP 测定)的、具有图 13 所示结构的半导体装置(实施方式 1 的半导体装置,以下称为样品 A)。并且,准备了铜合金布线 3 的添加元素浓度为 0.04wt%(ICP 测定)、铜合金布线 22 的添加元素浓度为 0.03wt%(ICP 测定)的、例如具有图 20 所示结构的半导体装置(本实施方式的半导体装置,以下称为样品 B)。

[0161] 试验的结果是,在样品 A 中,铜合金布线 3 与通道 4 的连接部的电阻的分散是 50%,而样品 B 能够降低到 40%。

[0162] 此外,样品 B 的铜合金布线 3 与通道 4 的连接部的平均电阻是样品 A 的连接部的平均电阻值的 60%。这是因为,在样品 A 的连接部形成第一势垒金属膜 7、第二势垒金属膜 8,而在样品 B 中只形成第二势垒金属膜 8。即,这是因为,对于样品 B 来说,势垒金属膜整体的膜厚较薄的缘故。

[0163] 在本实施方式的半导体装置中,由如上所述步骤可知,存在铜合金布线 3 的上表面与第一势垒金属膜 7 接触的机会。此外,在除去第一势垒金属膜 7 时,将该铜合金布线 3 的上表面暴露在含氮的气氛中。此外,在完成品中,虽然接触面积小,但是,第一势垒金属膜 7 的一部分与该铜合金布线 3 的上表面接触。但是,在本实施方式中,也将铜合金布线 3 的添加元素的浓度限定在实施方式 1 所述的范围内。

[0164] 因此,在本实施方式的半导体装置中,也与实施方式 1 相同,具有降低铜合金布线 3 与通道 4 的连接部的电阻以及抑制该电阻分散的效果。

[0165] 并且,由本实施方式记载的试验结果可知,通过采用本实施方式的半导体装置,由此,与实施方式 1 的半导体装置相比,可降低铜合金布线与通道的连接部的电阻以及抑制该电阻的分散。

[0166] 并且,在实施方式 1 的半导体装置中,铜合金布线 3 的上表面与第一势垒金属膜 7 的接触面积较大。但是,实施方式 1 的半导体装置与本实施方式相比较,没有除去第一势垒金属膜 7 的步骤,可谋求制造步骤的简化。

[0167] 另一方面,如上所述,本实施方式的半导体装置与实施方式 1 的半导体装置相比较,制造步骤稍稍增加。但是,与实施方式 1 的情况相比,可减小铜合金布线 3 的上表面与第一势垒金属膜 7 的接触面积(在本实施方式中,如上所述,是形成在层间绝缘膜 2 与通道 4 侧面之间的第一势垒金属膜 7 的端部稍稍与铜合金布线 3 的上表面接触的程度)。

[0168] 因此,因为能够抑制高电阻部 60 的形成,所以,可进一步降低铜合金布线 3 与通道 4 的连接部的电阻,并且,可进一步抑制该电阻的分散。

[0169] 此外,在图 15 的结构中,在由该 Cu-Al 合金形成籽晶膜后,实施电镀处理(也包括电镀处理后的热处理),由此,形成由铜合金(Cu-Al 合金)构成的通道 4。因此,通常存在外周部与通道 4 的内部相比 Al 的浓度高的倾向。

[0170] 如果第一势垒金属膜 7 以及第二势垒金属膜 8 没有一起形成在铜合金布线 3 与铜合金(Cu-Al 合金)构成的通道 4 的连接部上,则第一势垒金属膜 7 含有的氮与通道 4 外周部附近含有的 Al 容易引起反应。即,促进高电阻部 60 的形成。

[0171] 但是,如图 15 所示,在本实施方式中,不在铜合金布线 3 与铜合金(Cu-Al 合金)构成的通道 4 的连接部上形成第一势垒金属膜 7。此外,在所述铜合金布线 3 与所述通道 4 的连接部上形成第二势垒金属膜 8(并且,将在该连接部上除去第一势垒金属膜 7 的结构称为击穿)。

[0172] 因此,第二势垒金属膜 8 起到势垒作用,能够抑制第一势垒金属膜 7 含有的氮与通道 4 的外周部附近含有的 Al 的反应。因此,采用本实施方式的半导体装置,由此,可进一步抑制铜合金布线 3 与通道 4 的连接部的高电阻部 60 的形成。

[0173] 并且,如图 21 所示,所述击穿结构可以由上层的通道与下层的通道连续形成。

[0174] 对图 21 所示的结构进行说明,在层间绝缘膜 80 内形成第一通道 81、第一铜合金布线 82、第二通道 83 以及第二铜合金布线 84。

[0175] 此处,第一通道 81、第一铜合金布线 82、以及第二铜合金布线 84 在作为主要成分的铜 (Cu) 中添加了 Al。此外,第一铜合金布线 82 与第一通道 83 的底部电连接。此外,第二铜合金布线 84 与第二通道 83 的底部电连接。

[0176] 此外,如图 21 所示,在层间绝缘膜 80、与第一通道 81 的侧面以及第二通道 83 的侧面之间形成含氮的第一势垒金属膜 85。此外,在层间绝缘膜 80 与第一铜合金布线 82、84 之间也形成第一势垒金属膜 85。

[0177] 此处,第一势垒金属膜 85 与层间绝缘膜 80 接触,不在第一铜合金布线 82 与第一通道 81 的连接部上形成,并且不在第二铜合金布线 84 与第二通道 83 的连接部上形成。

[0178] 此外,在层间绝缘膜 80 与、第一通道 81 的侧面以及第二通道 83 的侧面之间形成不含氮的第二势垒金属膜 86。此外,在层间绝缘膜 80 与第一铜合金布线 82、84 之间也形成第二势垒金属膜 86。

[0179] 此处,第二势垒金属膜 86 与第一通道 81 以及第二通道 83 接触,形成在第一铜合金布线 82 与第一通道 81 的连接部上,也形成在第二铜合金布线 84 与第二通道 83 的连接部上。

[0180] 在该击穿结构连续的情况下,当然具有本实施方式记载的效果。

[0181] 实施方式 4

[0182] 然后,对含有图 15 所示的结构(即,如下结构:在铜合金布线 3 与通道 4 的连接部上不形成第一势垒金属膜 7,该铜合金布线 3 的上表面与形成在通道 4 侧面上的第一势垒金属膜 7 的端部连接,此外,在该连接部上只形成第二势垒金属膜 8。)的半导体装置的其他制造方法进行说明。

[0183] 首先,进行实施方式 1 中所说明的图 1 到图 8 的步骤。

[0184] 然后,在槽图形 20 的底面与侧面、连接孔 19 的底面与侧面以及层间绝缘膜 2 上形成第一势垒金属膜 7(图 22)。

[0185] 此处,第一势垒金属膜 7 是含氮的导电膜,例如,可采用氮化钽。并且,由于形成该第一势垒金属膜 7,在与该第一势垒金属膜 7 接触的铜合金布线 3 的上表面上形成高电阻部 60。铜合金布线 3 中添加的添加元素 (Al) 与第一势垒金属膜 7 中包含的氮进行反应,由此,形成该高电阻部 60。

[0186] 然后,在该第一势垒金属膜 7 上形成第二势垒金属膜 8(图 22)。此处,第二势垒金属膜 8 是不含氮的导电膜,例如可采用钽。

[0187] 然后,在进行了势垒金属膜 7、8 的形成的室内,实施使用了氩离子 (Ar^+) 的溅射刻蚀处理(图 23)。

[0188] 由此,如图 23 所示,除去槽图形 20 的底部上以及连接孔 19 的底部上的势垒金属膜 7、8。并且,通常,在图 22 的步骤中,形成在相当于最表面的层间绝缘膜 2 上的势垒金属膜 7、8 与形成在槽图形 20 或者连接孔 19 内的势垒金属膜 7、8 相比,膜厚较厚。因此,层间绝缘膜 2 上的第一势垒金属膜 7 能够残留。

[0189] 因此,势垒金属膜 7、8 只残留在槽图形 20 的侧面部以及连接孔 19 的侧面部(图 23)。此外,如上所述,在层间绝缘膜 2 上能够残留第一势垒金属膜 7。

[0190] 在图 23 中,着眼于铜合金布线 3 的上表面。该铜合金布线 3 的上表面与形成在该连接孔 19 侧面的第一势垒金属膜 7 的端部连接。此外,该铜合金布线 3 的上表面的一部分

从连接孔 19 的底部露出。

[0191] 并且,通过该溅射刻蚀处理,如图 23 所示,有时存在于连接孔 19 下方的铜合金布线 3 的上表面的一部分以及存在于槽图形 20 的下方的层间绝缘膜 2 的一部分也被刻蚀。

[0192] 并且,在第一势垒金属膜 7 被第二势垒金属膜 8 覆盖的状态下,实施所述溅射刻蚀处理。因此,能够抑制在室内放出的氮的量。因此,能够抑制从连接孔 19 的底部露出的铜合金布线 3 的部分的高电阻部 60 的形成。

[0193] 并且,在所述溅射刻蚀处理之后,如图 24 所示,在势垒金属膜 7、8 以及连接孔 19 的底部形成第三势垒金属膜 50。此处,该第三势垒金属膜 50 是不含氮的导电膜,例如,可以采用钼。

[0194] 然后,如图 25 所示,在第三势垒金属膜 50 上形成铜合金 21,以填充连接孔 19 以及槽图形 20。此处,该铜合金 21 可采用在作为主要成分的铜 (Cu) 中包含作为预定添加元素的 Al 的 Cu-Al 合金等。并且,在形成预定的籽晶膜后,实施电场电镀处理以及退火处理,由此,形成该铜合金 21。

[0195] 并且,形成铜合金 21 后,对该铜合金 21 以及势垒金属膜 7、50 实施化学机械研磨 (CMP) 处理。由此,如图 26 所示,除去连接孔 19 以及槽图形 20 外 (即,层间绝缘膜 2 上) 的铜合金 21、以及势垒金属膜 7、50,在层间绝缘膜 2 的表面内形成铜合金布线 22 以及通道 4。由所述结构可知,通道 4 由 Cu-Al 合金等的铜合金构成。

[0196] 并且,从以后的步骤到形成铝焊盘 47 以及作为保护膜的氮化硅膜 48 的步骤,与使用图 12、13 所说明的步骤相同 (参照对应于实施方式 1 的部分)。因此,省略以后的步骤。

[0197] 发明者们对本实施方式的半导体装置的效果与实施方式 1 的半导体装置的效果进行了比较试验。作为试验用的样品,准备了如下的样品。

[0198] 准备铜合金布线 3 的添加元素浓度为 0.04wt% (ICP 测定)、铜合金布线 22 的添加元素浓度为 0.03% (ICP 测定) 的、图 13 所示结构的半导体装置 (实施方式 1 的半导体装置,以下称为样品 A)。并且,准备铜合金布线 3 的添加元素浓度为 0.04wt% (ICP 测定)、铜合金布线 22 的添加元素浓度为 0.03% (ICP 测定) 的、例如具有图 26 所示结构的半导体装置 (本实施方式的半导体装置,以下称为样品 C)。

[0199] 试验的结果是,在样品 A 中,铜合金布线 3 与通道 4 的连接部的电阻的分散为 50%,与此相对,在样品 C 中,可降低到 20%。

[0200] 样品 C 的该电阻的分散抑制效果比所述样品 B 优良。如上所述,在第一势垒金属膜 7 被第二势垒金属膜 8 覆盖的状态下,实施所述溅射处理 (图 23)。因此,能够抑制室内放出的氮的量。因此,能够抑制从连接孔 19 的底部露出的铜合金布线 3 的部分的高电阻部 60 的形成。

[0201] 此外,样品 C 的铜合金布线 3 与通道 4 的连接部的平均电阻是样品 A 的 60%。这是因为,在样品 A 的连接部上形成第一势垒金属膜 7、第二势垒金属膜 8,而在样品 C 中,只形成第二势垒金属膜 50。即,这是因为,对于样品 C 来说,势垒金属膜整体的膜厚较厚。

[0202] 如上所述,采用本实施方式的半导体装置,由此,与实施方式 1 的半导体装置相比,能够降低铜合金布线与通道的连接部的电阻以及抑制该电阻的分散。

[0203] 此外,在本实施方式的半导体装置中,形成第三势垒金属膜 50。因此,可防止铜等从铜合金布线 22 的底部向层间绝缘膜 2 的扩散。

[0204] 在本实施方式的半导体装置中,由如上所述的步骤可知,存在铜合金布线 3 的上表面与第一势垒金属膜 7 接触的机会。此外,在完成品中,虽然接触面积小,但是,第一势垒金属膜 7 的一部分(即,形成在层间绝缘膜 2 与通道 4 之间的、势垒金属膜 7 的端部)与该铜合金布线 3 的上表面接触。但是,在本实施方式中,也将铜合金布线 3 的添加元素的浓度限定在实施方式 1 所示的范围。

[0205] 因此,在本实施方式的半导体装置中,也与实施方式 1 相同,具有降低铜合金布线 3 与通道 4 的连接部的电阻以及抑制该电阻的分散的效果。

[0206] 并且,从本实施方式记载的试验结果可知,通过采用本实施方式的半导体装置,由此,与实施方式 1 的半导体装置相比,能够降低铜合金布线与通道的连接部的电阻以及抑制该电阻的分散。

[0207] 并且,在实施方式 3 的半导体装置中,不需要第三势垒金属膜 50,与本实施方式的情况相比,步骤数较少。但是,在除去第一势垒金属膜 7 时,将铜合金布线 3 的上表面暴露在含氮的气氛中,容易引起高电阻部 60 的形成。

[0208] 另一方面,如上所述,本实施方式的半导体装置形成第三势垒金属膜 50,所以,制造步骤稍稍增加。但是,如上所述,在进行所述溅射刻蚀处理(图 23)时,能够抑制在室内放出的氮的量。

[0209] 因此,能够抑制从连接孔 19 的底部露出的铜合金布线 3 的部分的、高电阻部 60 的形成。因此,能够进一步降低铜合金布线 3 与通道 4 的连接部的电阻,并且,能够进一步抑制该电阻的分散。

[0210] 并且,在本实施方式中,在铜合金本布线 3 与由铜合金(Cu-Al 合金)构成的通道 4 的连接部上不形成第一势垒金属膜 7。此外,在所述铜合金布线 3 与所述通道 4 的连接部上形成第二势垒金属膜 8(并且,将在该连接部上除去第一势垒金属膜 7 的结构称为击穿结构)。

[0211] 因此,第二势垒金属膜 8 起到势垒的作用,能够抑制第一势垒金属膜 7 含有的氮与通道 4 的外周部附近含有的 Al 的反应。因此,通过采用本实施方式的半导体装置,能够进一步抑制铜合金布线 3 与通道 4 的连接部的高电阻部 60 的形成。

[0212] 并且,如实施方式 3 中所说明的那样,本实施方式的所述击穿结构可以以上层的通道与下层的通道连续地形成(图 27)。

[0213] 对图 27 所述的结构进行说明,在层间绝缘膜 80 内形成第一通道 81、第一铜合金布线 82、第二通道 83 以及第二铜合金布线 84。

[0214] 此处,第一通道 81、第一铜合金布线 82、第二通道 83 以及第二铜合金布线 84 在作为主要成分的铜(Cu)中添加了 Al。此外,第一铜合金布线 82 与第一通道 81 的底部电连接。此外,第二通道 83 与第一铜合金布线 82 的底部电连接。此外,第二铜合金布线 84 与第二通道 83 的底部电连接。

[0215] 此外,如图 27 所示,在第一通道 81 以及第二通道 83 的侧面,从层间绝缘膜 80 朝向通道内部,以该顺序层叠第一势垒金属膜 85、第二势垒金属膜 86 以及第三势垒金属膜 50。此处,第一势垒金属膜 85 是含氮的势垒金属膜。此外,第二势垒金属膜 86 以及第三势垒金属膜 50 是不含氮的势垒金属膜。

[0216] 此外,如图 27 所示,在第一铜合金布线 82 的侧面,从层间绝缘膜 80 朝向布线内

部,以该顺序层叠第一势垒金属膜 85、第二势垒金属膜 86 以及第三势垒金属膜 50。此外,第一铜合金布线 82 的底部只形成第三势垒金属膜 50。

[0217] 此外,如图 27 所示,在第一通道 81 与第一铜合金布线 82 的连接部只形成第三势垒金属膜 50。此外,在第二通道 83 与第二铜合金布线 84 的连接部,只形成第三势垒金属膜 60。即,在各通道 81、83 与各铜合金布线 82、84 的连接部上不形成含氮的第一势垒金属膜 85。

[0218] 在该击穿结构连续的情况下,当然也具有本实施方式记载的效果。

[0219] 此外,在本发明的半导体装置中(例如,着眼于图 13),层间绝缘膜 1、2、26、36 可以是 SiOC 膜,也可以是 FSG(SiOF) 膜等相对介电常数不同的膜。使用这些膜作为层间绝缘膜 1、2、26、36,由此,可谋求降低寄生电容。并且, SiOC 膜与 FSG 膜相比,可谋求降低寄生电容。

[0220] 此外,着眼于本发明的半导体装置的结构(例如着眼于图 13),含有第一双嵌入式结构和第二双嵌入式结构。

[0221] 此处,第一双嵌入式结构配置在层间绝缘膜 26 内,由膜厚比铜布线 40 薄的铜合金布线 30(可理解为第一布线)和由铜合金构成的通道 29(可理解为第一通道)构成。此外,在第一双嵌入式结构中,铜通道 39 的底部与铜合金布线 30 的上表面连接。此处,第一双嵌入式结构是在作为主要成分的 Cu 中添加 Al 而成的。

[0222] 此外,第二嵌入式结构配置在层间绝缘膜 36 内,由膜厚比铜合金布线 30 厚的铜布线 40(可理解为第二布线)与铜通道 39(可理解为第二通道)构成,由纯铜构成。

[0223] 具有该第一双嵌入式结构和第二嵌入式结构,由此,具有该结构的半导体装置能够将第二嵌入式结构的电阻值降低的得比第一嵌入式结构的电阻值低。由此,与存在于更下层的铜合金布线 30 相比,可跨过长距离配置膜厚更厚的铜布线 40,并且,该铜布线 40 配置在更上层。

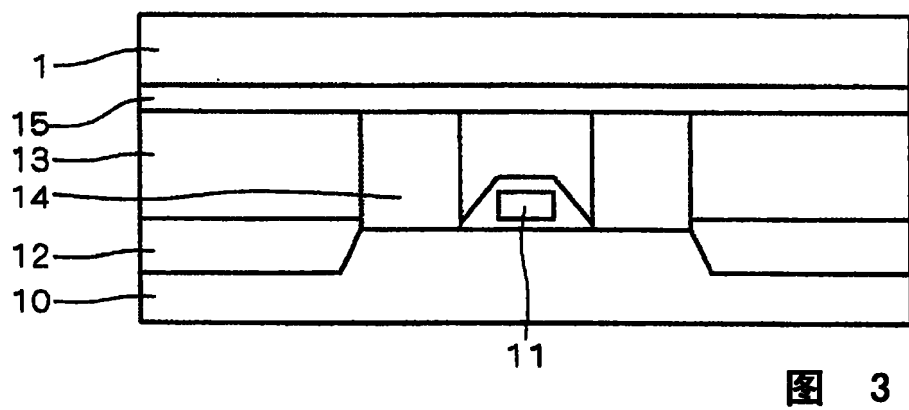
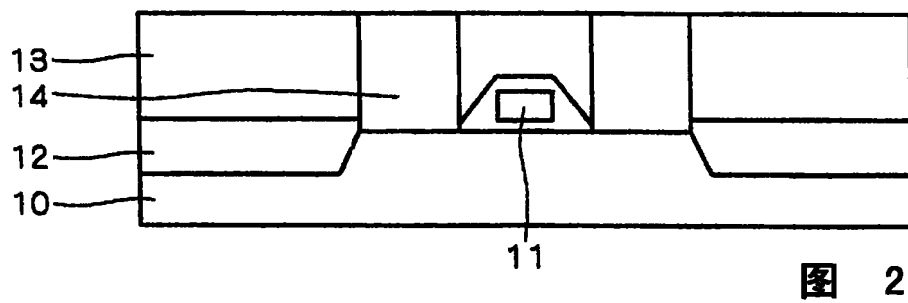
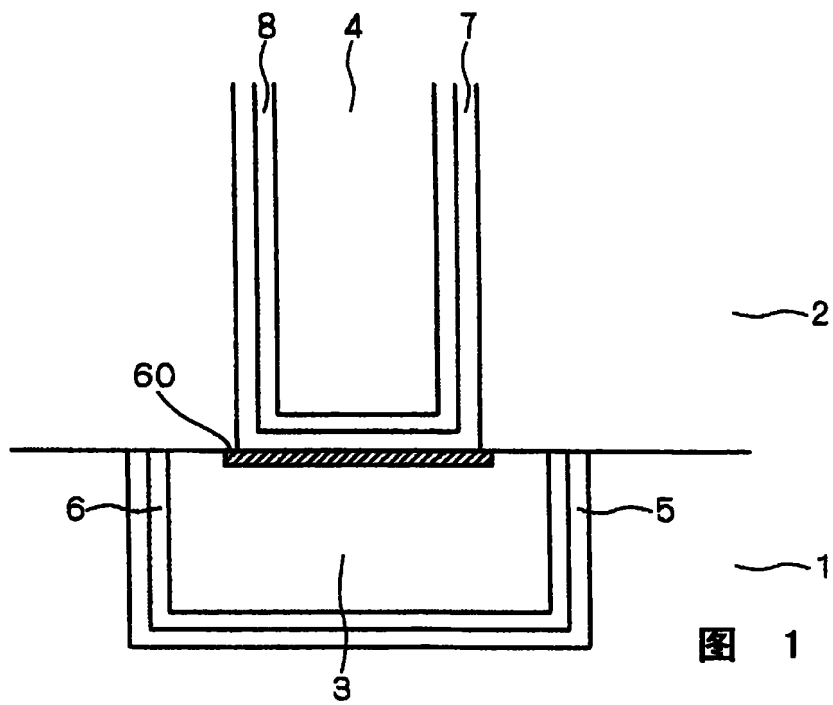
[0224] 并且,在所述第一、第二双嵌入式结构中,使存在于更上层的铜通道 39 的直径比存在于更下层的铜通道 29 的直径大。由此,能够进一步使第二双嵌入式结构的电阻比第一双嵌入式结构的电阻小。

[0225] 此外,在所述第一、第二双嵌入式结构中,在铜通道 39 的底部与铜合金布线 30 的上表面之间的连接部上,例如,如图 13 所示,至少形成含氮的第一势垒金属膜 37。因此,在该连接部上,在铜合金布线 30 的上表面上形成高电阻部 60。

[0226] 但是,铜合金布线 39 所含的 Al 的浓度为 0.04wt%(ICP 发光分光分析法)以下,所以,能够抑制高电阻部 60 的形成。此外,该 Al 的浓度为 0.01wt%(ICP 发光分光分析法)以上,所以,能够提高铜合金布线 39 的 EM 耐性。

[0227] 此外,在所述第一、第二双嵌入式结构中,(例如,着眼于图 13)在第二嵌入式结构与层间绝缘膜 36 之间,以与层间绝缘膜 36 接触的方式形成含氮的第一势垒金属膜 37。此外,在第二势垒金属膜与层间绝缘膜 36 之间,以与铜布线 40 以及铜通道 39 接触的方式,形成不含氮的第二势垒金属膜 38。

[0228] 对于该结构来说,依赖于如下理由:含氮的第一势垒金属膜 37 与第二势垒金属膜 38 比较,与层间绝缘膜 36 的粘结性良好,不含氮的第二势垒金属膜 38 与第一势垒金属膜 37 相比,与铜(Cu)的粘结性良好。



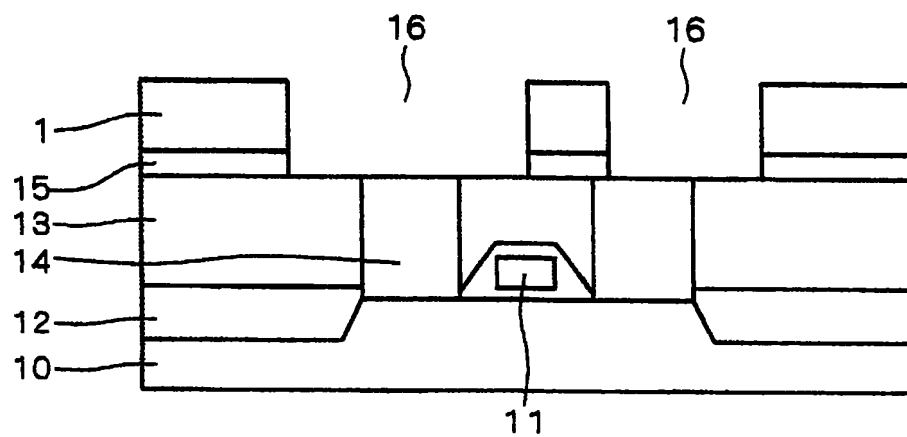


图 4

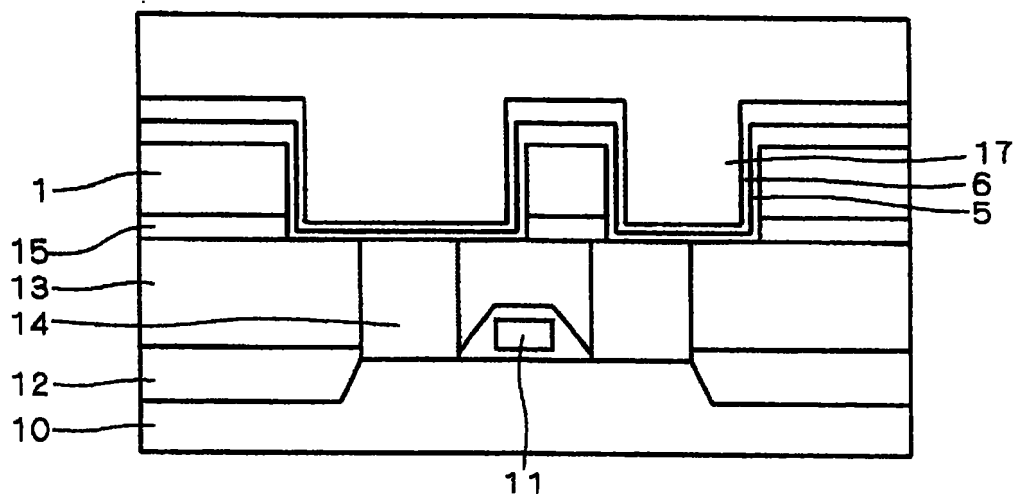


图 5

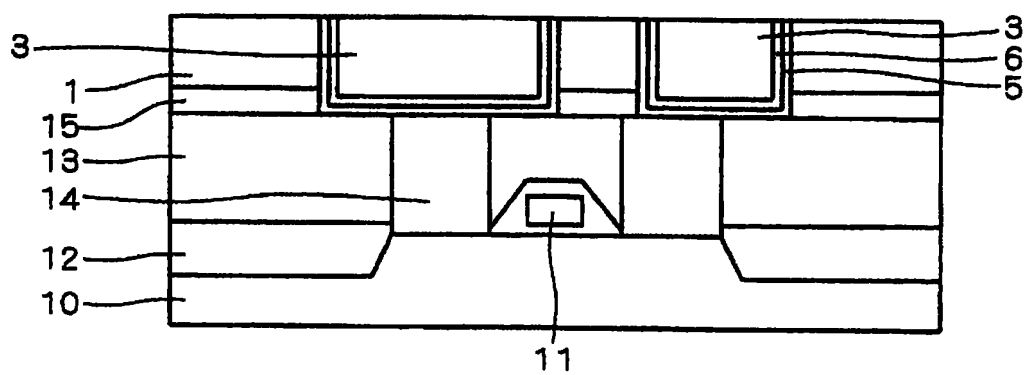


图 6

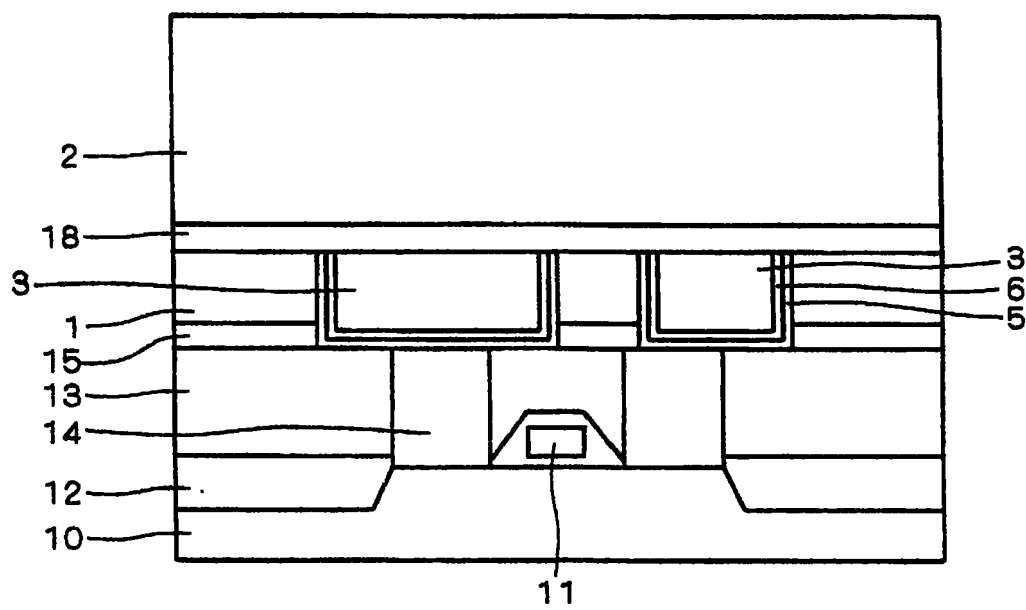


图 7

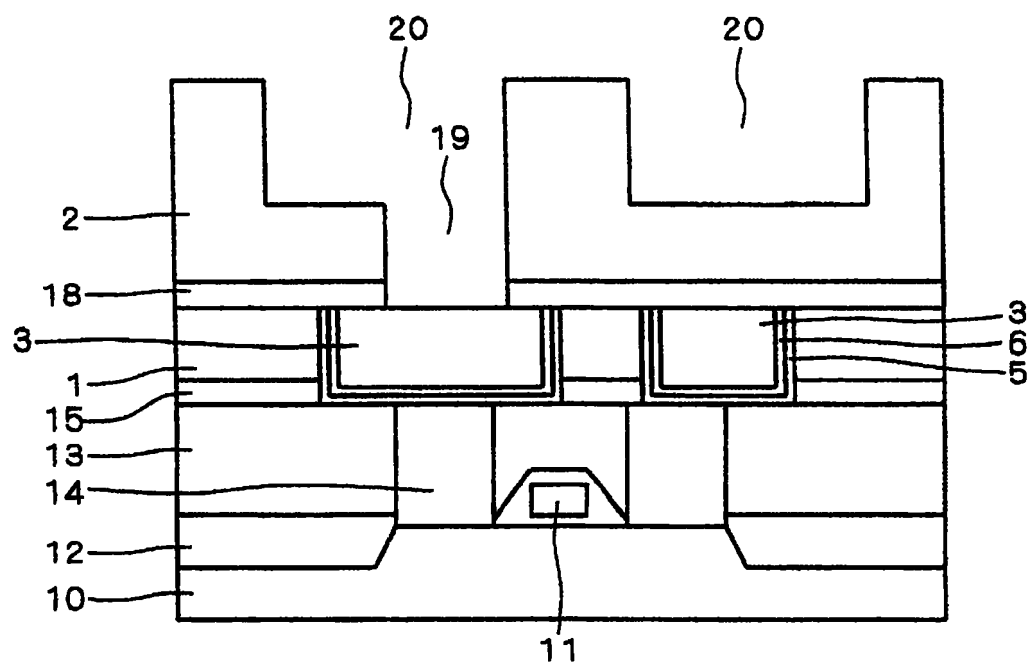


图 8

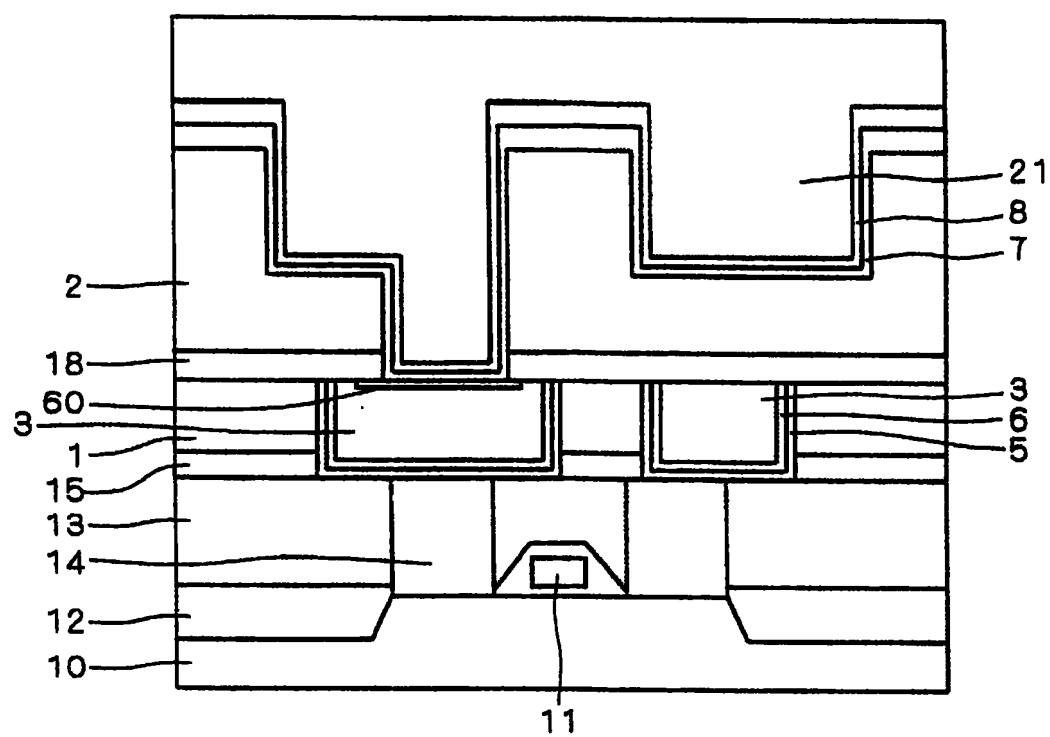


图 9

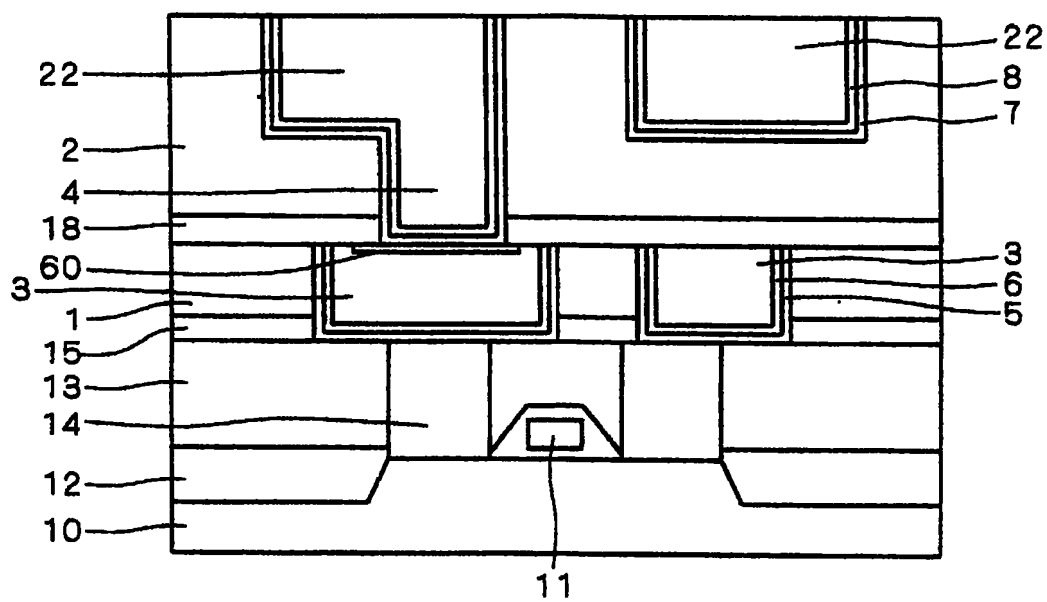
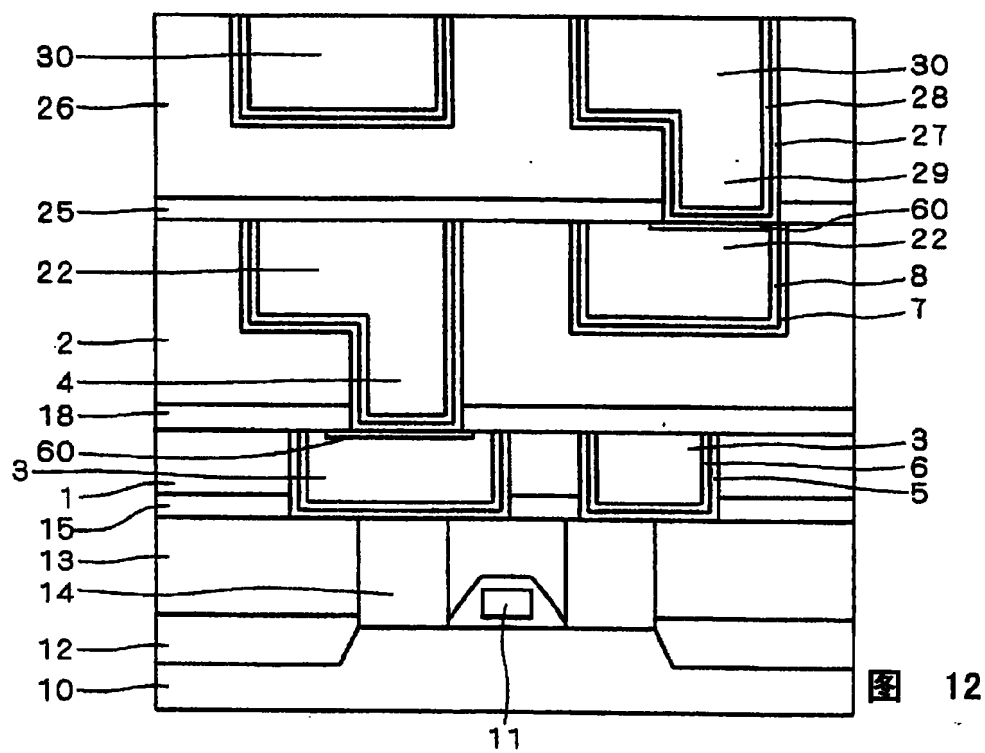
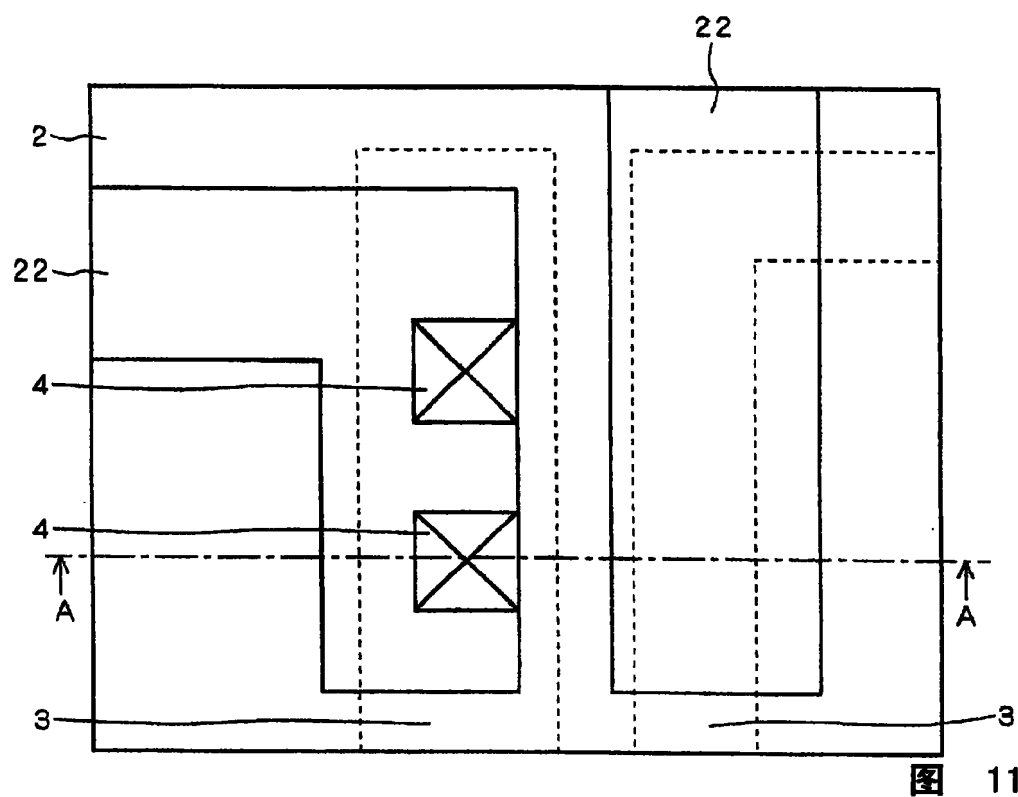


图 10



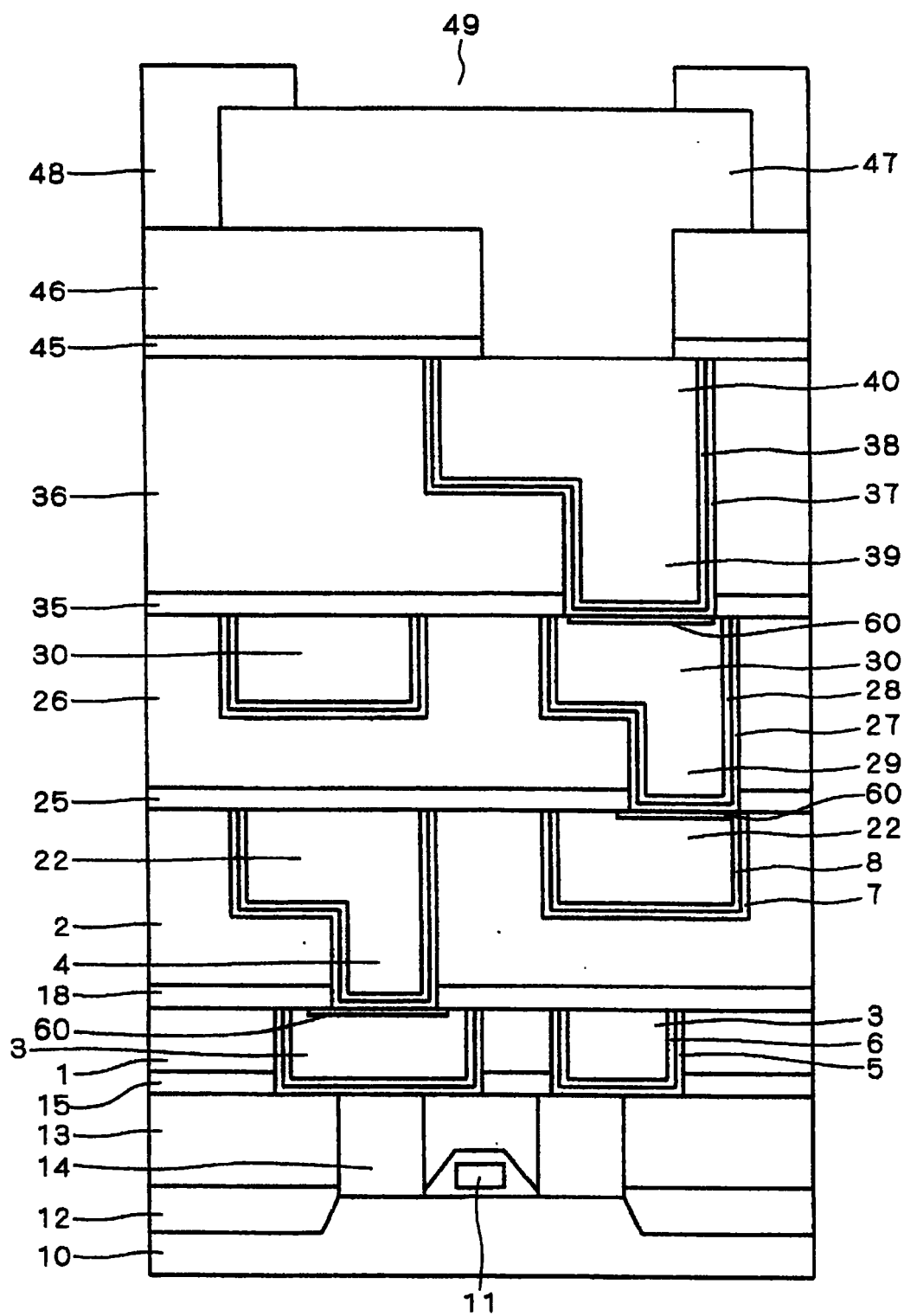


图 13

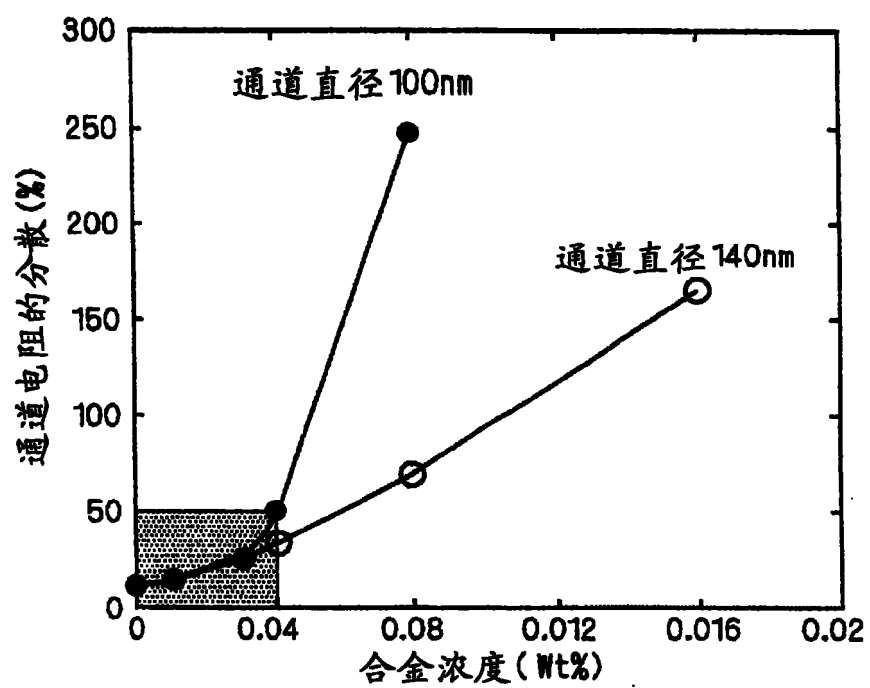


图 14

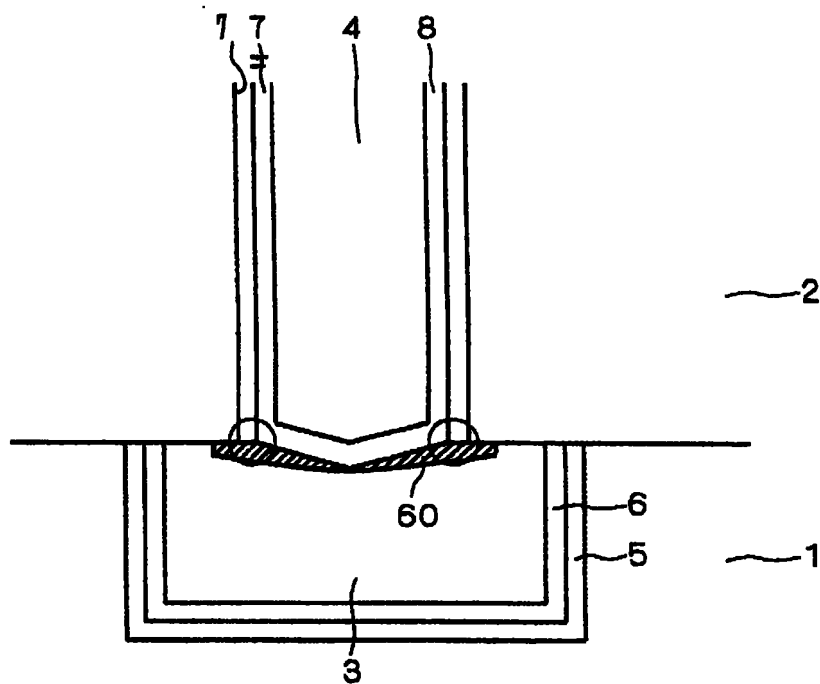


图 15

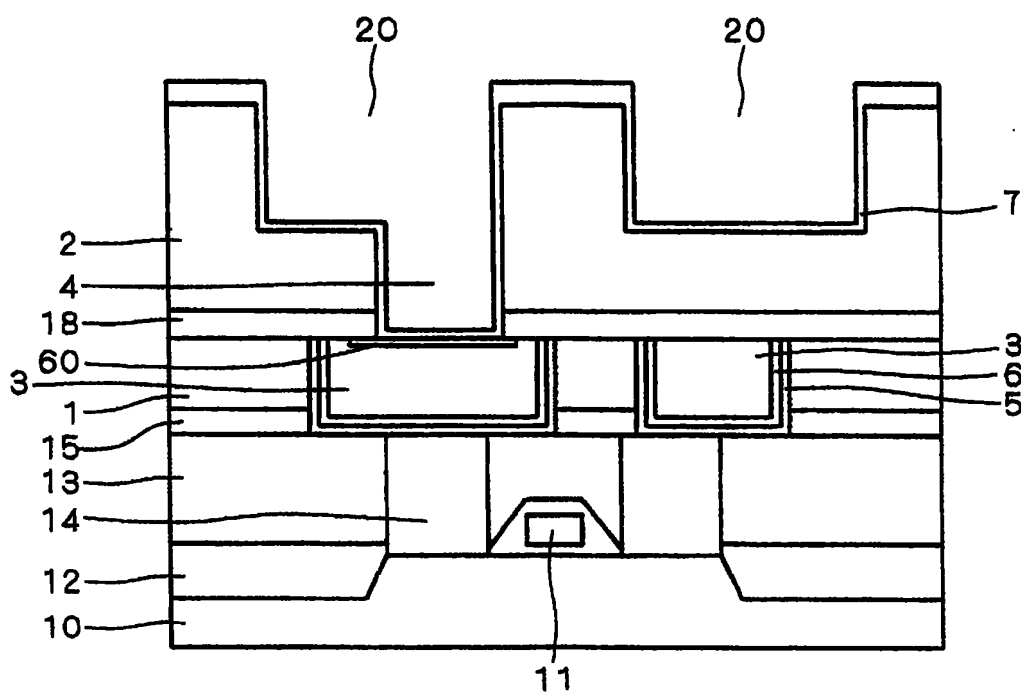


图 16

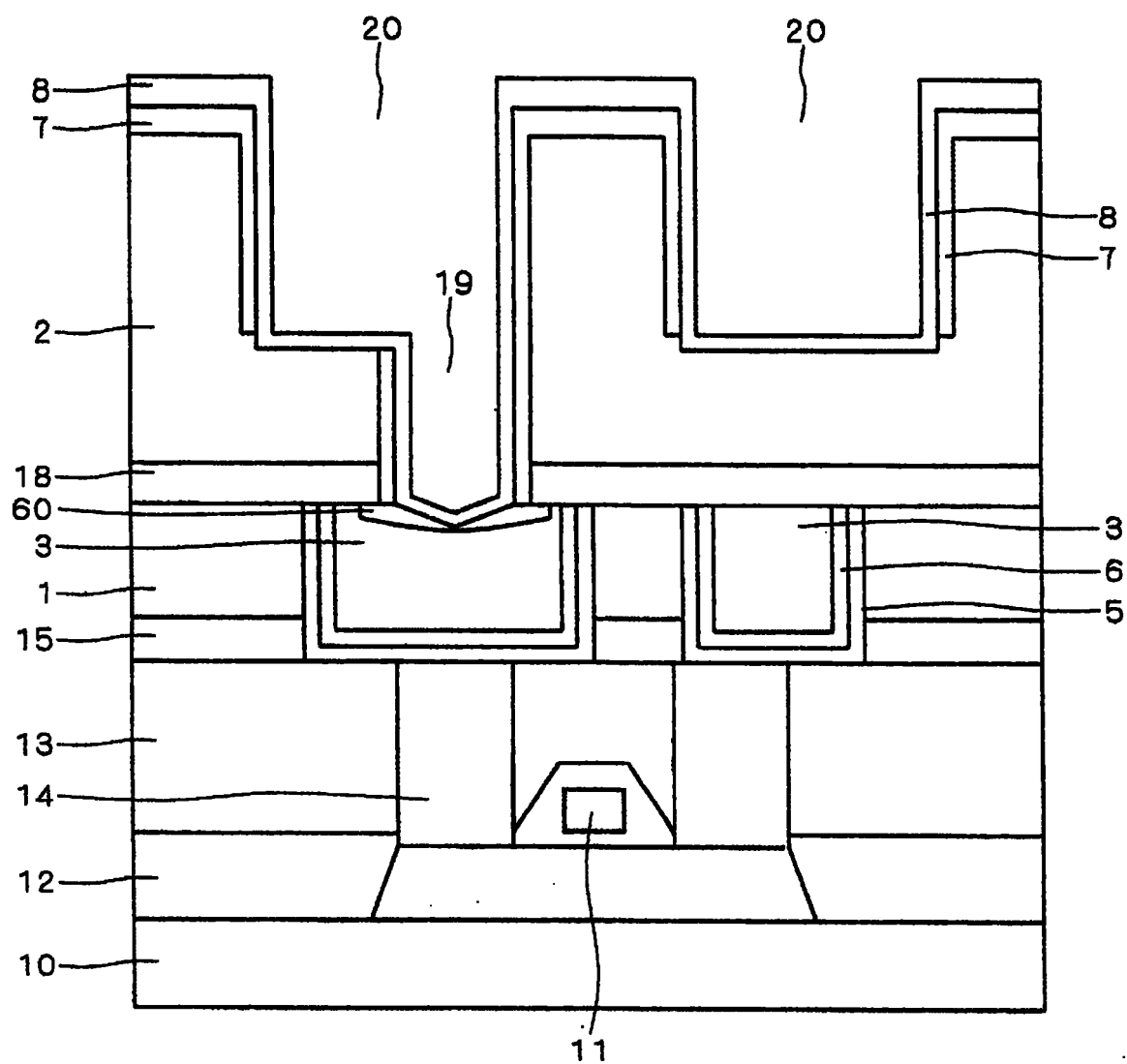


图 18

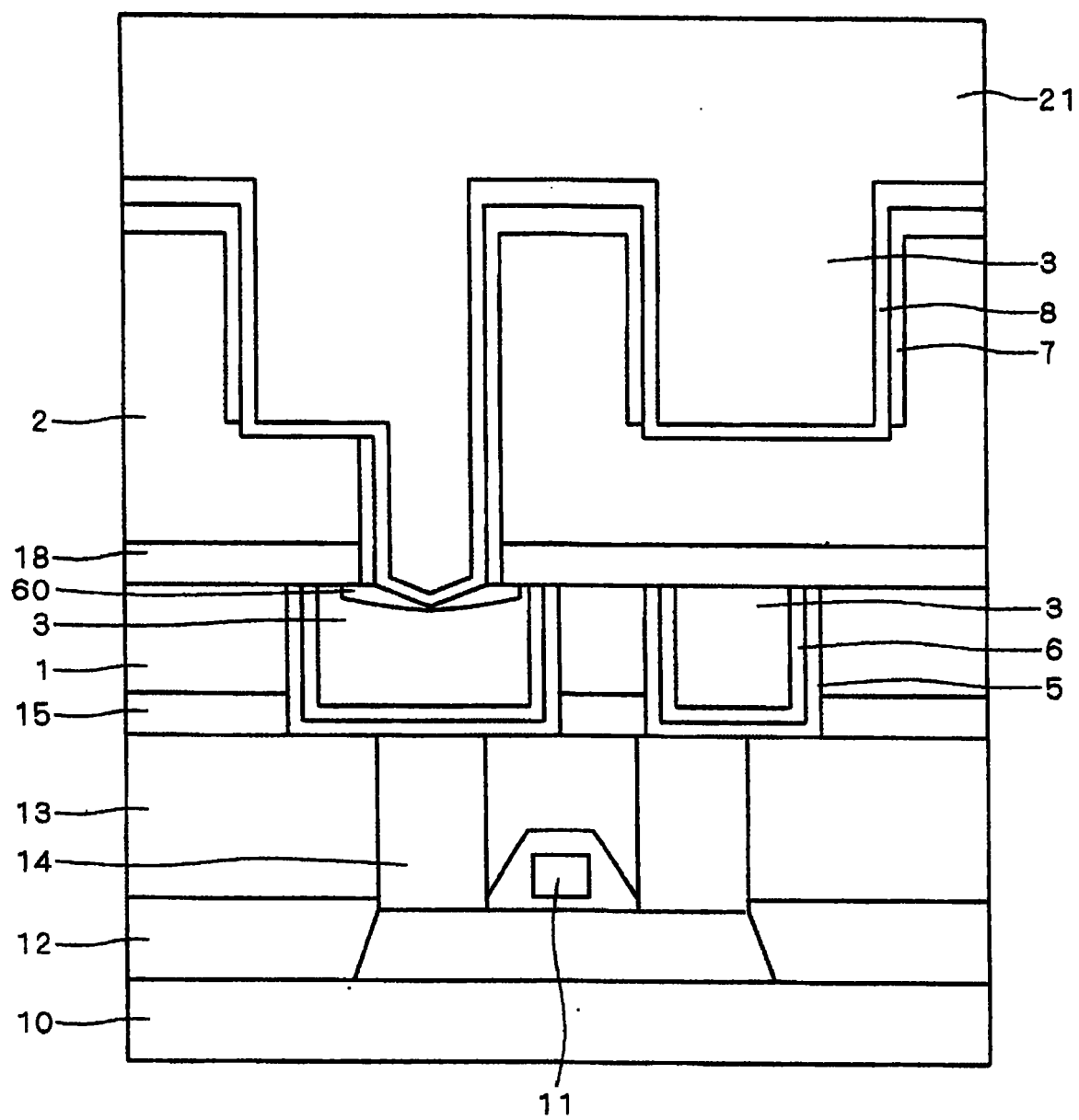


图 19

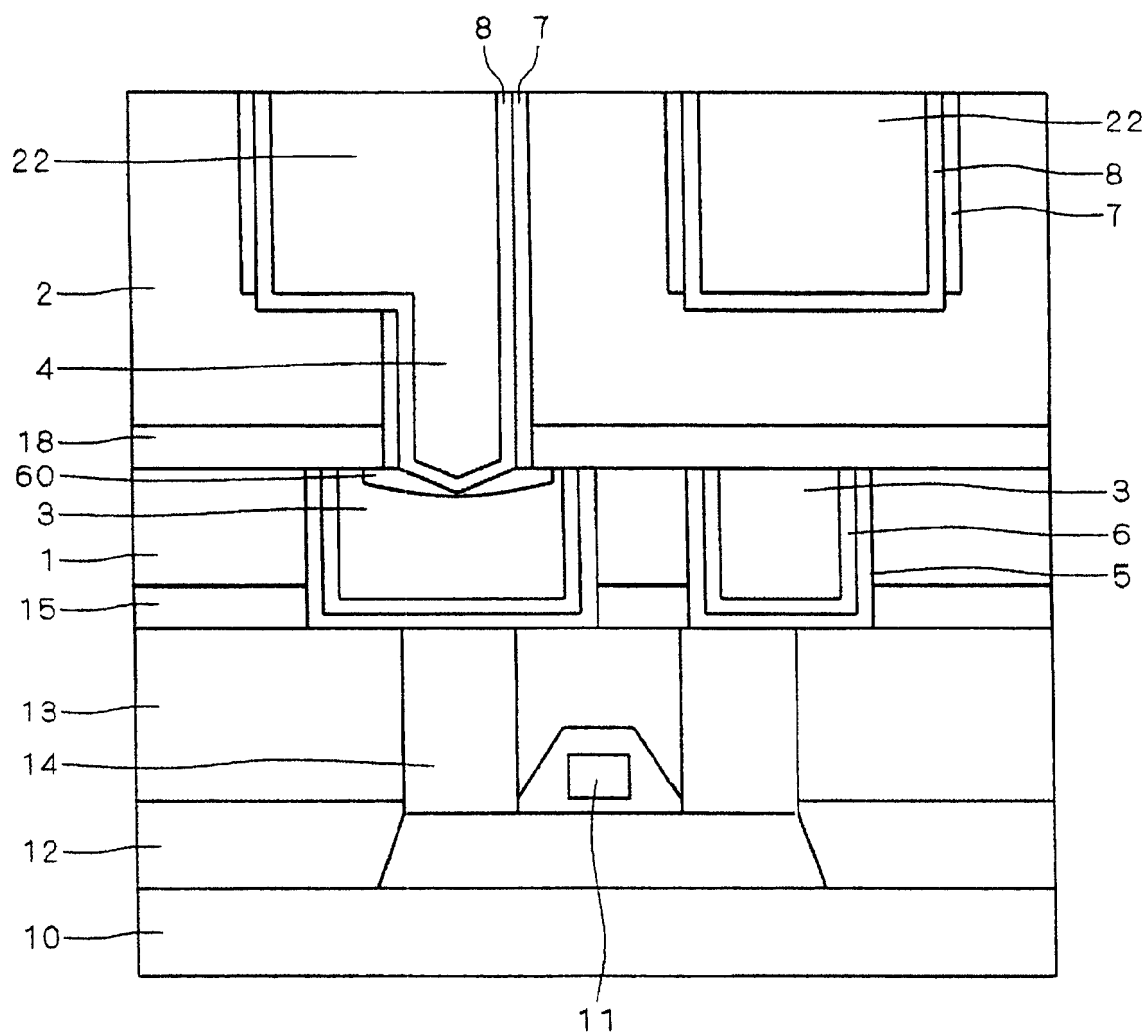


图 20

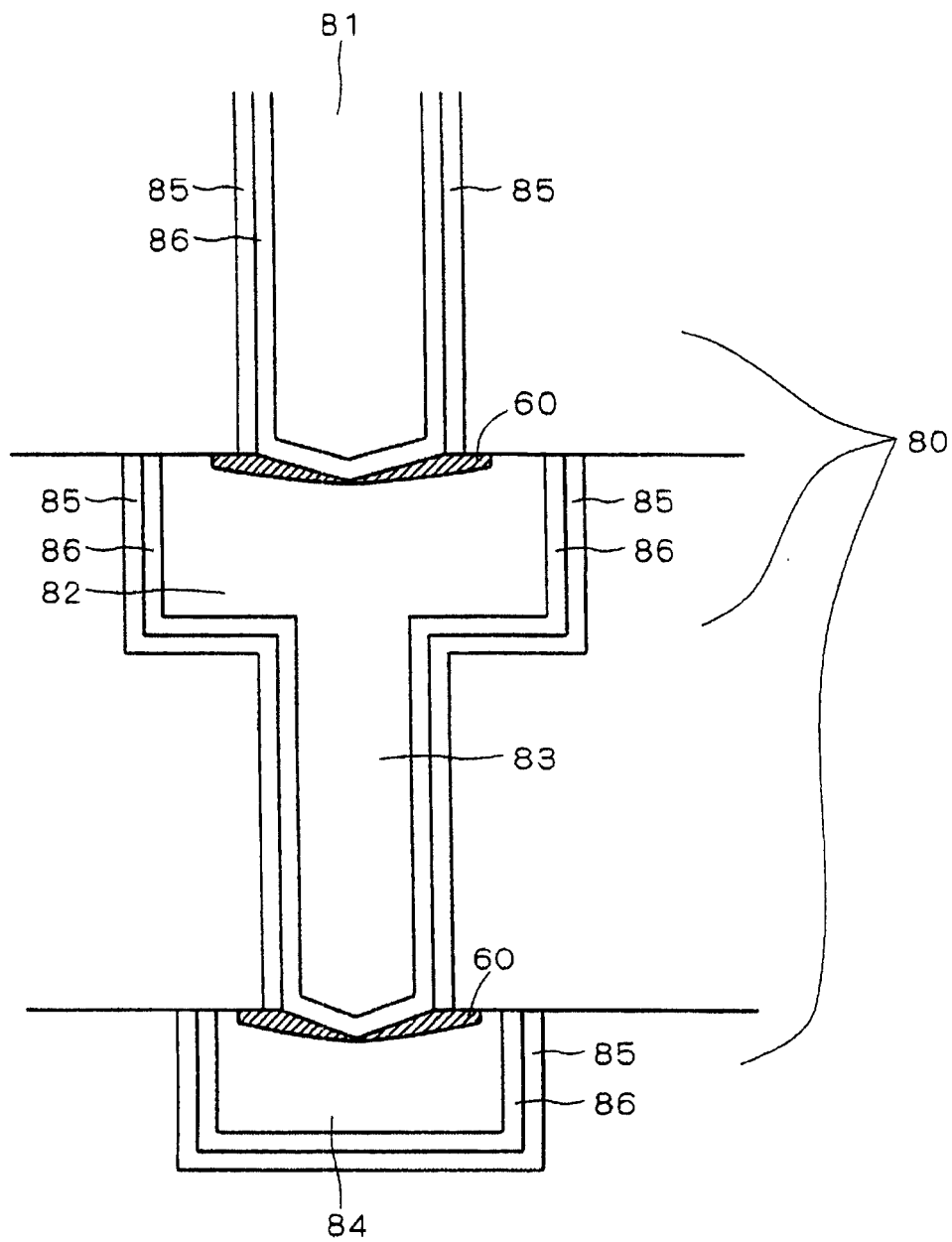


图 21

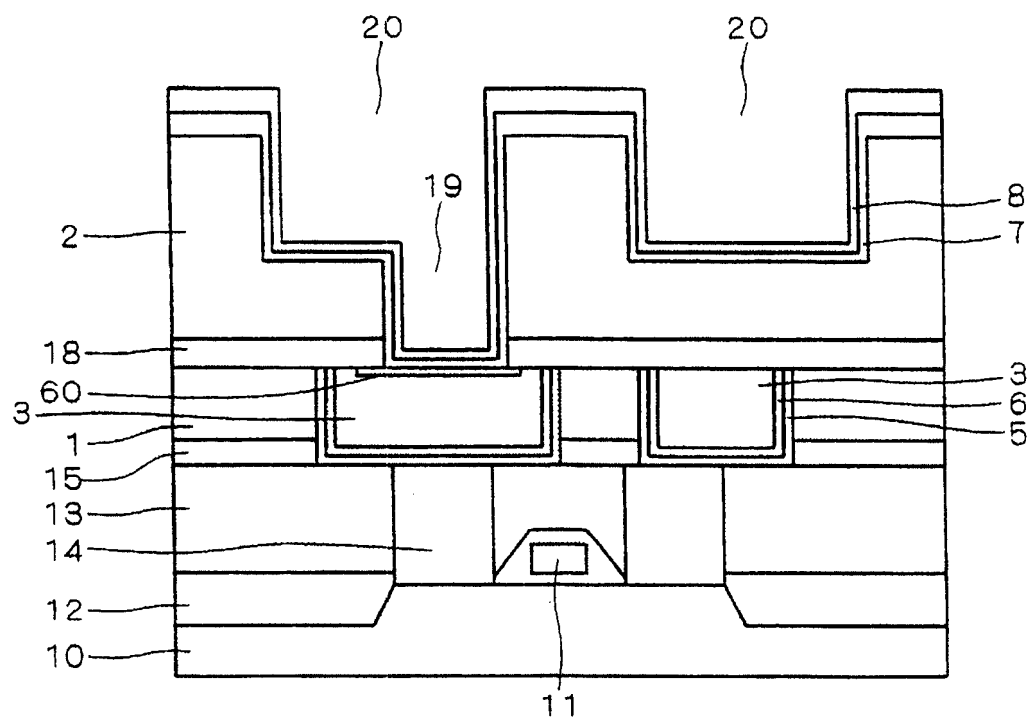


图 22

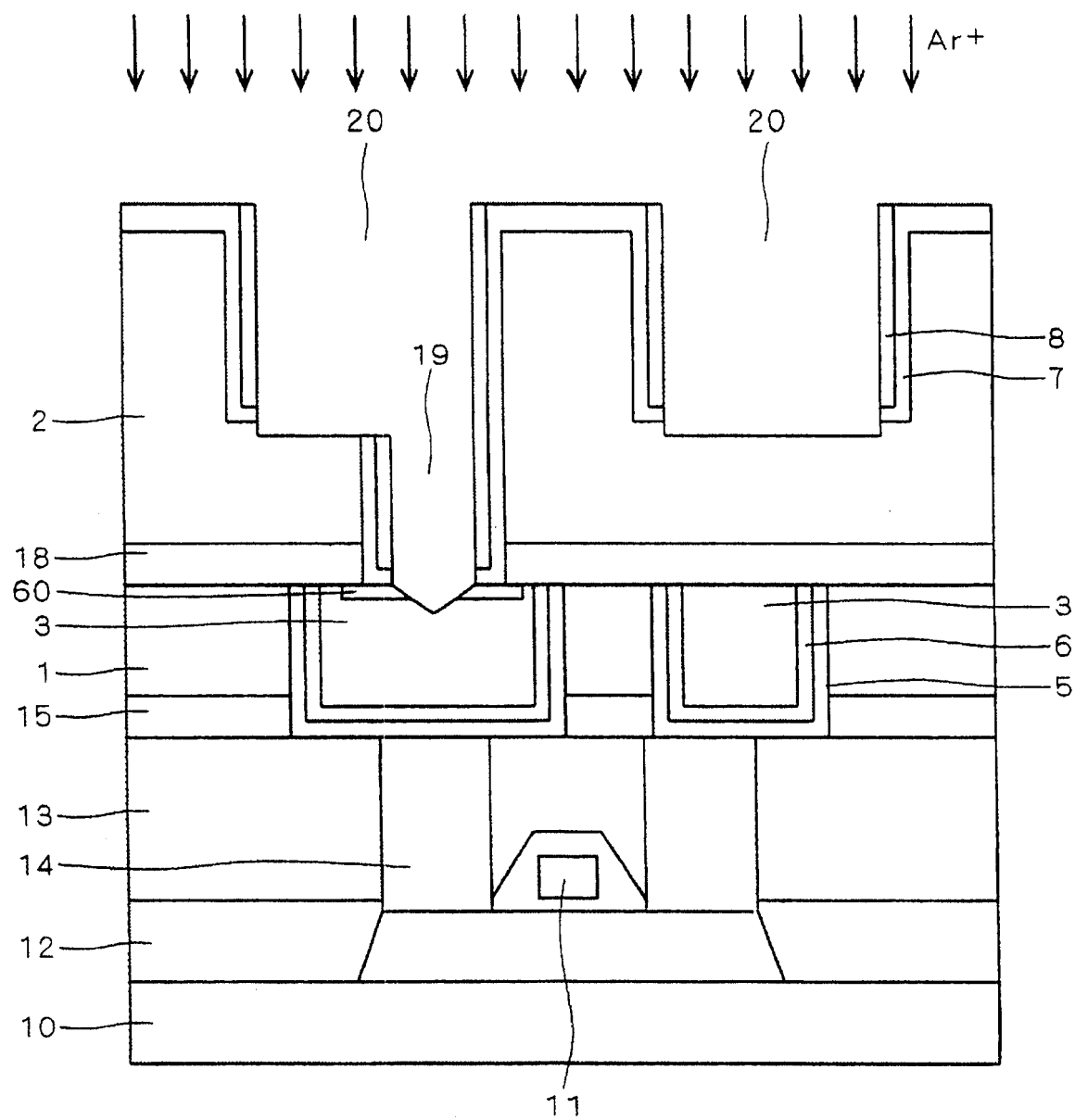


图 23

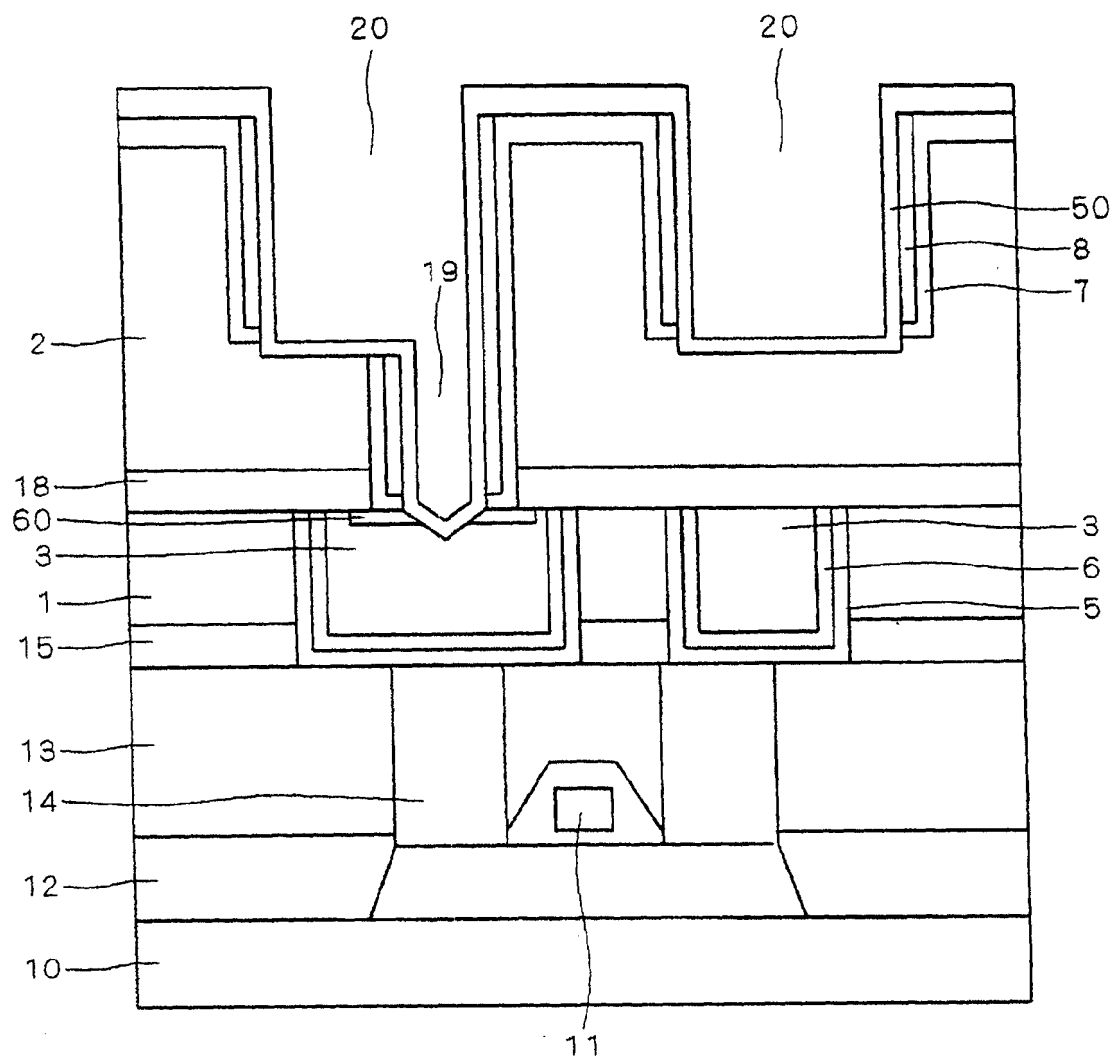


图 24

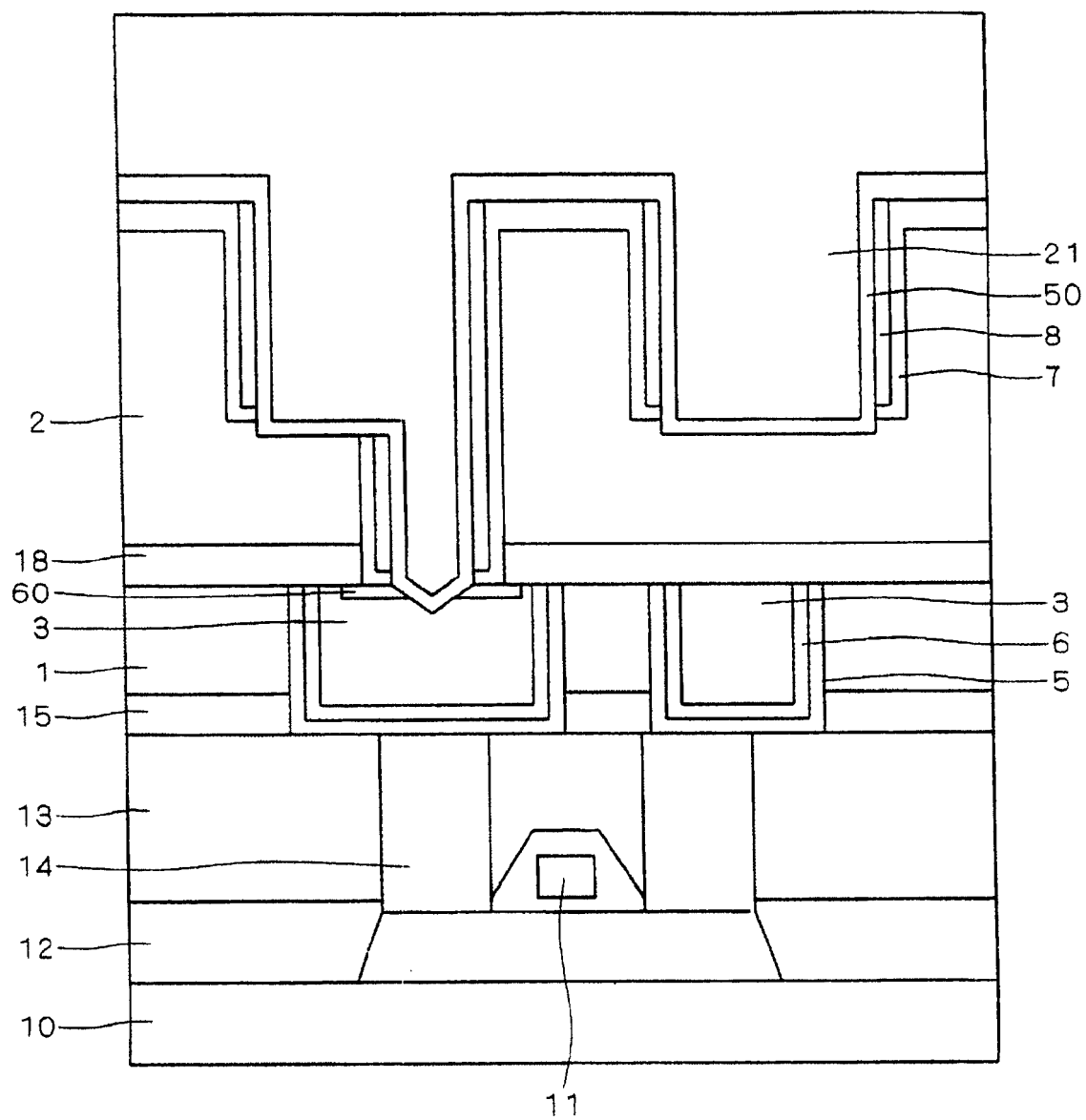


图 25

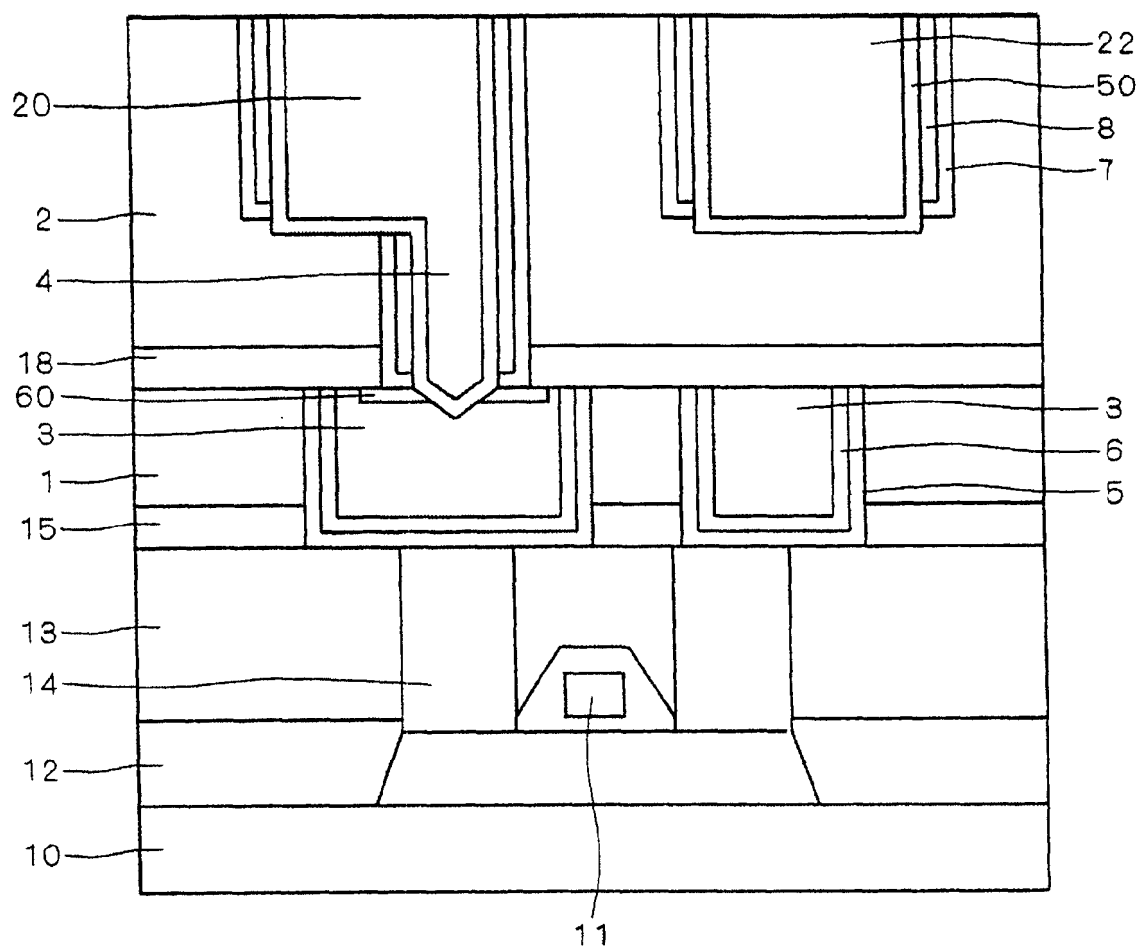


图 26

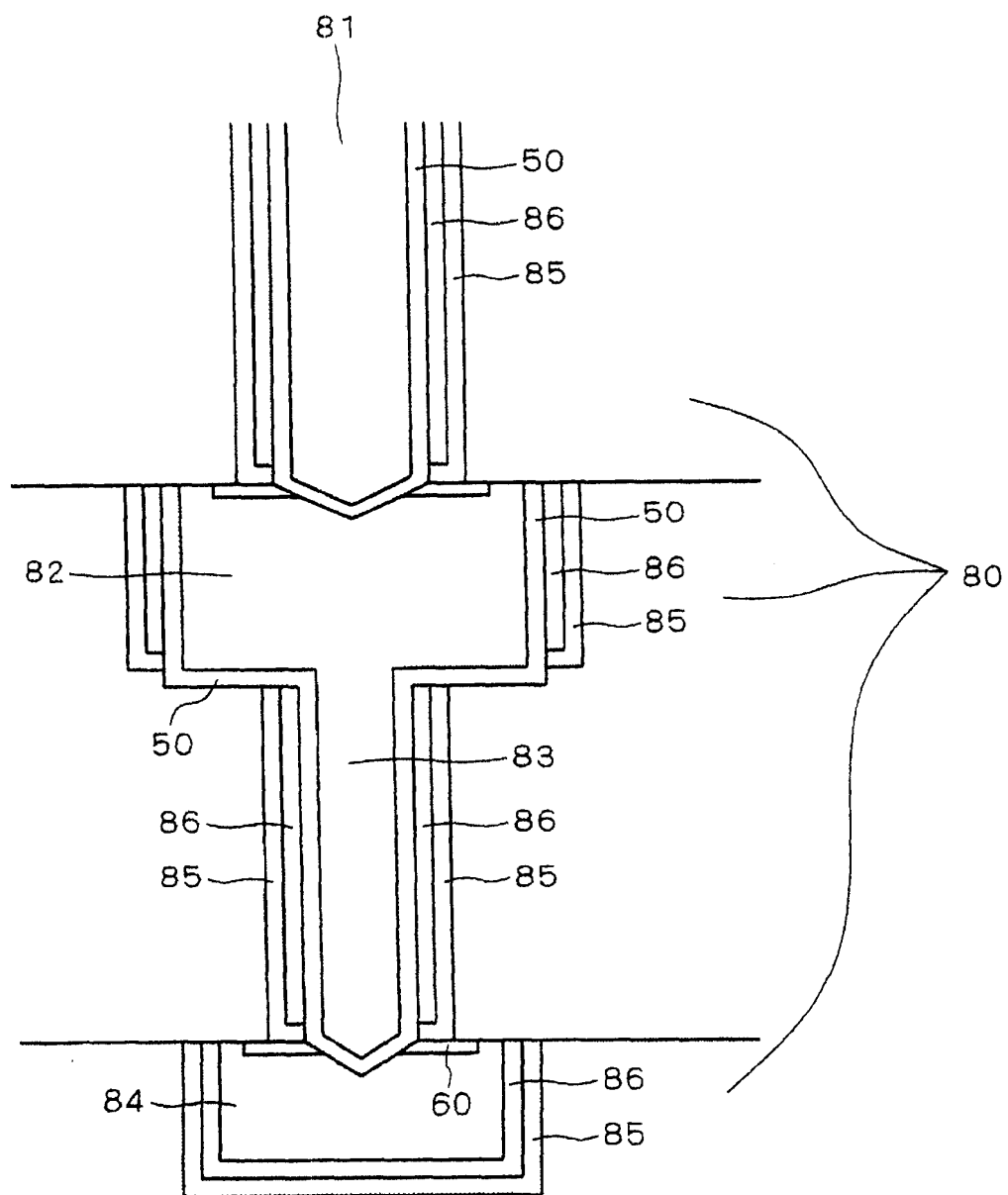


图 27