

公告本

申請日期	88 年 4 月 14 日
案 號	88105978
類 別	G06F 11/26

A4
C4

432280

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	處理器系統及其測試方法
	英 文	Processor system, and method for testing a processor system
二、發明 創作人	姓 名	(1) 希瑞·費西 Pfirsch, Thierry
	國 籍	(1) 法國 (1) 法國瓦倫罕荷夫登路一A號 1A, route de Hochfelden, 67370 Woellenheim France
三、申請人	住、居所	
	姓 名 (名稱)	(1) 艾可特公司 ALCATEL
	國 籍	(1) 法國 (1) 法國巴黎玻璃堤路五十四號 54, rue La Boetie, 75008 Paris, France
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 凡微麗·費瑞 Feray, Valerie

裝

訂

線

432280

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

歐洲

1998 年 5 月 11 日 98 440092.9

☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀，由之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

本發明之背景：

本發明係關於一種處理器系統，其包括至少一處理器及至少一周邊設備以及至少一內部匯流排，此內部匯流排經由第一內部匯流排輸入／輸出而被連接至該處理器並經由第二內部匯流排輸入／輸出而被連接至該周邊設備。

如此之處理器系統具一般普通的知識，該處理器和該周邊設備被連接至處理器系統輸入／輸出以便對外通訊，且經由該匯流排而相連接以便對內通訊。

處理器系統在其他方面係不利的，因為，例如爲了測試及除錯，第一處理器系統之輸入／輸出必須被連接至第二處理器系統的輸入／輸出以便在雙處理器系統處具有相同的性能，需要特別爲這些測試目的來設計第二處理器系統。

本發明之概述：

在其他方面，本發明之目的在於提供一種如前文中所界定之處理器系統，其較適合用來測試。

此外，根據本發明之處理器系統的特徵在於該內部匯流排包括用來連接該處理器系統與另一處理器系統之外部匯流排輸入／輸出。

藉經由該處理器系統之內部匯流排來連接該處理器系統與另一處理器系統，第一，不再需要連接兩個系統的輸入／輸出，以及第二，（藉由使用致能／禁能可能性）不需要特別爲了測試目的而設計另一處理器系統，其大部分

五、發明說明(2)

能夠與該處理器系統對應。

在其他方面，本發明係根據內部通訊與外部通訊不一定要完全彼此分開，而是可以（部分）重疊的洞察力。

在其他方面，本發明解決提供較適合於測試目的之處理器系統的問題。

根據本發明之處理器系統的第一實施例，其特徵在於該處理器系統包括一板，連同該處理器及該周邊設備以及該內部匯流排係位在該板之上，可能是以嵌入方式為之。

特別是位於該板之上的處理器系統（可能是以嵌入方式為之）由於曾經增加這些嵌入式系統的複雜度而難以測試及／或被除錯。

根據本發明之處理器系統的第二實施例，其特徵在於該處理器系統包括位在，一方面，介於處理器及／或周邊設備之間，而另一方面，介於處理器系統輸入／輸出之間的邏輯閘。

藉由使用這些邏輯閘，緩衝器被產生在，一方面，介於處理器與周邊設備之間，而另一方面，介於其他的外部系統之間。

根據本發明之處理器系統的第三實施例，其特徵在於至少一邏輯閘包括用以接收控制訊號的控制輸入。

藉由控制邏輯閘，該處理器系統的分開部分變成可分開測試。

根據本發明之處理器系統的第四實施例，其特徵在於該另一處理器系統包括一另一處理器及至少一另一周邊設

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(3)

備以及至少一另一內部匯流排，該另一內部匯流排包括一爲了測試目的而與該外部匯流排輸入／輸出連接之另一外部匯流排輸入／輸出。

根據本發明之處理器系統的第五實施例，其特徵在於該另一處理器系統包括一另一板，連同該另一處理器及該另一周邊設備以及該另一內部匯流排係位在該另一板之上。

根據本發明之處理器系統的第六實施例，其特徵在於該另一處理器系統包括位在，一方面，介於另一處理器及／或另一周邊設備之間，而另一方面，介於另一處理器系統輸入／輸出之間的另一邏輯閘。

根據本發明之處理器系統的第七實施例，其特徵在於至少一另一邏輯閘包括用以接收另一控制訊號的另一控制輸入。

根據本發明之處理器系統的第八實施例，其特徵在於該二處理器系統實際上至少是相同的（或者甚至是完全相同的）。

不再需要設計任何額外之（可能是嵌入式）特別用來測試或僅用來除錯的處理器系統，可以藉由連接兩個處理器系統來完成測試。

本發明更有關一種處理器系統的測試方法，其包括至少一處理器及至少一周邊設備以及至少一內部匯流排，此內部匯流排經由第一內部匯流排輸入／輸出而被連接至該處理器並經由第二內部匯流排輸入／輸出而被連接至該周

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(4)

邊設備。

根據本發明之方法，其特徵在於該內部匯流排包括一外部匯流排輸入／輸出，該方法包括經由該外部匯流排輸入／輸出及經由另一處理器系統之另一外部匯流排輸入／輸出來連接該處理器系統與該另一處理器系統。

所有參考資料，其包含相關於及／或在該參考資料內所引證之另外的參考資料被認為係合併入此專利申請案中。

附圖之簡略說明：

本發明將藉助圖形中所揭示之實施例來做更詳細的說明，因此

圖 1 揭示用來實施根據本發明之方法之根據本發明的處理器系統。

元件對照表

1	處理器系統
2	處理器
3	周邊設備
4	周邊設備
5	周邊設備
6	周邊設備
7	周邊設備
10	邏輯閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

1 1	邏 輯 閘
1 2	邏 輯 閘
1 3	邏 輯 閘
1 4	內 部 匯 流 排
1 5	外 部 匯 流 排 輸 入 / 輸 出
2 1	接 線
2 2	接 線
2 3	接 線
2 4	接 線
2 5	接 線
2 6	接 線
2 7	接 線
2 8	接 線
3 0	處 理 器
3 1	模 擬 器
3 2	接 線
3 3	接 線
4 1	處 理 器 系 統
4 2	處 理 器
4 3	周 邊 設 備
4 4	周 邊 設 備
4 5	周 邊 設 備
4 6	周 邊 設 備
4 7	周 邊 設 備

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

5 0	邏輯閘
5 1	邏輯閘
5 2	邏輯閘
5 3	邏輯閘
5 4	內部匯流排
5 5	外部匯流排輸入／輸出
6 1	接線
6 2	接線
6 3	接線
6 4	接線
6 5	接線
6 6	接線
6 7	接線
6 8	接線
6 9	接線
7 0	接線
7 1	接線

較佳實施例之詳細說明：

根據本發明之處理器系統 1 包括一處理器 2、一第一周邊設備 3、一第二周邊設備 4、一第三周邊設備 5、一第四周邊設備 6 以及一第五周邊設備 7，他們經由內部匯流排 1 4 而相連接，根據本發明，此處理器系統 1 被提供有外部匯流排輸入／輸出 1 5。處理器 2 經由接線 2 1 而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

被連接至邏輯閘 10 及 11，周邊設備 4 經由接線 22 而被連接至邏輯閘 10，且周邊設備 6 經由接線 23 而被連接至邏輯閘 11，處理器 2 經由接線 24 而被連接至邏輯閘 13，並經由接線 25 而被連接至邏輯閘 12。所有的邏輯閘 10，11，12 及 13 經由接線 28 而相連接，連同周邊設備 32 經由接線 26 而被連接至接線 28，且周邊設備 5 經由接線 27 而被連接至接線 28。

根據本發明之另一處理器系統 41 包括一處理器 42、一第一周邊設備 43、一第二周邊設備 44、一第三周邊設備 45、一第四周邊設備 46 以及一第五周邊設備 47，他們經由內部匯流排 54 而相連接，根據本發明，此處理器系統 41 被提供有連接至外部匯流排輸入／輸出 15 的外部匯流排輸入／輸出 55。處理器 42 經由接線 61 而被連接至邏輯閘 50 及 51，周邊設備 44 經由接線 62 而被連接至邏輯閘 50，且周邊設備 46 經由接線 63 而被連接至邏輯閘 51，處理器 42 經由接線 64 而被連接至邏輯閘 53，並經由接線 65 而被連接至邏輯閘 52。邏輯閘 50 被連接至接線 70，邏輯閘 51 被連接至接線 71，邏輯閘 52 被連接至接線 68，而接線 68 經由接線 66 而被連接至周邊設備 43，且邏輯閘 53 被連接至接線 69，而接線 69 經由接線 67 而被連接至周邊設備 45。

接線 28 被連接至一處理器 30 及一模擬器 31 處理器，而處理器 30 及模擬器 31 在其一側經由接線 32 而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

互相連接，且在其另一側經由接線 3 3 而互相連接。

各接線可以是單向的或雙向的或者（形成部分的）匯流排，各邏輯閘（譬如像或閘、非或閘、及閘、非及閘等等）可以是單向的或雙向的（例如兩個邏輯閘係處於反並聯位置）。一周邊設備例如包括一叢發模式控制器（B M C）或一通用非同步接收器發送器（U A R T）或者譬如像隨機存取記憶體（R A M）的記憶體或數位訊號處理器（D S P），各處理器系統（A S I C）例如是一個所謂的板，連同處理器系統 1 為一除錯板而處理器系統 4 1 為一標靶板。

根據習知技術，各內部匯流排 1 4，5 4 僅包括連接至處理器 2，4 2 及連接至周邊設備 3 - 7，4 3 - 4 7 的內部輸入／輸出，並且不會包括該外部輸入／輸出 1 5，5 5。然後，爲了要能夠測試第一處理器系統，必須特別爲測試目的而來設計第二處理器系統，而且兩個系統之所有的輸入及輸出必須相連接，由於這些處理器系統（A S I C s）每個月變得更加複雜，所以這全部是不利的。

根據本發明，兩個處理器系統皆包括被提供有該外部輸入／輸出 1 5，5 5 的內部匯流排 1 4，5 4，因爲這樣，第二處理器系統能夠實際和第一處理器系統一樣，並且不再需要連接所有的輸入及輸出：兩個處理器系統經由連接的內部匯流排 1 4，5 4 來通訊，藉此例如處理器 2 被致能而處理器 4 2 被禁能，連同周邊設備 3 - 7 被禁能

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明(9)

而周邊設備 43 - 47 被致能，處理器 2，42 及／或周邊設備 3 - 7，43 - 47 的致能／禁能可以直接經由未顯示於圖形中之處理器輸入及／或周邊設備輸入來完成及／或可以間接經由邏輯閘 10 - 13，50 - 53 來完成，這些邏輯閘 10 - 13，50 - 53 可以直接例如被處理器 2，42 經由流經顯示於圖形中之接線或流經未顯示於圖形中之其他接線的一個或一個以上的控制訊號所控制或者被間接經由未顯示於圖形中之用來接收如此之控制訊號的閘極 - 輸入所控制。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：處理器系統及其測試方法)

藉由提供具有外部匯流排輸入／輸出之處理器系統的內部匯流排，此處理器系統包括一處理器及一周邊設備，爲了測試及／或除錯目的，兩個實際上相同的處理器系統能夠經由他們的內部匯流排而相連接，其第一，讓複雜的處理器系統可以測試及／或除錯，由於兩個系統所有的輸入／輸出不再需要相連接，且第二，避免僅爲了測試及／或除錯目的而必須特別設計額外的處理器系統。

英文發明摘要(發明之名稱：Processor system, and method for testing a processor system)

By providing the internal bus of a processor system comprising a processor and peripherals with an external bus in/output, two substantially identical processor systems can be coupled via their internal buses for testing and/or debugging purposes, which firstly allows the testing and/or debugging of complicated processor systems due to all in/outputs of both systems no longer needing to be coupled, and secondly prevents the necessity of specifically designing an additional processor system for testing and/or debugging purposes only.

六、申請專利範圍

1. 一種處理器系統，其包括至少一處理器及至少一周邊設備以及至少一內部匯流排，該內部匯流排經由第一內部匯流排輸入／輸出而被連接至該處理器並經由第二內部匯流排輸入／輸出而被連接至該周邊設備，其特徵在於該內部匯流排包括用來連接該處理器系統與另一處理器系統之外部匯流排輸入／輸出。

2. 如申請專利範圍第1項之處理器系統，其特徵在於該處理器系統包括一板，連同該處理器及該周邊設備以及該內部匯流排係位在該板之上。

3. 如申請專利範圍第1項或第2項之處理器系統，其特徵在於該處理器系統包括位在，一方面，介於處理器及／或周邊設備之間，而另一方面，介於處理器系統輸入／輸出之間的邏輯閘。

4. 如申請專利範圍第3項之處理器系統，其特徵在於至少一邏輯閘包括用以接收控制訊號的控制輸入。

5. 如申請專利範圍第1項或第2項之處理器系統，其特徵在於該另一處理器系統包括一另一處理器及至少一另一周邊設備以及至少一另一內部匯流排，該另一內部匯流排包括一爲了測試目的而與該外部匯流排輸入／輸出連接之另一外部匯流排輸入／輸出。

6. 如申請專利範圍第5項之處理器系統，其特徵在於該另一處理器系統包括一另一板，連同該另一處理器及該另一周邊設備以及該另一內部匯流排係位在該另一板之上。

六、申請專利範圍

7. 如申請專利範圍第5項之處理器系統，其特徵在於該另一處理器系統包括位在，一方面，介於另一處理器及／或另一周邊設備之間，而另一方面，介於另一處理器系統輸入／輸出之間的另一邏輯閘。

8. 如申請專利範圍第7項之處理器系統，其特徵在於至少一另一邏輯閘包括用以接收另一控制訊號的另一控制輸入。

9. 如申請專利範圍第1項或第2項之處理器系統，其特徵在於該二處理器系統實際上至少是相同的。

10. 一種處理器系統的測試方法，其包括至少一處理器及至少一周邊設備以及至少一內部匯流排，此內部匯流排經由第一內部匯流排輸入／輸出而被連接至該處理器並經由第二內部匯流排輸入／輸出而被連接至該周邊設備，其特徵在於該內部匯流排包括一外部匯流排輸入／輸出，該方法包括經由該外部匯流排輸入／輸出及經由另一處理器系統之另一外部匯流排輸入／輸出來連接該處理器系統與該另一處理器系統。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

圖 1

