

(19) 대한민국특허청(KR)
(12) 실용신안공보(Y1)

(51) Int. Cl.⁵
H04N 5/213
H04N 5/21

(45) 공고일자 1991년11월21일
(11) 공고번호 실1991-0009045

(21) 출원번호	실 1989-0000061	(65) 공개번호	실 1990-0015084
(22) 출원일자	1989년01월06일	(43) 공개일자	1990년08월02일
(71) 출원인	삼성전자주식회사 안시환		
	경기도 수원시 권선구 매탄동 416번지		
(72) 고안자	서정석		
	서울특별시 은평구 응암3동 242-216		
(74) 대리인	이건주		

심사관 : 김민희 (책
자공보 제1520호)

(54) 신호 및 잡음 검출회로

요약

내용 없음.

대표도

도1

명세서

[고안의 명칭]

신호 및 잡음 검출회로

[도면의 간단한 설명]

제1도는 본 고안의 시스템 블록도.

제2도는 본 고안의 동작 파형도.

* 도면의 주요부분에 대한 부호의 설명

OP1, OP2 : 비교기 G1, G2 : 노아게이트

R1-R5 : 저항 C1-C3 : 콘덴서

MMV1, MMV2, MMV3 : 단안정 멀티바이브레이터

[실용신안의 상세한 설명]

본 고안은 퍼스날 컴퓨터 혹은 모니터에 있어서 신호 및 잡음 검출회로에 관한 것으로, 특히 단안정 멀티바이브레이터(Monostable multivibrator)를 이용하여 소정 범위내의 신호 및 잡음을 검출하는 신호 및 잡음 검출회로에 관한 것이다.

퍼스날 컴퓨터가 모니터에서 일정하게 정해진 크기 사이의 신호나 잡음을 감지할 경우 종래에는 주로 필터가 사용되었으므로 정확한 감지가 이루어지지 않았던 문제점이 있었다.

따라서 본 고안의 목적은 단안정 멀티바이브레이터 및 쌍안정 래치회로를 이용하여 소정 크기 이상의 신호나 잡음을 감지하여 출력하는 신호 및 잡음 검출회로를 제공함에 있다.

이하 본 고안을 첨부된 도면을 참조하여 설명한다.

제1도는 본 고안의 회로도로서, 입력신호를 각각 제1 및 제2 기준전압(Vhigh, Vlow)과 비교하여 상기 입력신호가 상기 제1 및 제2기준전압(Vhigh, Vlow)보다 클 경우 소정의 펄스를 출력하는 제1 및 제2비교기(OP1, OP2)와, 상기 제1 및 제2비교기(OP1, OP2)로부터 각각 입력한 신호의 상승에지(Rising edge)에서 소정저항과 콘덴서의 시정수(R1과 C1 혹은 R2과 C2)를 갖는 펄스를 발생시키는 제1 및 제2단안정 멀티바이브레이터(MMV1, MMV2)와, 상기 제1 및 제2단안정 멀티바이브레이터(MMV1, MMV2)로부터 제3 및 제4출력신호(S3, S4)를 입력하여 소정상태의 제어신호(Q)를 출력하는 쌍안정 래치회로(100)와, 상기 제어신호(Q)의 상태에 따라 상기 제2비교기(OP2)로부터 제2출력신호(S2)를 입력하여 원하는 기준

입력(Vhigh, Vlow) 사이의 크기를 갖는 신호 발생 시점에서 소정 저항과 콘덴서(R5, C3)의 시정수를 갖는 검출펄스(S5)를 출력하는 제3단안정 멀티바이브레이터(MMV3)로 구성된다.

제2도는 본 고안의 동작 파형도로서, 제2a도는 제1 및 제2비교기(OP1, OP2) 입력신호 파형이고, 제2b도는 제2비교기(OP2) 출력신호 파형이며, 제2c도는 제1비교기(OP1) 출력신호 파형이고, 제2d도는 제2단안정 멀티바이브레이터(MMV2) 출력 신호 파형이며, 제2e도는 제1단안정 멀티바이브레이터(MMV1) 출력신호 파형이며, 제2f도는 제1노아게이트(G1) 출력신호 파형이며, 제2g도는 제3단안정 멀티바이브레이터(MMV3) 출력 신호 파형이다.

상술한 구성에 의거 본 고안의 일실시예를 상세히 설명한다.

제2도의 제2a도와 같은 파형을 갖는 신호가 제1도의 제1 및 제2 비교기(OP1, OP2)로 입력되면, 상기 제1 비교기(OP1)는 상기 입력 신호를 제1기준전압(Vhigh)과 비교하여 상기 제1기준전압(Vhigh)보다 큰 신호가 입력될때만 제2c도와 같은 펄스를 출력한다. 동시에 상기 제2비교기(OP2)도 상기 입력 신호를 제2기준전압(Vlow)과 비교한 결과 상기 제2기준전압(Vlow)보다 큰 신호가 입력될때만 제2b도와 같은 펄스를 출력한다. 이때 상기 두 비교기(OP1, OP2)의 출력 폭은 입력신호가 상기 제1 및 제2기준전압(Vhigh, Vlow) 보다 큰 상태를 지속하는 만큼의 크기에 비례한다. 한편 인에이블된 상태에서 상기 두 비교기(OP1, OP2)로 부터 각각 출력되는 제1 및 제2출력신호(S1, S2)를 각각 입력한 제1 및 제2단안정 멀티바이브레이터(MMV1, MMV2)는 상기 두 출력신호(S1, S2)의 상승에지에서 출력 펄스를 발생하게 되는데, 상기 제1단안정 멀티바이브레이터(MMV1)는 저항(R1)과 콘덴서(C1)의 시정수를 갖는 제3출력신호(S3)를 (2e)와 같이 발생하고, 상기 제2단안정 멀티바이브레이터(MMV2)는 저항(R2)과 콘덴서(C2)의 시정수를 갖는 제4출력신호(S4)를 제2d도와 같이 발생한다.

상기 두 출력신호(S3, S4)는 쌍안정 래치회로(100)의 제1 및 제2 노아게이트(G1, G2)로 입력된다. 상기 쌍안정 래치회로(100)로 부터 발생되는 제어신호(Q)는 상기 제1노아게이트(G1)의 출력신호로서 (2f)에 도시한 바와 같은 상태를 갖는다. 이때 상기 제어신호(Q)는 제3단안정 멀티바이브레이터(MMV3)를 디스에이블시키는 신호로서, 상기 제3 및 제4출력신호(S4)중 하나가 "로우" 상태일시 "하이" 상태를 그대로 유지한다.

즉, 상기 제2노아게이트(G2)로 입력되는 상기 제2단안정 멀티바이브레이터(MMV2)의 제4출력신호(S4)가 "로우" 상태에서 "하이" 상태로 바뀌면 상기 제어신호(Q)는 "하이" 상태가 된다. 이때 상기 제2단안정 멀티바이브레이터(MMV2)로 부터의 제4출력신호(S4)는 저항(R2)과 콘덴서(C2)에 의한 시정수의 지속 시간을 가진후 "로우" 상태가 된다.

이와 같이 상기 제4출력신호(S4)가 로우 상태로 되면 상기 제어신호(Q)는 하이 상태를 그대로 유지한다. 또한 상기 제1단안정 멀티바이브레이터(MMV1)로 부터의 제3출력신호(S3)가 "로우" 상태에서 "하이" 상태

로 바뀌면, 상기 제2노아게이트(G2)의 출력 $(\overline{Q})$.

이후 상기 제1단안정 멀티바이브레이터(MMV1)로 부터의 제3출력(S3) 신호가 저항(R1)과 콘덴서(C1)에 의한 시정수(R1, C1) 만큼의 시간지연후 다시 "로우" 상태가 된다.

그러므로 상기 제2단안정 멀티바이브레이터(MMV2)로 부터의 제4출력신호(S4)가 "로우" 상태이고, 상기 제1노아게이트(G1)로 부터 출력되는 제어신호(Q)가 "로우" 상태 이므로 상기 제2노아게이트(G2) 출력 $(\overline{Q})$.

따라서 상기 제1노아게이트(G1)로 부터 출력되는 제어신호(Q)는 "로우"상태가 지속된다. 그후 다시 상기 제4출력신호(S4)가 "하이" 상태로 되면 상기 제2노아게이트(G2) 출력 $(\overline{Q})$.

한편 상기 제어신호(Q)와 제2비교기(OP2)로 부터의 제2출력신호(S2)를 입력하는 제3단안정 멀티바이브레이터(MMV3)는 한 입력단자(A3)가 그라운드(GND)에 연결되어 있으므로 상기 쌍안정 래치회로(100) 출력인 상기 제1노아게이트(G1)로 부터의 제어신호(Q)가 "하이" 상태일시 상기 제2비교기(OP2)로 부터 발생되는 제2출력신호(S2)의 하강에지에서 (2g)와 같이 저항(R5) 및 콘덴서(C3)의 시정수를 갖는 제5출력신호(S5)를 발생한다.

상기와 같은 본 고안은 개인용 컴퓨터나 모니터에서 어떤 크기 사이의 잡음이나 신호를 찾아내는 회로에 이용될 수 있다.

상술한 바와같이 본 고안은 어떤 기준입력(Vhigh, Vlow) 사이의 크기를 갖는 신호를 검출하여 그 위치에 임펄스(impulse)를 발생시킴으로써 특정의 신호나 잡음발생 위치를 용이하게 찾아낼 수 있는 잇점이 있다.

(57) 청구의 범위

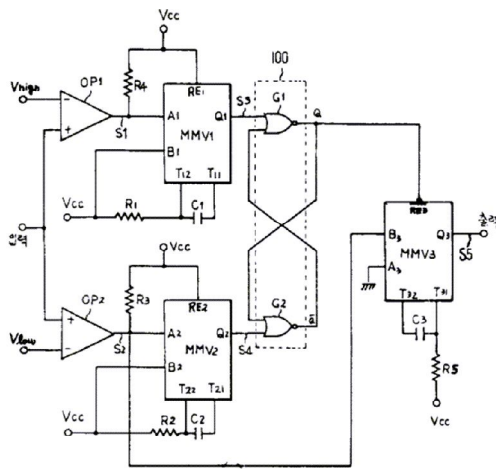
청구항 1

입력신호를 각각 제1 및 제2 기준전압(Vhigh, Vlow)과 비교하여 상기 입력신호가 상기 제1 및 제2기준전압(Vhigh, Vlow)보다 클 경우 소정의 펄스를 출력하는 제1 및 제2비교기(OP1, OP2)와, 상기 제1 및 제2비교기(OP1, OP2)로 부터 각각 입력한 신호의 상승에지에서 소정 저항과 콘덴서의 시정수(R1과 C1 혹은 R2과 C2)를 갖는 펄스를 발생시키는 제1 및 제2단안정 멀티바이브레이터(MMV1, MMV2)와, 상기 제1 및 제2단안정 멀티바이브레이터(MMV1, MMV2)로 부터 제3 및 제4출력신호(S3, S4)를 입력하여 소정상태의 제어신호(Q)를 출력하는 쌍안정 래치회로(100)와, 상기 제어신호(Q)의 상태에 따라 상기 제2비교기(OP2)로

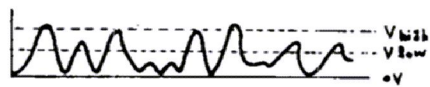
부터 제2출력신호(S2)를 입력하여 원하는 기준입력(Vhigh, Vlow) 사이의 크기를 갖는 신호 발생 시점에서 소정저항과 콘덴서(R5, C3)의 시정수를 갖는 검출펄스(S5)를 출력하는 제3단안정 멀티바이브레이터(MMV3)로 구성되어 특정 범위내의 신호 혹은 잡음을 검출함을 특징으로 하는 신호 및 잡음 검출회로.

도면

도면1



도면2a



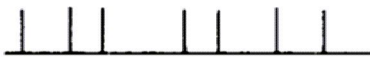
도면2b



도면2c



도면2d



도면2e



도면2f



도면2g

