

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年2月22日(22.02.2024)



(10) 国際公開番号

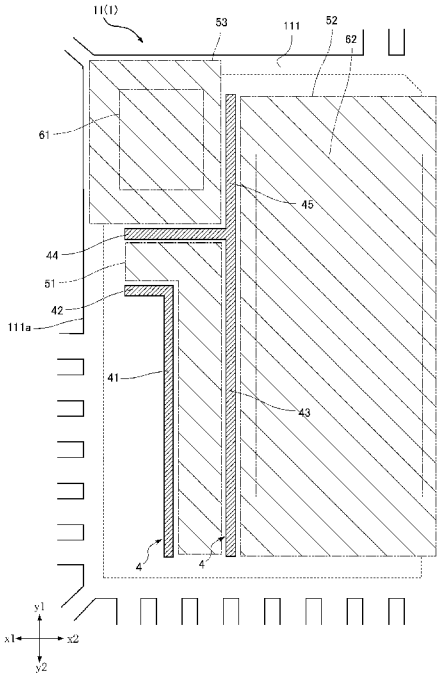
WO 2024/038746 A1

- (51) 国際特許分類:
H01L 23/50 (2006.01)
- (21) 国際出願番号: PCT/JP2023/027378
- (22) 国際出願日: 2023年7月26日(26.07.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-131067 2022年8月19日(19.08.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- (72) 発明者: 白井 克宗 (SHIRAI Katsutoki);
〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).
- 藤井 賢治 (FUJII Kenji); 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG.9



(57) Abstract: This semiconductor device comprises: a lead having a die pad portion; a semiconductor element mounted on the die pad portion; a semiconductor element mounted on the die pad portion; and wires joined in electrical communication with the second semiconductor element and the die pad portion. The die pad portion has a main surface facing a first thickness-direction side in the thickness direction. The main surface includes: a first region that is positioned on a first side in a first direction of the semiconductor element, and to which the wires are joined; and a first terminal edge that is positioned on the first side in the first direction of the first region, and that extends in a second direction. The die pad portion includes an opening portion that has an opening end on the main surface, and that is positioned between the first region and the first terminal edge.

(57) 要約: 半導体装置において、ダイパッド部を有するリードと、前記ダイパッド部に搭載された半導体素子と、前記ダイパッド部に搭載された半導体素子と、前記第2半導体素子と前記ダイパッド部とに導通接合されたワイヤと、を備え、前記ダイパッド部は、厚さ方向の厚さ方向第1側を向く主面を備えた。前記主面は、前記半導体素子の第1方向の第1側に位置し、かつ、前記ワイヤが接合された第1領域と、前記第1領域の前記第1方向第1側に位置し、かつ、第2方向に延びる第1端縁と、を備えている。前記ダイパッド部は、前記主面に開口端を有し、かつ、前記第1領域と前記第1端縁との間に位置する開口部を備えている。

WO 2024/038746 A1

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 半導体素子を備えた半導体装置は、様々な構成が提案されている。特許文献1には、QFN (Quad Flat No-lead) タイプの半導体装置の一例が開示されている。同文献に開示された半導体装置は、半導体素子、第1リード、複数のボンディングワイヤ、および封止樹脂を備えている。半導体素子は、第1リードの搭載部主面に搭載され、第1ソース電極がボンディングワイヤによって搭載部主面に電氣的に接続されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2020-188177号公報

発明の概要

発明が解決しようとする課題

[0004] 搭載部主面の外縁で封止樹脂8の剥離が発生した場合、剥離が進行して搭載部主面のボンディングワイヤが接合された位置まで広がると、ボンディングワイヤが剥離するおそれがある。

[0005] 本開示は、従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記した事情に鑑み、ダイパッド部に接合されたワイヤの剥離を抑制可能な半導体装置を提供することをその一の課題とする。

課題を解決するための手段

[0006] 本開示の一の側面によって提供される半導体装置は、ダイパッド部を有する第1リードと、前記ダイパッド部に搭載された第1半導体素子と、前記ダイパッド部に搭載された第2半導体素子と、前記第2半導体素子と前記ダイパッド部とに導通接合されたワイヤと、を備える。前記ダイパッド部は、前

記厚さ方向の厚さ方向第1側を向くダイパッド主面を備える。前記ダイパッド主面は、前記第2半導体素子の、前記厚さ方向に直交する第1方向の第1方向第1側に位置し、かつ、前記ワイヤが接合された第1領域と、前記第1領域の前記第1方向第1側に位置し、かつ、前記厚さ方向および前記第1方向に直交する第2方向に延びる第1端縁と、を備える。前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、前記第1領域と前記第1端縁との間に位置する第1開口部を備えている。

発明の効果

- [0007] 上記構成によれば、ダイパッド部に接合されたワイヤの剥離を抑制することが可能である。
- [0008] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

- [0009] [図1]図1は、本開示の第1実施形態に係る半導体装置を示す斜視図である。
- [図2]図2は、図1の半導体装置を示す平面図であり、封止樹脂を透過した図である。
- [図3]図3は、図1の半導体装置を示す底面図である。
- [図4]図4は、図2のI-V-I線に沿う断面図である。
- [図5]図5は、図2のV-V線に沿う断面図である。
- [図6]図6は、図2のV-I-V線に沿う断面図である。
- [図7]図7は、図2の部分拡大図である。
- [図8]図8は、図2の部分拡大図である。
- [図9]図9は、ダイパッド部を示す平面図である。
- [図10]図10は、第1実施形態の第1変形例に係る半導体装置のダイパッド部を示す平面図である。
- [図11]図11は、第1実施形態の第2変形例に係る半導体装置のダイパッド部を示す平面図である。
- [図12]図12は、第1実施形態の第3変形例に係る半導体装置のダイパッド

部を示す平面図である。

[図13]図13は、第1実施形態の第4変形例に係る半導体装置のダイパッド部を示す平面図である。

[図14]図14は、第1実施形態の第5変形例に係る半導体装置のダイパッド部を示す平面図である。

[図15]図15は、第1実施形態の第6変形例に係る半導体装置のダイパッド部を示す平面図である。

[図16]図16は、第1実施形態の第7変形例に係る半導体装置のダイパッド部を示す平面図である。

[図17]図17は、第1実施形態の第8変形例に係る半導体装置のダイパッド部を示す平面図である。

[図18]図18は、第1実施形態の第9変形例に係る半導体装置のダイパッド部を示す平面図である。

[図19]図19は、第2実施形態に係る半導体装置を示す断面図である。

[図20]図20は、第3実施形態に係る半導体装置を示す平面図であり、封止樹脂を透過した図である。

[図21]図21は、第3実施形態の第1変形例に係る半導体装置を示す平面図であり、封止樹脂を透過した図である。

[図22]図22は、第4実施形態に係る半導体装置を示す平面図であり、封止樹脂を透過した図である。

[図23]図23は、第5実施形態に係る半導体装置を示す平面図であり、封止樹脂を透過した図である。

発明を実施するための形態

[0010] 以下、本開示の好ましい実施の形態を、添付図面を参照して具体的に説明する。

[0011] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物

Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B上に位置していること」を含む。また、「ある物Aがある物Bにある方向に見て重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。

[0012] 第1実施形態：

図1～図9は、本開示に係る半導体装置の一例を示している。本実施形態の半導体装置A10は、リード1、リード2、複数のリード3、半導体素子61、62、複数のワイヤ7、および封止樹脂8を備えている。半導体装置A10は、たとえば電気自動車またはハイブリッド自動車などのインバータ装置のゲートドライバ回路に用いられている。半導体装置A10は、外部から入力される制御信号を増幅して、図示しないスイッチング素子に出力する。なお、半導体装置A10の用途や機能は限定されない。半導体装置A10のパッケージ形式は、QFNタイプである。ただし、半導体装置A10のパッケージ形式は、QFNタイプに限定されない。

[0013] 図1は、半導体装置A10を示す斜視図である。図2は、半導体装置A10を示す平面図である。図2においては、理解の便宜上、封止樹脂8を透過して、封止樹脂8の外形を想像線（二点鎖線）で示している。図3は、半導体装置A10を示す底面図である。図4は、図2のI-V-I線に沿う断面図である。図5は、図2のV-V線に沿う断面図である。図6は、図2のV-I-V線に沿う断面図である。図7は、図2の部分拡大図である。図8は

、図2の部分拡大図である。図9は、リード1のダイパッド部11（後述）を示す平面図である。

[0014] 半導体装置A10は、厚さ方向視(平面視)の形状が矩形状である。説明の便宜上、半導体装置A10の厚さ方向(平面視方向)を厚さ方向zとし、厚さ方向zに直交する半導体装置A10の一方の辺に沿う方向(図2および図3における左右方向)を第1方向x、厚さ方向zおよび第1方向xに直交する方向(図2および図3における上下方向)を第2方向yとする。また、厚さ方向zの一方側(図4～図6における上側)を第1側z1とし、他方側(図4～図6における下側)を第2側z2とする。第1方向xの一方側(図1および図2における左側)を第1側x1とし、他方側(図1および図2における右側)を第2側x2とする。第2方向yの一方側(図2における上側)を第1側y1とし、他方側(図2における下側)を第2側y2とする。なお、半導体装置A10の形状および各寸法は限定されない。

[0015] リード1、リード2、および複数のリード3（以下では、まとめて示す場合に、「リード1～3」と記載する場合がある）は、半導体素子61、62と、半導体装置A10が搭載される配線基板との導通経路を構成する部材である。なお、複数のリード3の一部には、半導体素子61、62に導通しないものも含まれている。リード1～3は、たとえば、金属板にエッチング処理または打ち抜き加工等を施すことにより形成されている。リード1～3は、金属からなり、好ましくはCuおよびNiのいずれか、またはこれらの合金や42アロイなどからなる。本実施形態においては、リード1～3が、Cuからなる場合を例に説明する。リード1～3の厚さは、たとえば0.08～0.3mmであり、本実施形態においては0.2mm程度である。

[0016] 図2に示すように、リード1は、半導体装置A10の第1方向xの第1側x1寄りに配置され、第2方向yの全体に広がっている。リード2は、リード1から離間し、半導体装置A10の第1方向xの第2側x2寄りに配置されている。各リード3は、リード1およびリード2から離間し、また、互いに離間して、半導体装置A10の第1方向xの両端部または第2方向yの両

端部のいずれかに配置されている。厚さ方向 z に視た寸法は、リード1がリード2より大きく、各リード3がリード2より大きい。

[0017] リード1は、半導体素子61、62を支持し、ダイパッド部11および複数の端子部12を備えている。

[0018] ダイパッド部11は、半導体素子61および半導体素子62が搭載される。ダイパッド部11は、半導体装置A10の第1方向 x の第1側 $x1$ 寄り、第2方向 y の中央に位置し、厚さ方向 z に視て略矩形形状である。ダイパッド部11は、主面111、裏面112、および裏面側凹部113を備えている。主面111および裏面112は、厚さ方向 z において互いに反対側を向いている。主面111は、厚さ方向 z の第1側 $z1$ を向いている。主面111は、半導体素子61、62が搭載される面である。主面111は、図9に示すように、端縁111aを備えている。端縁111aは、主面111の第1方向 x の第1側 $x1$ で第2方向 y に延びる端縁である。裏面112は、厚さ方向 z の第2側 $z2$ を向いている。裏面112は、封止樹脂8から露出して、裏面端子になる。

[0019] 裏面側凹部113は、ダイパッド部11の一部が裏面112から厚さ方向 z の第1側 $z1$ に凹んだ部分である。ダイパッド部11のうち裏面側凹部113が位置する部分の厚さ（厚さ方向 z の寸法）は、裏面112が位置する部分の厚さの半分程度である。裏面側凹部113は、たとえば厚さ方向 z の第2側 $z2$ からのーフエッチング処理により形成される。図3に示すように、裏面側凹部113は、裏面112の周囲に配置されている。裏面側凹部113は、封止樹脂8から露出せず、封止樹脂8によって覆われている。これにより、リード1が封止樹脂8から厚さ方向 z の第2側 $z2$ に剥離することが抑制される。なお、ダイパッド部11の形状は限定されない。たとえば、ダイパッド部11は、裏面側凹部113を備えなくてもよい。

[0020] ダイパッド部11は、開口部4を備えている。なお、図2、図8、および図9においては、理解の便宜上、開口部4に比較的細かいハッチングを付している。開口部4は、主面111に開口端を有する開口部であり、本実施形

態では、主面 1 1 1 から厚さ方向 z の第 2 側 z_2 に凹んだ凹部である。開口部 4 の深さ（厚さ方向 z の寸法）は、ダイパッド部 1 1 の厚さ（厚さ方向 z における主面 1 1 1 と裏面 1 1 2 との距離）の半分程度である。開口部 4 は、たとえば厚さ方向 z の第 1 側 z_1 からのハーフエッチング処理により形成される。開口部 4 は、図 9 に示すように、開口部 4 1 ~ 4 5 を含んでいる。

[0021] 開口部 4 1 は、第 1 方向 x において、図 9 において想像線（二点鎖線）で示す半導体素子 6 2 と端縁 1 1 1 a との間に位置し、第 2 方向 y に延びている。本実施形態では、厚さ方向 z に視て、開口部 4 1 の第 2 方向 y における両端は、主面 1 1 1 の外縁より内側に位置する。開口部 4 2 は、開口部 4 1 の第 2 方向 y の第 1 側 y_1 の端部につながり、第 1 方向 x の第 1 側 x_1 に延びている。つまり、開口部 4 2 は、開口部 4 1 の第 1 方向 x の第 1 側 x_1 に位置する。本実施形態では、厚さ方向 z に視て、開口部 4 2 の第 1 方向 x における両端は、主面 1 1 1 の外縁より内側に位置する。図 9 において想像線（二点鎖線）で示す半導体素子 6 1 は、第 2 方向 y において、開口部 4 2 の第 1 側 y_1 に配置されている。開口部 4 のうち、開口部 4 1 および開口部 4 2 で構成される部分は、厚さ方向 z に視て L 字形状である。

[0022] 開口部 4 3 は、第 1 方向 x において、半導体素子 6 2 と開口部 4 1 との間に位置し、第 2 方向 y に延びている。本実施形態では、厚さ方向 z に視て、開口部 4 3 の第 2 方向 y における両端は、主面 1 1 1 の外縁より内側に位置する。開口部 4 4 は、開口部 4 3 の第 2 方向 y の第 1 側 y_1 の端部につながり、第 1 方向 x の第 1 側 x_1 に延びている。つまり、開口部 4 4 は、開口部 4 3 の第 1 方向 x の第 1 側 x_1 に位置する。また、開口部 4 4 は、第 2 方向 y において、半導体素子 6 1 と開口部 4 2 との間に位置する。本実施形態では、厚さ方向 z に視て、開口部 4 4 の第 1 方向 x における両端は、主面 1 1 1 の外縁より内側に位置する。開口部 4 5 は、開口部 4 3 の第 2 方向 y の第 1 側 y_1 の端部につながり、第 2 方向 y の第 1 側 y_1 に延びている。つまり、開口部 4 5 は、開口部 4 3 の第 2 方向 y の第 1 側 y_1 に位置する。本実施形態では、厚さ方向 z に視て、開口部 4 5 の第 2 方向 y における両端は、主

面111の外縁より内側に位置する。開口部4のうち、開口部43、開口部44、および開口部45で構成される部分は、厚さ方向zに視てT字形状である。

[0023] ダイパッド部11の主面111は、図9に示すように、第1領域51、第2領域52、および第3領域53を含んでいる。図9において、第1領域51、第2領域52、および第3領域53は、想像線（二点鎖線）で示されており、比較的粗いハッチングが付されている。第1領域51は、開口部41および開口部42と、開口部43および開口部44とによってはさまれた領域である。第1領域51は、半導体素子62の第1方向xの第1側x1に位置し、図2に示すように、ワイヤ7（後述するワイヤ73）が接合される領域である。第1領域51には、めっき処理が施されていてもよい。当該めっき処理により形成されるめっき層は、たとえばAgを含む金属からなる。当該めっき層は、ワイヤ73の接合強度を高めつつ、ワイヤ73のワイヤボンディング時の衝撃からリード1を保護する。第2領域52は、開口部43および開口部45の第1方向xの第2側x2の領域である。第2領域52は、図2に示すように、半導体素子62が搭載される領域である。第3領域53は、開口部45の第1方向xの第1側x1であり、かつ、開口部44の第2方向yの第1側y1の領域である。第3領域53は、ダイパッド部11の主面111の第1方向xにおける中心より第1側x1に位置し、第2方向yにおける中心より第1側y1に位置する。第3領域53は、図2に示すように、半導体素子61が搭載される領域である。

[0024] 逆に言うと、第1領域51、第2領域52、および第3領域53は、開口部4によって区画された領域である。開口部43は、第1領域51と第2領域52とを区画している。開口部44は、第1領域51と第3領域53とを区画している。開口部45は、第2領域52と第3領域53とを区画している。なお、開口部4の形状および配置は上述したものに限定されず、第1領域51、第2領域52、および第3領域53の形状および配置は上述したものに限定されない。

- [0025] 複数の端子部12は、半導体装置A10を配線基板に実装する際に、配線基板に接合される。各端子部12は、ダイパッド部11につながっており、厚さ方向zに視て略矩形形状である。複数の端子部12は、6個の端子部12a、2個の端子部12b、8個の端子部12c、および端子部12d, 12eを含んでいる。6個の端子部12aは、ダイパッド部11の第1方向xの第1側x1につながり、第2方向yの第2側y2寄り第2方向yに沿って配列されている。当該6個の端子部12aは、第1方向xに視て開口部4（開口部41）に重なっている。2個の端子部12bは、ダイパッド部11の第2方向yの第1側y1につながり、第1方向xの第2側x2寄り第2方向yに沿って配列されている。8個の端子部12cは、ダイパッド部11の第2方向yの第2側y2につながり、第1方向xに沿って配列されている。端子部12dは、ダイパッド部11の第1方向xの第1側x1で第2方向yの第1側y1の角につながっている。端子部12eは、ダイパッド部11の第1方向xの第1側x1で第2方向yの第2側y2の角につながっている。
- [0026] 各端子部12は、主面121、裏面122、および端面123を備えている。主面121および裏面122は、厚さ方向zにおいて互いに反対側を向いている。主面121は、厚さ方向zの第1側z1を向いている。主面121とダイパッド部11の主面111とは、面一になっている。裏面122は、厚さ方向zの第2側z2を向いている。裏面122とダイパッド部11の裏面112とは、図3に示すように離間しており、厚さ方向zでの位置が互いに同じ（あるいは略同じ）である。端面123は、主面121および裏面122に直交し、主面121および裏面122につながる面である。端子部12dおよび端子部12eはそれぞれ、2個の端面123を備えている。端面123は、製造工程における切断工程でのシンギュレーションにより形成される。端面123および裏面122は、封止樹脂8から露出してつながっており、端子になる（図5参照）。なお、端子部12の形状、配置位置および個数は限定されない。
- [0027] リード2は、リード1から第1方向xの第2側x2に離間して配置されて

いる。リード1のダイパッド部11とリード2とは、第1方向xに並んで配置されている。リード2は、複数のワイヤ7（後述する複数のワイヤ74）によって、半導体素子62に導通接続している。リード2は、パッド部21および複数の端子部22を備えている。

[0028] パッド部21は、複数のワイヤ74が接合される。パッド部21は、主面211、裏面212、および貫通孔213を備えている。主面211および裏面212は、厚さ方向zにおいて互いに反対側を向いている。主面211は、厚さ方向zの第1側z1を向いている。主面211は、複数のワイヤ74が接合される面である。主面211は、図7に示すように、接合領域211aおよび非接合領域211bを含んでいる。図7において、接合領域211aおよび非接合領域211bは、想像線（二点鎖線）で示されている。接合領域211aは、複数のワイヤ74が接合される領域であり、主面211において、第2方向yの第2側y2寄りに配置されている。非接合領域211bは、複数のワイヤ74が接合されない領域であり、第2方向yにおいて、接合領域211aに対して第1側y1に配置されている。第2方向yにおける接合領域211aの寸法L1は、第2方向yにおけるリード2の寸法L2の40%以上60%以下である。接合領域211aには、めっき処理が施されていてもよい。当該めっき処理により形成されるめっき層は、たとえばAgを含む金属からなる。当該めっき層は、ワイヤ74の接合強度を高めつつ、ワイヤ74のワイヤボンディング時の衝撃からリード2を保護する。裏面212は、厚さ方向zの第2側z2を向いている。裏面212は、封止樹脂8に覆われている。パッド部21の厚さ（厚さ方向zの寸法）は、ダイパッド部11の厚さの半分程度であり、ダイパッド部11のうち裏面側凹部113が位置する部分の厚さと同程度である。パッド部21は、たとえば厚さ方向zの第2側z2からのーフエッチング処理により形成される。

[0029] 貫通孔213は、パッド部21を厚さ方向zに貫通する孔である。貫通孔213は、半導体装置A10の製造工程の封止樹脂8の形成工程において、封止樹脂8の材料がパッド部21の裏面212側に充填されやすくする。本

実施形態では、パッド部21は、第2方向yに長い略矩形形状の貫通孔213が第2方向yに4個配列されている。なお、貫通孔213の形状、数、および配置は限定されない。また、パッド部21は貫通孔213を備えなくてもよい。

[0030] 複数の端子部22は、半導体装置A10を配線基板に実装する際に、配線基板に接合される。各端子部22は、パッド部21の第1方向xの第2側x2につながっており、厚さ方向zに視て略矩形形状である。本実施形態では、12個の端子部22が、第2方向yに沿って等間隔で配列されている。

[0031] 各端子部22は、主面221、裏面222、および端面223を備えている。主面221および裏面222は、厚さ方向zにおいて互いに反対側を向いている。主面221は、厚さ方向zの第1側z1を向いている。主面221とパッド部21の主面211とは、面一になっている。裏面222は、厚さ方向zの第2側z2を向いている。本実施形態では、図3に示すように、リード2の端子部22の裏面222と、ダイパッド部11の裏面112との距離L3は十分大きく、たとえば半導体装置A10の第1方向xの寸法L4の30%以上40%以下である。なお、裏面222と裏面112との距離は、これに限定されない。端面223は、主面221および裏面222に直交し、主面221および裏面222につながる面である。端面223は、製造工程における切断工程でのシンギュレーションにより形成される。端面223および裏面222は、封止樹脂8から露出してつながっており、端子になる(図4および図5参照)。なお、端子部22の形状、配置位置および個数は限定されない。

[0032] 複数のリード3は、半導体素子61、62と、半導体装置A10が搭載される配線基板との導通経路を構成する。なお、複数のリード3には、半導体素子61、62に導通しないいわゆるダミーリードも含まれている。各リード3は、パッド部31および端子部32を備えている。

[0033] パッド部31は、ワイヤ7(後述するワイヤ71)が接合されるための部位である。なお、パッド部31は、ワイヤ71が接合されている場合と接合

されていない場合がある。パッド部31は、主面311および裏面312を備えている。主面311および裏面312は、厚さ方向zにおいて互いに反対側を向いている。主面311は、厚さ方向zの第1側z1を向いている。主面311は、ワイヤ71が接合される面である。主面311には、めっき処理が施されていてもよい。当該めっき処理により形成されるめっき層は、たとえばAgを含む金属からなる。当該めっき層は、ワイヤ71の接合強度を高めつつ、ワイヤ71のワイヤボンディング時の衝撃からリード3を保護する。なお、ワイヤ71が接合されるリード3にのみめっき層が形成されてもよい。裏面312は、厚さ方向zの第2側z2を向いている。裏面312は、封止樹脂8に覆われている。パッド部31の厚さ（厚さ方向zの寸法）は、ダイパッド部11の厚さの半分程度であり、ダイパッド部11のうち裏面側凹部113が位置する部分の厚さと同程度である。パッド部31は、たとえば厚さ方向zの第2側z2からのーフエッチング処理により形成される。

[0034] 端子部32は、半導体装置A10を配線基板に実装する際に、配線基板に接合される。端子部32は、パッド部31につながっており、厚さ方向zに視て略矩形状である。端子部32は、主面321、裏面322、および端面323を備えている。主面321および裏面322は、厚さ方向zにおいて互いに反対側を向いている。主面321は、厚さ方向zの第1側z1を向いている。主面321とパッド部31の主面311とは、面一になっている。ワイヤ71は、端子部32の主面321に接合されてもよい。裏面322は、厚さ方向zの第2側z2を向いている。端面323は、主面321および裏面322に直交し、主面321および裏面322につながる面である。端面323は、製造工程における切断工程でのシンギュレーションにより形成される。端面323および裏面322は、封止樹脂8から露出してつながっており、端子になる（図4参照）。なお、端子部32の形状は限定されない。

[0035] 複数のリード3は、図2に示すように、複数のリード3a、複数のリード

3 b、リード3 c、リード3 e、一对のリード3 f、および一对のリード3 gを含んでいる。

[0036] 本実施形態では、複数のリード3は、7個のリード3 aを含んでいる。なお、リード3 aの数は限定されない。複数のリード3 aは、半導体装置A 10の第1方向xの第1側x 1の端部の第2方向yの第1側y 1寄りに配置されている。複数のリード3 aは、ダイパッド部1 1の第1方向xの第1側x 1に、第2方向yにおいて端子部1 2 aと端子部1 2 dとの間で第2方向yに沿って配列されている。また、本実施形態では、複数のリード3は、7個のリード3 bを含んでいる。なお、リード3 bの数は限定されない。複数のリード3 bは、半導体装置A 10の第2方向yの第1側y 1の端部の第1方向xの第1側x 1寄りに配置されている。複数のリード3 bは、ダイパッド部1 1の第2方向yの第1側y 1に、第1方向xにおいて端子部1 2 bと端子部1 2 dとの間で第1方向xに沿って配列されている。複数のリード3 aおよび複数のリード3 bは、ワイヤ7 1を介して半導体素子6 1に導通できるように配置されている。本実施形態では、複数のリード3 aおよび複数のリード3 bのほとんどは半導体素子6 1に導通しているが、半導体素子6 1に導通していないものも含まれている。なお、複数のリード3 aおよび複数のリード3 bのいずれが半導体素子6 1に導通するか、また、半導体素子6 1のどの電極6 1 1（後述）に導通接続されているかは限定されない。図8に示すように、複数のリード3 aおよび複数のリード3 bの各パッド部3 1はいずれも、厚さ方向zに視て、半導体素子6 1の中心である素子中心6 1 cに向けて延びている。

[0037] また、本実施形態では、複数のリード3は、1個のリード3 cおよび1個のリード3 eを含んでいる。なお、リード3 cおよびリード3 eの数は限定されない。リード3 cは、ダイパッド部1 1の第1方向xの第1側x 1に、第2方向yにおいて端子部1 2 aと端子部1 2 eとの間に配置されている。リード3 eは、ダイパッド部1 1の第2方向yの第2側y 2に、第1方向xにおいて端子部1 2 cと端子部1 2 eとの間に配置されている。リード3 c

およびリード3 eは、いわゆるダミーリードである。

[0038] また、本実施形態では、複数のリード3は、一对のリード3 fおよび一对のリード3 gを含んでいる。一对のリード3 gは、リード2の第2方向yの第1側y 1および第2側y 2にそれぞれ1個ずつ配置されている。一方のリード3 gは半導体装置A 10の第1方向xの第2側x 2で第2方向yの第1側y 1の角に配置され、他方のリード3 gは半導体装置A 10の第1方向xの第2側x 2で第2方向yの第2側y 2の角に配置されている。なお、複数のリード3は、リード3 gを含んでいなくてもよい。一对のリード3 fは、リード2の第2方向yの第1側y 1および第2側y 2にそれぞれ1個ずつ配置されている。各リード3 fは、第2方向yにおいてリード2と各リード3 gとの間にそれぞれ配置されている。なお、リード3 fの数は限定されない。リード3 fおよびリード3 gは、いわゆるダミーリードである。

[0039] リード1～3のうち封止樹脂8から露出した面には、たとえばSnを含むめっき層が配置されてもよい。なお、めっき層の構成材料は限定されない。当該めっき層は、はんだ接合によって半導体装置A 10を配線基板に表面実装させる際に、当該露出した面へのはんだの付着を良好なものにしつつ、はんだ接合に起因した当該露出した部分の浸食を防止する。なお、リード1～3の形状および配置は上記に限定されない。

[0040] 半導体素子6 1および半導体素子6 2は、半導体装置A 10の電氣的機能を発揮する要素である。半導体素子6 2は、スイッチング素子である。本実施形態では、半導体素子6 2は、窒化ガリウム(GaN)を用いたHEMT (High Electron Mobility Transistor: 高電子移動度トランジスタ)である。なお、半導体素子6 2は、GaN以外の窒化物半導体が用いられてもよい。また、半導体素子6 2は、IGBT (Insulated Gate Bipolar Transistor)、MOSFET (Metal Oxide Semiconductor Field Effect Transistor)、またはバイポーラトランジスタなどであってもよい。半導体素子6 2は、素子主面6 2 a、素子裏面6 2 b、複数の第1電極6 2 1、第2電極6 2 2、および複数の第3電極6 2 3を備えている。

[0041] 素子主面62aおよび素子裏面62bは、厚さ方向zにおいて互いに反対側を向いている。素子主面62aは厚さ方向zの第1側z1を向く面であり、素子裏面62bは厚さ方向zの第2側z2を向く面である。複数の第1電極621、第2電極622、および複数の第3電極623は、素子主面62aに配置されている。複数の第1電極621は、ソース電極であり、素子主面62aの第1方向xの第1側x1寄りに第2方向yに沿って並んで配列されている。第2電極622は、ゲート電極であり、素子主面62aの第2方向yの第1側y1寄りに配置されている。複数の第3電極623は、ドレイン電極であり、素子主面62aの第1方向xの第2側x2寄りに第2方向yに沿って並んで配列されている。なお、素子主面62aには、その他の電極も配置されている。また、各電極621～623の配置のレイアウトは限定されない。

[0042] 半導体素子62は、図4～図6に示すように、接合部材65を介して、素子裏面62bがダイパッド部11の主面111に接合されている。本実施形態では、接合部材65は、たとえばAgペーストである。なお、接合部材65は、はんだまたは焼結銀接合材などの導電性接合材であってもよいし、絶縁性接合部材であってもよい。半導体素子62は、図2および図9に示すように、主面111の第2領域52、すなわち、開口部43および開口部44の第1方向xの第2側x2側に配置されている。

[0043] 半導体素子61は、半導体素子62を駆動させる駆動素子である。半導体素子61は、外部から入力される制御信号に基づいて駆動信号を生成し、半導体素子62に出力する。また、半導体素子61は、半導体素子62から入力されるソースセンス信号などに基づいて、駆動信号の制御を行う。半導体素子61は、素子主面61a、素子裏面61b、および複数の電極611を備えている。

[0044] 素子主面61aおよび素子裏面61bは、厚さ方向zにおいて互いに反対側を向いている。素子主面61aは厚さ方向zの第1側z1を向く面であり、素子裏面61bは厚さ方向zの第2側z2を向く面である。複数の電極6

11は、素子主面61aに配置されている。なお、各電極611の機能および配置は限定されない。

[0045] 半導体素子61は、図4に示すように、接合部材65を介して、素子裏面61bがダイパッド部11の主面111に接合されている。半導体素子61は、図2および図9に示すように、主面111の第3領域53、すなわち、開口部45の第1方向xの第1側x1であり、かつ、開口部44の第2方向yの第1側y1に配置されている。半導体素子61は、第1方向xにおいて半導体素子62に対して第1側x1で、第2方向yにおいて半導体素子62に対して第1側y1に配置されている。厚さ方向zに視た半導体素子61の中心である素子中心61cは、ダイパッド部11の主面111の第2方向yにおける中心より第1側y1に位置し、かつ、主面111の第1方向xにおける中心より第1側x1に位置している。

[0046] 複数のワイヤ7は、図2に示すように、リード1~3とともに、半導体素子61および半導体素子62が所定の機能を果たすための導通経路を構成している。各ワイヤ7の構成材料は、たとえばCu, Au, Ag, Al、または、これらのいずれかを含む合金などであり、限定されない。複数のワイヤ7は、それぞれ複数のワイヤ71, 72, 73, 74を含んでいる。

[0047] 複数のワイヤ71は、図2および図8に示すように、半導体素子61と複数のリード3との導通経路を構成する。各ワイヤ71は、半導体素子61のいずれかの電極611と、複数のリード3aまたは複数のリード3bのいずれかのパッド部31の主面311とに導通接合されている。これにより、半導体素子61は、複数のリード3およびワイヤ71を介して、外部から信号が入力され、また、外部に信号を出力できる。複数のリード3aおよび複数のリード3bはいずれも、厚さ方向zに視てパッド部31が半導体素子61の素子中心61cに向けて延びているので、各ワイヤ71は、当該ワイヤ71が接合されたリード3に隣接する他のリード3に、厚さ方向zに視て重ならないように形成できる。

[0048] 複数のワイヤ72は、図2および図8に示すように、半導体素子61と半

導体素子62との導通経路を構成する。1本のワイヤ72は、半導体素子61のいずれかの電極611と、半導体素子62の第2電極622とに導通接合されている。半導体素子61は、当該ワイヤ72を介して、第2電極622に駆動信号を出力する。その他のワイヤ72は、半導体素子61のいずれかの電極611と、半導体素子62のいずれかの電極とに導通接合されている。半導体素子61は、半導体素子62の第1電極621（ソース電極）に接合されたワイヤ72を介してソースセンス信号を入力される。また、半導体素子61は、他のワイヤ72を介して、半導体素子62と信号の入出力を行う。

[0049] 複数のワイヤ73は、図2および図8に示すように、半導体素子62とダイパッド部11との導通経路を構成する。各ワイヤ73は、半導体素子62のいずれかの第1電極621と、ダイパッド部11の主面111とに導通接合されている。これにより、リード1は、半導体素子62の第1電極621（ソース電極）に導通接続されて、ソース端子として機能する。本実施形態では、各ワイヤ73は、主面111のうち第1領域51に接合されている。

[0050] 複数のワイヤ74は、図2および図7に示すように、半導体素子62とリード2との導通経路を構成する。各ワイヤ74は、半導体素子62のいずれかの第3電極623と、リード2のパッド部21の主面211とに導通接合されている。これにより、リード2は、半導体素子62の第3電極623（ドレイン電極）に導通接続されて、ドレイン端子として機能する。本実施形態では、各ワイヤ74は、主面211のうち接合領域211aに接合されている。各ワイヤ74はすべて、厚さ方向zに視て第1方向xに対して傾斜している。図7に示すように、各ワイヤ74は、半導体素子62に接合された接合部74aとリード2に接合された接合部74bとを備えている。接合部74aは、接合部74bより、第2方向yの第1側y1に位置する。

[0051] 半導体装置A10の製造工程の封止樹脂8の形成工程において、封止樹脂8の材料は、図7の破線矢印89に示すように、第2方向yの第1側y1から第2側y2に第2方向yに沿って流れる。したがって、各ワイヤ74は、

第2方向 y の第2側 y_2 に湾曲している。また、各ワイヤ74は厚さ方向 z に視て第1方向 x に対して傾斜しているため、封止樹脂8の材料によってワイヤ74にかかる力は、ワイヤ74に平行な方向の成分と直交する方向の成分とに分解される。いわゆるワイヤ流れに影響する直交する方向の成分は、ワイヤ74が第2方向 y に平行である場合と比較して小さくなるため、ワイヤ流れが抑制される。ワイヤ74の第1方向 x に対する傾斜角 α が大きいほど、ワイヤ流れを抑制する効果がより期待できる。

[0052] 封止樹脂8は、リード1～3各々の一部と、半導体素子61、62、および複数のワイヤ7とを覆っている。封止樹脂8は、電気絶縁性を有する。封止樹脂8は、たとえば黒色のエポキシ樹脂を含む材料からなる。なお、封止樹脂8の材料は限定されない。

[0053] 封止樹脂8は、樹脂主面81、樹脂裏面82、および4個の樹脂側面83を備えている。樹脂主面81および樹脂裏面82は、厚さ方向 z において互いに反対側を向いている。樹脂主面81は厚さ方向 z の第1側 z_1 を向く面であり、樹脂裏面82は厚さ方向 z の第2側 z_2 を向く面である。

[0054] 4個の樹脂側面83は、それぞれ、樹脂主面81および樹脂裏面82に直交し、樹脂主面81および樹脂裏面82をつなぐ面であり、第1方向 x または第2方向 y の外側を向く面である。各樹脂側面83は、製造工程における切断工程でのシンギュレーションにより形成される。4個の樹脂側面83は、第1樹脂側面831、第2樹脂側面832、第3樹脂側面833、および第4樹脂側面834を含んでいる。第1樹脂側面831および第2樹脂側面832は、第2方向 y において互いに反対側を向いている。第1樹脂側面831は、第2方向 y の第1側 y_1 に配置されて第1側 y_1 を向く面であり、第2樹脂側面832は、第2方向 y の第2側 y_2 に配置されて第2側 y_2 を向く面である。第3樹脂側面833および第4樹脂側面834は、第1方向 x において互いに反対側を向いている。第3樹脂側面833は、第1方向 x の第1側 x_1 に配置されて第1側 x_1 を向く面であり、第4樹脂側面834は、第1方向 x の第2側 x_2 に配置されて第2側 x_2 を向く面である。

[0055] リード1の第1方向xの第1側x1を向く各端面123と、各リード3aおよびリード3cの端面323とは、第3樹脂側面833から露出し、第3樹脂側面833と互いに面一である。第3樹脂側面833から露出した各端面123および各端面323は、互いに離間して、第2方向yに沿って等間隔で配列されている。リード1の第2方向yの第1側y1を向く各端面123と、各リード3bの端面323と、リード3gの第1側y1を向く端面323とは、第1樹脂側面831から露出し、第1樹脂側面831と互いに面一である。第1樹脂側面831から露出した各端面123および各リード3bの端面323は、互いに離間して、第1方向xに沿って等間隔で配列されている。リード1の第2方向yの第2側y2を向く各端面123と、リード3eの端面323と、リード3gの第2側y2を向く端面323とは、第2樹脂側面832から露出し、第2樹脂側面832と互いに面一である。第2樹脂側面832から露出した各端面123および各リード3eの端面323は、互いに離間して、第1方向xに沿って等間隔で配列されている。リード2の各端子部22の端面223と、各リード3fの端面323と、各リード3gの第2側x2を向く端面323とは、第4樹脂側面834から露出し、第4樹脂側面834と互いに面一である。第4樹脂側面834から露出した各端面223および各端面323は、互いに離間して、第2方向yに沿って等間隔で配列されている。また、リード1のダイパッド部11の裏面112および各端子部12の裏面122と、リード2の各端子部22の裏面222と、各リード3の端子部32の裏面322とは、樹脂裏面82から露出し、樹脂裏面82と互いに面一である。

[0056] 次に、半導体装置A10の作用効果について説明する。

[0057] 本実施形態によると、半導体素子61は、ダイパッド部11の主面111の第2方向yにおける中心より第1側y1にずれた位置に搭載されている。また、各リード3aのパッド部31はいずれも、厚さ方向zに視て素子中心61cに向けて延びている。したがって、各リード3aに接合されたワイヤ71は、当該ワイヤ71が接合されたリード3aに隣接する他のリード3a

に、厚さ方向 z に視て重ならないように形成できる。これにより、半導体装置A10は、各ワイヤ71が、当該隣接する他のリード3aに接触することを抑制できる。また、半導体素子61は、ダイパッド部11の主面111の第1方向 x における中心より第1側 x_1 にずれた位置に搭載されている。また、各リード3bのパッド部31はいずれも、厚さ方向 z に視て素子中心61cに向けて延びている。したがって、各リード3bに接合されたワイヤ71は、当該ワイヤ71が接合されたリード3bに隣接する他のリード3bに、厚さ方向 z に視て重ならないように形成できる。これにより、半導体装置A10は、各ワイヤ71が、当該隣接する他のリード3bに接触することを抑制できる。

[0058] また、本実施形態によると、各ワイヤ74はいずれも、厚さ方向 z に視て第1方向 x に対して傾斜している。したがって、ワイヤ74が第1方向 x に平行な場合と比較して、半導体装置A10の製造工程の封止樹脂8の形成工程において、第2方向 y に流れる封止樹脂8の材料が各ワイヤ74に及ぼす力は小さくなる。これにより、各ワイヤ74のワイヤ流れが抑制されるので、半導体装置A10は、ワイヤ流れによるワイヤ74同士の接触が抑制される。また、本実施形態によると、各ワイヤ74はいずれも、接合部74aが接合部74bより第2方向 y の第1側 y_1 に位置しており、第1方向 x に対する傾斜方向が同じ（あるいは略同じ）である。したがって、各ワイヤ74に生じるワイヤ流れが同様なので、半導体装置A10は、ワイヤ流れによるワイヤ74同士の接触が抑制される。

[0059] また、本実施形態によると、ダイパッド部11は、主面111から厚さ方向 z の第2側 z_2 に凹んだ凹部である開口部4を備えている。開口部4は、第1方向 x において、ワイヤ73が接合される第1領域51と端縁111aとの間に位置し、かつ、第2方向 y に延びる開口部41を含んでいる。開口部41は、端縁111aで発生した剥離の第1方向 x の第2側 x_2 への進行を妨げる。開口部41が剥離の第1領域51への進行を妨げるので、半導体装置A10は、ワイヤ73のダイパッド部11からの剥離を抑制できる。ま

た、本実施形態によると、開口部4は、開口部41の第2方向yの第1側y1の端部につながり、第1方向xの第1側x1に延びる開口部42を含んでいる。開口部42は、端縁111aで発生した剥離の第2方向yの第1側y1への進行を妨げる。開口部42が剥離の第1領域51および第2領域52への進行を妨げるので、半導体装置A10は、ワイヤ73のダイパッド部11からの剥離、および、半導体素子61のダイパッド部11からの剥離を抑制できる。

[0060] また、本実施形態によると、開口部4は、第1方向xにおいて、半導体素子62が搭載される第2領域52と、ワイヤ73が接合される第1領域51との間に位置し、かつ、第2方向yに延びる開口部43を含んでいる。製造工程において、ダイパッド部11に半導体素子62を接合する際に、溶融した接合部材65が流れ出した場合でも、開口部43は、溶融した接合部材65が第1領域51まで流れることを抑制できる。これにより、接合部材65がワイヤ73の接合を妨げることを抑制できる。また、開口部43は、封止樹脂8のダイパッド部11からの剥離の第1方向xの第1側x1への進行を妨げるので、ワイヤ73のダイパッド部11からの剥離の抑制にも貢献できる。また、本実施形態によると、開口部4は、開口部43の第2方向yの第1側y1の端部につながり、第1方向xの第1側x1に延びる開口部44を含んでいる。製造工程において、ダイパッド部11に半導体素子61を接合する際に、溶融した接合部材65が流れ出した場合でも、開口部44は、溶融した接合部材65が第1領域51まで流れることを抑制できる。これにより、接合部材65がワイヤ73の接合を妨げることを抑制できる。また、開口部44は、封止樹脂8のダイパッド部11からの剥離の第2方向yの第2側y2への進行を妨げるので、ワイヤ73のダイパッド部11からの剥離の抑制にも貢献できる。また、本実施形態によると、開口部4は、開口部43の第2方向yの第1側y1の端部につながり、第2方向yの第1側y1に延びる開口部45を含んでいる。開口部45は、開口部43と開口部44との接続点における応力の集中を抑制し、また、封止樹脂8とダイパッド部11

との結合をより強固にする。また、開口部43、開口部44、および開口部45は、第1領域51、第2領域52、および第3領域53を区画して、半導体素子61および半導体素子62を搭載するための位置を明示する機能も有する。

[0061] また、本実施形態によると、開口部4の各端部は、ダイパッド部11の主面111の外縁より内側に位置する。したがって、各端部が主面111の外縁まで延びている場合と比較して、ダイパッド部11の強度を強くできる。また、本実施形態によると、開口部4は、主面111から厚さ方向zの第2側z2に凹んだ凹部である。したがって、開口部4がダイパッド部11を厚さ方向zに貫通している場合と比較して、ダイパッド部11の強度を強くできる。

[0062] また、本実施形態によると、ダイパッド部11の裏面112とリード2の端子部22の裏面222との距離は十分大きい。したがって、裏面112と裏面222とが絶縁破壊により導通することが抑制される。一方、リード2のパッド部21の第1方向xの寸法は十分大きい。これにより、半導体素子62とパッド部21とを導通接続するワイヤ74の長さを抑制できる。

[0063] また、本実施形態によると、半導体装置A10は、ダミーリードであるリード3c、3e、3f、3gを備えている。したがって、半導体装置A10は、リード3c、3e、3f、3gを備えない場合と比較して、実装信頼性が高められている。また、本実施形態によると、リード1は、端子部12a、12b、12cを備えている。したがって、半導体装置A10は、端子部12a、12b、12cの代わりに、リード1から離間したリードを備える場合と比較して、放熱性が高められ、また、ダイパッド部11を支える強度が向上している。

[0064] なお、本実施形態では、開口部4が開口部41~45をすべて含んでいる場合について説明したが、これに限られない。開口部4は、開口部41~45のいずれかを含んでいなくてもよい。また、ダイパッド部11は、開口部4を備えていなくてもよい。また、本実施形態では、各ワイヤ74がいずれ

も、厚さ方向 z に視て第 1 方向 x に対して傾斜している場合について説明したが、これに限られない。各ワイヤ 74 は、厚さ方向 z に視て第 1 方向 x に平行（あるいは略平行）であってもよい。また、本実施形態では、各リード 3a および各リード 3b のパッド部 31 がいずれも厚さ方向 z に視て素子中心 61c に向けて延びている場合について説明したが、これに限られない。各リード 3a のパッド部 31 は、第 1 方向 x の第 2 側 x_2 に延びていてもよい。また、各リード 3b のパッド部 31 は、第 2 方向 y の第 2 側 y_2 に延びていてもよい。また、半導体装置 A10 のパッケージ形式、搭載される半導体素子 61, 62 の種類および個数、ならびに、リード 1~3 の形状、数、および配置などは、特に限定されない。

[0065] また、本実施形態では、接合領域 211a が主面 211 の第 2 方向 y の第 2 側 y_2 寄りに配置されている場合について説明したが、これに限られない。接合領域 211a は、主面 211 の第 2 方向 y の第 1 側 y_1 寄りに配置されてもよい。この場合、ワイヤ 74 の接合部 74a は、接合部 74b より、第 2 方向 y の第 2 側 y_2 に位置する。

[0066] 図 10~図 18 は、第 1 実施形態にかかる半導体装置 A10 の変形例を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付して、重複する説明を省略する。

[0067] 第 1 変形例：

図 10 は、第 1 実施形態の第 1 変形例にかかる半導体装置 A11 を説明するための図である。図 10 は、半導体装置 A11 のダイパッド部 11 を示す平面図であり、図 9 に対応する図である。半導体装置 A11 は、開口部 4 の構成が半導体装置 A10 と異なる。

[0068] 本変形例にかかる半導体装置 A11 の開口部 4 は、開口部 42 および開口部 45 を含んでいない。本変形例においても、開口部 4 が開口部 41 を含んでいるので、端縁 111a で発生した剥離の第 1 領域 51 への進行が妨げられ、ワイヤ 73 のダイパッド部 11 からの剥離が抑制される。また、開口部 4 が開口部 43 および開口部 44 を含んでいるので、熔融した接合部材 65

の第1領域51への流出を抑制でき、また、ワイヤ73のダイパッド部11からの剥離の抑制にも貢献できる。

[0069] 第2変形例：

図11は、第1実施形態の第2変形例にかかる半導体装置A12を説明するための図である。図11は、半導体装置A12のダイパッド部11を示す平面図であり、図9に対応する図である。半導体装置A12は、開口部4の構成が半導体装置A10と異なる。

[0070] 本変形例にかかる半導体装置A12の開口部4は、開口部43～45を含んでいない。本変形例においても、開口部4が開口部41, 42を含んでいるので、剥離の第1領域51および第2領域52への進行が妨げられ、ワイヤ73および半導体素子61のダイパッド部11からの剥離が抑制される。

[0071] 第3変形例：

図12は、第1実施形態の第3変形例にかかる半導体装置A13を説明するための図である。図12は、半導体装置A13のダイパッド部11を示す平面図であり、図9に対応する図である。半導体装置A13は、開口部4の構成が半導体装置A10と異なる。

[0072] 本変形例にかかる半導体装置A13の開口部4は、開口部41, 42を含んでいない。本変形例においても、開口部4が開口部43, 44を含んでいるので、熔融した接合部材65の第1領域51への流出を抑制でき、また、ワイヤ73のダイパッド部11からの剥離の抑制にも貢献できる。また、開口部4が開口部45を含んでいるので、開口部43と開口部44との接続点における応力の集中が抑制され、また、封止樹脂8とダイパッド部11との結合がより強固になる。また、開口部43～45によりダイパッド部11の主面111が第1領域51、第2領域52、および第3領域53に区画されるので、半導体素子61および半導体素子62を搭載するための位置が明確になる。

[0073] 変形例1～3から理解されるように、開口部4は、開口部41～45をすべて含んでいる必要はない。開口部4は、開口部41～45のうち必要な部

分だけを含んでいればよい。

[0074] 第4変形例：

図13は、第1実施形態の第4変形例にかかる半導体装置A14を説明するための図である。図13は、半導体装置A14のダイパッド部11を示す平面図であり、図9に対応する図である。半導体装置A14は、開口部4の構成が半導体装置A10と異なる。

[0075] 本変形例にかかる半導体装置A14の開口部4は、開口部41および開口部42がつながっておらず互いに離間しており、開口部43、開口部44、および開口部45がつながっておらず互いに離間している。開口部41～45は、他とつながらず離間していても、それぞれが剥離の進行を妨げることができるし、また、溶融した接合部材65の流れを妨げることができる。なお、剥離が離間した部分を通して進行したり、離間した部分から溶融した接合部材65が流出するおそれがあるので、離間した部分の離間距離は小さい方が望ましいし、つながっているのがより望ましい。

[0076] 第5変形例：

図14は、第1実施形態の第5変形例にかかる半導体装置A15を説明するための図である。図14は、半導体装置A15のダイパッド部11を示す平面図であり、図9に対応する図である。半導体装置A15は、開口部4の構成が半導体装置A10と異なる。

[0077] 本変形例にかかる半導体装置A15の開口部4は、開口部41～45がそれぞれ、第1方向xまたは第2方向yに延びる形状ではなく、第1方向xまたは第2方向yに配列された複数の部位4aからなる。各部位4aは、厚さ方向zに視た形状がたとえば矩形状であり、主面111から厚さ方向zの第2側z2に凹んだ凹部である。なお、各部位4aの厚さ方向zに視た形状および大きさは限定されない。本変形例においても、開口部41～45はそれぞれ、半導体装置A10の開口部41～45と同様の機能を果たす。

[0078] 第6変形例：

図15は、第1実施形態の第6変形例にかかる半導体装置A16を説明す

るための図である。図15は、半導体装置A16のダイパッド部11を示す平面図であり、図9に対応する図である。半導体装置A16は、開口部4の構成が半導体装置A10と異なる。

[0079] 本変形例にかかる半導体装置A13の開口部4は、開口部41~45がそれぞれ、第1方向xまたは第2方向yに延びる形状ではなく、複数の部位4bの集合体である。各部位4bは、厚さ方向zに視た形状がたとえば円形状であり、主面111から厚さ方向zの第2側z2に凹んだ凹部である。なお、各部位4aの厚さ方向zに視た形状および大きさは限定されない。本変形例においても、開口部41~45はそれぞれ、半導体装置A10の開口部41~45と同様の機能を果たす。

[0080] 第7変形例：

図16は、第1実施形態の第7変形例にかかる半導体装置A17を説明するための図である。図16は、半導体装置A17のダイパッド部11を示す平面図であり、図9に対応する図である。半導体装置A17は、開口部4の構成が半導体装置A10と異なる。

[0081] 本変形例にかかる半導体装置A13の開口部41は、第2方向yの第2側y2の端部が主面111の外縁に達している。同様に、開口部43の第2方向yの第2側y2の端部、開口部42の第1方向xの第1側x1の端部、開口部44の第1方向xの第1側x1の端部、および開口部45の第2方向yの第1側y1の端部も主面111の外縁に達している。本変形例においても、開口部41~45はそれぞれ、半導体装置A10の開口部41~45と同様の機能を果たす。

[0082] 第8変形例：

図17は、第1実施形態の第8変形例にかかる半導体装置A18を説明するための図である。図17は、半導体装置A18のダイパッド部11を示す平面図であり、図9に対応する図である。半導体装置A18は、開口部4の構成が半導体装置A10と異なる。

[0083] 本変形例にかかる半導体装置A18の開口部4は、開口部46および開口

部47をさらに含んでいる。開口部46は、開口部41の第2方向yの第2側y2の端部、および、開口部43の第2方向yの第2側y2の端部につながり、第1方向xに延びている。開口部47は、開口部42の第1方向xの第1側x1の端部、および、開口部44の第1方向xの第1側x1の端部につながり、第2方向yに延びている。開口部46は、剥離の第2方向yの第1側y1への進行を妨げて、第1領域51への進行を妨げる。また、開口部47は、剥離の第1方向xの第2側x2への進行を妨げて、第1領域51への進行を妨げる。したがって、半導体装置A18は、ワイヤ73のダイパッド部11からの剥離をより抑制できる。

[0084] 第9変形例：

図18は、第1実施形態の第9変形例にかかる半導体装置A19を説明するための図である。図18は、半導体装置A19のダイパッド部11を示す平面図であり、図9に対応する図である。半導体装置A19は、開口部4の構成が半導体装置A10と異なる。

[0085] 本変形例にかかる半導体装置A19の開口部41は、第1方向xにおいて開口部44の第1方向xの第1側x1の端部と同様の位置に配置されている。なお、開口部41は開口部44とつながってもよい。開口部42は、開口部41の第2方向yの第2側y2の端部につながり、第1方向xの第2側x2に延びている。なお、開口部42は開口部43とつながってもよい。本変形例においても、開口部41は、半導体装置A10の開口部41と同様の機能を果たす。一方、開口部42は、剥離の第2方向yの第1側y1への進行を妨げて、第1領域51への進行を妨げる。したがって、半導体装置A19は、ワイヤ73のダイパッド部11からの剥離をより抑制できる。

[0086] 図19～図23は、本開示の他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。

[0087] 第2実施形態：

図19は、本開示の第2実施形態に係る半導体装置A20を説明するため

の図である。図19は、半導体装置A20を示す断面図であり、図5に対応する図である。本実施形態の半導体装置A20は、開口部4がダイパッド部11を厚さ方向zに貫通している点で、第1実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。なお、上記の第1実施形態および各変形例の各部が任意に組み合わせられてもよい。本実施形態では、開口部4の開口部41～45はいずれも、ダイパッド部11を厚さ方向zに貫通している。

[0088] 本実施形態においても、開口部41～45はそれぞれ、剥離の進行を妨げ、また、熔融した接合部材65の流出を妨げるので、半導体装置A10の開口部41～45と同様の機能を果たす。これにより、半導体装置A20は、ワイヤ73のダイパッド部11からの剥離を抑制でき、また、接合部材65がワイヤ73の接合を妨げることを抑制できる。また、半導体装置A20は、半導体装置A10と共通する構成をとることにより、半導体装置A10と同等の効果を奏する。

[0089] 第3実施形態：

図20は、本開示の第3実施形態に係る半導体装置A30を説明するための図である。図20は、半導体装置A30を示す平面図であり、図2に対応する図である。図20においては、理解の便宜上、封止樹脂8を透過して、封止樹脂8の外形を想像線（二点鎖線）で示している。本実施形態の半導体装置A30は、リード2の形状が第1実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。なお、上記の第1～2実施形態および各変形例の各部が任意に組み合わせられてもよい。

[0090] 本実施形態に係るリード2は、第1実施形態に係るリード2と比較して、第2方向yの寸法が大きく、14個の端子部22を備えている。半導体装置A30は、リード3fを備えておらず、第1実施形態においてリード3fが配置されていた位置まで、パッド部21が第2方向yに広がっている。つまり、本実施形態に係るリード2は、第1実施形態におけるリード3fがリード2につながったものである。本実施形態では、パッド部21の第2方向y

の寸法が大きくなったことで、複数のワイヤ74が、パッド部21の主面211の第2方向yのより第2側y2に接合されている。

[0091] 本実施形態においても、各ワイヤ74はいずれも、厚さ方向zに視て第1方向xに対して傾斜しているため、各ワイヤ74のワイヤ流れが抑制され、半導体装置A30は、ワイヤ流れによるワイヤ74同士の接触が抑制される。また、本実施形態においても、各ワイヤ74はいずれも、第1方向xに対する傾斜方向が同じなので、各ワイヤ74に生じるワイヤ流れが同様になり、半導体装置A30は、ワイヤ流れによるワイヤ74同士の接触が抑制される。さらに、本実施形態によると、各ワイヤ74の接合部74bが、パッド部21の主面211の第2方向yのより第2側y2に接合されているため、各ワイヤ74の第1方向xに対する傾斜角 α が、第1実施形態の場合より大きくなる。これにより、ワイヤ流れに影響する成分が小さくなるため、半導体装置A30は、ワイヤ流れがより抑制される。また、半導体装置A30は、半導体装置A10と共通する構成をとることにより、半導体装置A10と同等の効果を奏する。

[0092] 第1変形例：

図21は、第3実施形態の第1変形例にかかる半導体装置A31を説明するための図である。図21は、半導体装置A31を示す平面図であり、図2に対応する図である。図21においては、理解の便宜上、封止樹脂8を透過して、封止樹脂8の外形を想像線（二点鎖線）で示している。なお、図21において、上記第3実施形態と同一または類似の要素には、上記実施形態と同一の符号を付して、重複する説明を省略する。半導体装置A31は、リード2の形状が半導体装置A30と異なる。

[0093] 本変形例にかかる半導体装置A31のリード2は、第3実施形態に係るリード2と比較して、第2方向yの寸法がさらに大きく、16個の端子部22を備えている。半導体装置A31は、リード3gを備えておらず、第3実施形態においてリード3gが配置されていた位置まで、パッド部21が第2方向yに広がっている。つまり、本変形例に係るリード2は、第3実施形態に

おけるリード3gがリード2につながったものである。本変形例では、パッド部21の第2方向yの寸法がさらに大きくなったことで、複数のワイヤ74が、パッド部21の主面211の第2方向yのより第2側y2に接合されている。本変形例によると、各ワイヤ74の第1方向xに対する傾斜角 α が、第3実施形態の場合より大きくなる。これにより、ワイヤ流れに影響する成分が小さくなるので、半導体装置A31は、ワイヤ流れがより抑制される。

[0094] 第4実施形態：

図22は、本開示の第4実施形態に係る半導体装置A40を説明するための図である。図22は、半導体装置A40を示す平面図であり、図2に対応する図である。図22においては、理解の便宜上、封止樹脂8を透過して、封止樹脂8の外形を想像線（二点鎖線）で示している。本実施形態の半導体装置A40は、リード1の構成が第1実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。なお、上記の第1～3実施形態および各変形例の各部が任意に組み合わせられてもよい。

[0095] 本実施形態に係るリード1は、端子部12a、端子部12b、および端子部12cを備えていない。半導体装置A40は、端子部12aの代わりにリード3cを備え、端子部12bの代わりにリード3dを備え、端子部12cの代わりにリード3eを備えている。リード3c、3d、3eは、他のリード3と同様の構成であり、ダイパッド部11から離間している。各リード3cは、第2方向yにおいて複数のリード3aに対して第2側y2に配置されている。各リード3cにおいて、パッド部31は第1方向xの第2側x2に延びている。各リード3dは、第1方向xにおいて複数のリード3bに対して第2側x2に配置されている。各リード3dにおいて、パッド部31は第2方向yの第2側y2に延びている。各リード3eは、第1方向xにおいて端子部12eに対して第2側x2に配置されている。各リード3eにおいて、パッド部31は第2方向yの第1側y1に延びている。リード3c、3d、3eは、いわゆるダミーリードである。

[0096] 本実施形態においても、半導体装置A40は、半導体装置A10と共通する構成をとることにより、半導体装置A10と同等の効果を奏する。

[0097] 第5実施形態：

図23は、本開示の第5実施形態に係る半導体装置A50を説明するための図である。図23は、半導体装置A50を示す平面図であり、図2に対応する図である。図23においては、理解の便宜上、封止樹脂8を透過して、封止樹脂8の外形を想像線（二点鎖線）で示している。本実施形態の半導体装置A50は、複数のワイヤ74がいずれも厚さ方向zに視て第1方向xに対して平行（あるいは略平行）である点で、第1実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。なお、上記の第1～4実施形態および各変形例の各部が任意に組み合わせられてもよい。

[0098] 本実施形態では、各ワイヤ74は、半導体素子62に接合された接合部74aとリード2に接合された接合部74bとが、第2方向yにおいて同様の位置にある。すなわち、複数のワイヤ74はいずれも、厚さ方向zに視て第1方向xに対して平行（あるいは略平行）である。

[0099] 本実施形態によると、各ワイヤ74は、厚さ方向zに視て第1方向xに対して平行（あるいは略平行）なので、第1方向xに対して傾斜している場合と比較して、ワイヤ長を短くできる。これにより、半導体装置A50は、ワイヤ74の抵抗値を抑制できる。また、半導体装置A50は、半導体装置A10と共通する構成をとることにより、半導体装置A10と同等の効果を奏する。

[0100] 上記第1～5実施形態においては、半導体素子61が、半導体素子62に対して第1方向xの第1側x1で第2方向yの第1側y1に位置しており、ダイパッド部11の主面111の中心から第1方向xの第1側x1で第2方向yの第1側y1にずれた位置に配置されている場合について説明したが、これに限られない。たとえば、半導体素子61は、半導体素子62と第1方向xに並んで、半導体素子62に対して第1側x1に配置されてもよい。こ

の場合、半導体素子61は、第1方向xにおいてダイパッド部11の主面111の中心から第1側x1にずれ、第2方向yにおいて主面111の中心に配置される。この場合は、リード3bのパッド部31は、厚さ方向zに視て半導体素子61の中心である素子中心61cに向けて延び、リード3aのパッド部31は、厚さ方向zに視てダイパッド部11の主面111の中心に向けて延びるように形成される。また、半導体素子61は、半導体素子62と第2方向yに並んで、半導体素子62に対して第1側y1に配置されてもよい。この場合、半導体素子61は、第2方向yにおいてダイパッド部11の主面111の中心から第1側y1にずれ、第1方向xにおいて主面111の中心に配置される。この場合は、リード3aのパッド部31は、厚さ方向zに視て半導体素子61の中心である素子中心61cに向けて延び、リード3bのパッド部31は、厚さ方向zに視てダイパッド部11の主面111の中心に向けて延びるように形成される。

[0101] 本開示に係る半導体装置は、先述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。本開示は、以下の付記に記載した実施形態を含む。

[0102] 付記1.

ダイパッド部(11)を有する第1リード(1)と、
前記ダイパッド部に搭載された第1半導体素子(61)と、
前記ダイパッド部に搭載された第2半導体素子(62)と、
前記第2半導体素子と前記ダイパッド部とに導通接合されたワイヤ(73)と、

を備え、

前記ダイパッド部は、前記厚さ方向(z)の厚さ方向第1側(z1)を向くダイパッド主面(111)を備え、

前記ダイパッド主面は、前記第2半導体素子の、前記厚さ方向に直交する第1方向(x)の第1方向第1側(x1)に位置し、かつ、前記ワイヤが接合された第1領域(51)と、前記第1領域の前記第1方向第1側に位置し

、かつ、前記厚さ方向および前記第1方向に直交する第2方向（y）に延びる第1端縁（111a）と、を備え、

前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、前記第1領域と前記第1端縁との間に位置する第1開口部（41）を備えている、半導体装置。

付記2.

前記第1開口部は、前記ダイパッド主面から凹む凹部である、付記1に記載の半導体装置。

付記3、第2実施形態、図19.

前記第1開口部は、前記ダイパッド部を前記厚さ方向に貫通している、付記1に記載の半導体装置。

付記4.

前記第1開口部は、前記第2方向に延びている、付記1ないし3のいずれかに記載の半導体装置。

付記5.

前記厚さ方向に視て、前記第1開口部の前記第2方向における両端は、前記ダイパッド主面の外縁より内側に位置する、付記4に記載の半導体装置。

付記6、第1実施形態第5変形例、図14.

前記第1開口部は、前記第2方向に配列された複数の部位（4a）からなる、付記1ないし3のいずれかに記載の半導体装置。

付記7.

前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、前記第1開口部の前記第1方向第1側に位置する第2開口部（42）を備え、

前記第1半導体素子は、前記第2方向において、前記第2開口部の第2方向第1側に配置されている、付記1ないし6のいずれかに記載の半導体装置

。

付記 8.

前記第 2 開口部は、前記第 1 方向に延びている、
付記 7 に記載の半導体装置。

付記 8 - 1.

前記厚さ方向に視て、前記第 2 開口部の前記第 1 方向における両端は、前記ダイパッド主面の外縁より内側に位置する、
付記 8 に記載の半導体装置。

付記 9.

前記第 2 開口部は、前記第 1 開口部の前記第 2 方向第 1 側の端部につながっている、
付記 8 に記載の半導体装置。

付記 9 - 1.

前記第 2 開口部は、前記第 1 方向に配列された複数の部位からなる、
付記 7 に記載の半導体装置。

付記 10.

前記ダイパッド主面は、前記第 2 半導体素子が搭載される第 2 領域（5 2）を備え、

前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、前記第 1 領域と前記第 2 領域とを区画する第 3 開口部（4 3）を備えている、
付記 7 ないし 9 のいずれかに記載の半導体装置。

付記 11.

前記第 3 開口部は、前記第 2 方向に延びている、
付記 10 に記載の半導体装置。

付記 11 - 1.

前記厚さ方向に視て、前記第 3 開口部の前記第 2 方向における両端は、前記ダイパッド主面の外縁より内側に位置する、
付記 11 に記載の半導体装置。

付記 11 - 2.

前記第3開口部は、前記第2方向に配列された複数の部位からなる、付記10に記載の半導体装置。

付記12.

前記ダイパッド主面は、前記第1半導体素子が搭載される第3領域(53)を備え、

前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、前記第1領域と前記第3領域とを区画する第4開口部(44)を備えている、付記10または11に記載の半導体装置。

付記12-1.

前記第4開口部は、前記第1方向に延びている、付記12に記載の半導体装置。

付記12-2.

前記厚さ方向に視て、前記第4開口部の前記第1方向における両端は、前記ダイパッド主面の外縁より内側に位置する、付記12-1に記載の半導体装置。

付記12-3.

前記第4開口部は、前記第3開口部の前記第2方向の第2方向第1側の端部につながっている、付記12-1に記載の半導体装置。

付記12-4.

前記第4開口部は、前記第1方向に配列された複数の部位からなる、付記12に記載の半導体装置。

付記13.

前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、前記第3開口部の前記第2方向の第2方向第1側に位置する第5開口部(45)を備えている、

付記10ないし12のいずれかに記載の半導体装置。

付記13-1.

前記第5開口部は、前記第2方向に延びている、
付記13に記載の半導体装置。

付記13-2.

前記厚さ方向に視て、前記第5開口部の前記第2方向における両端は、前記ダイパッド主面の外縁より内側に位置する、
付記13-1に記載の半導体装置。

付記13-3.

前記第5開口部は、前記第3開口部の前記第2方向の第2方向第1側の端部につながっている、
付記13-1に記載の半導体装置。

付記13-4.

前記第5開口部は、前記第2方向に配列された複数の部位からなる、
付記13に記載の半導体装置。

付記14、第1実施形態第8変形例、図17.

前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、前記第1開口部の前記第2方向の第2方向第2側の端部と前記第3開口部の前記第2方向第2側の端部との間に位置する第6開口部(46)を備えている、
付記10ないし13のいずれかに記載の半導体装置。

付記15、第1実施形態第8変形例、図17.

前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、前記第2開口部の前記第1方向第1側の端部と前記第4開口部の前記第1方向第1側の端部との間に位置する第7開口部(47)を備えている、
付記12に記載の半導体装置。

付記16.

前記第1リードは、前記ダイパッド部につながり、かつ、前記ダイパッド部の前記第1方向第1側で、前記第2方向に沿って配列された複数の第1端子部(12a)を備えており、

前記第1方向に視て、前記複数の第1端子部は前記第1開口部に重なって

いる、

付記 1 ないし 1 5 のいずれかに記載の半導体装置。

付記 1 6 - 1 .

前記第 2 半導体素子は、スイッチング素子であり、

前記第 1 半導体素子は、前記第 2 半導体素子を駆動する駆動素子である、

付記 1 ないし 1 6 のいずれかに記載の半導体装置。

付記 1 6 - 2 .

前記第 2 半導体素子は、G a N を含んでいる、

付記 1 ないし 1 6 のいずれかに記載の半導体装置。

符号の説明

[0103] A 1 0 ~ A 1 9 , A 2 0 , A 3 0 , A 3 1 , A 4 0 , A 5 0 : 半導体装置

1 : リード 1 1 : ダイパッド部

1 1 1 : 主面 1 1 1 a : 端縁

5 1 : 第 1 領域 5 2 : 第 2 領域

5 3 : 第 3 領域 1 1 2 : 裏面

1 1 3 : 裏面側凹部 4 , 4 1 ~ 4 7 : 開口部

4 a , 4 b : 部位

1 2 , 1 2 a , 1 2 b , 1 2 c , 1 2 d , 1 2 e : 端子部

1 2 1 : 主面 1 2 2 : 裏面

1 2 3 : 端面 2 : リード

2 1 : パッド部 2 1 1 : 主面

2 1 1 a : 接合領域 2 1 1 b : 非接合領域

2 1 2 : 裏面 2 1 3 : 貫通孔

2 2 : 端子部 2 2 1 : 主面

2 2 2 : 裏面 2 2 3 : 端面

3 , 3 a , 3 b , 3 c , 3 d , 3 e , 3 f , 3 g : リード

3 1 : パッド部 3 1 1 : 主面

3 1 2 : 裏面 3 2 : 端子部

3 2 1 : 主面 3 2 2 : 裏面
3 2 3 : 端面 6 1 : 半導体素子
6 1 a : 素子主面 6 1 b : 素子裏面
6 1 c : 素子中心 6 1 1 : 電極
6 2 : 半導体素子 6 2 a : 素子主面
6 2 b : 素子裏面 6 2 1 : 第 1 電極
6 2 2 : 第 2 電極 6 2 3 : 第 3 電極
6 5 : 接合部材 7, 7 1 ~ 7 4 : ワイヤ
7 4 a, 7 4 b : 接合部 8 : 封止樹脂
8 1 : 樹脂主面 8 2 : 樹脂裏面
8 3 : 樹脂側面 8 3 1 : 第 1 樹脂側面
8 3 2 : 第 2 樹脂側面 8 3 3 : 第 3 樹脂側面
8 3 4 : 第 4 樹脂側面

請求の範囲

- [請求項1] ダイパッド部を有する第1リードと、
前記ダイパッド部に搭載された第1半導体素子と、
前記ダイパッド部に搭載された第2半導体素子と、
前記第2半導体素子と前記ダイパッド部とに導通接合されたワイヤと、
と、
を備え、
前記ダイパッド部は、前記厚さ方向の厚さ方向第1側を向くダイパッド主面を備え、
前記ダイパッド主面は、前記第2半導体素子の、前記厚さ方向に直交する第1方向の第1方向第1側に位置し、かつ、前記ワイヤが接合された第1領域と、前記第1領域の前記第1方向第1側に位置し、かつ、前記厚さ方向および前記第1方向に直交する第2方向に延びる第1端縁と、を備え、
前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、前記第1領域と前記第1端縁との間に位置する第1開口部を備えている、
半導体装置。
- [請求項2] 前記第1開口部は、前記ダイパッド主面から凹む凹部である、
請求項1に記載の半導体装置。
- [請求項3] 前記第1開口部は、前記ダイパッド部を前記厚さ方向に貫通している、
請求項1に記載の半導体装置。
- [請求項4] 前記第1開口部は、前記第2方向に延びている、
請求項1ないし3のいずれかに記載の半導体装置。
- [請求項5] 前記厚さ方向に視て、前記第1開口部の前記第2方向における両端は、前記ダイパッド主面の外縁より内側に位置する、
請求項4に記載の半導体装置。

- [請求項6] 前記第1開口部は、前記第2方向に配列された複数の部位からなる、
請求項1ないし3のいずれかに記載の半導体装置。
- [請求項7] 前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、
前記第1開口部の前記第1方向第1側に位置する第2開口部を備え、
前記第1半導体素子は、前記第2方向において、前記第2開口部の
第2方向第1側に配置されている、
請求項1ないし6のいずれかに記載の半導体装置。
- [請求項8] 前記第2開口部は、前記第1方向に延びている、
請求項7に記載の半導体装置。
- [請求項9] 前記第2開口部は、前記第1開口部の前記第2方向第1側の端部に
つながっている、
請求項8に記載の半導体装置。
- [請求項10] 前記ダイパッド主面は、前記第2半導体素子が搭載される第2領域
を備え、
前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、
前記第1領域と前記第2領域とを区画する第3開口部を備えている、
請求項7ないし9のいずれかに記載の半導体装置。
- [請求項11] 前記第3開口部は、前記第2方向に延びている、請求項10に記
載の半導体装置。
- [請求項12] 前記ダイパッド主面は、前記第1半導体素子が搭載される第3領域
を備え、
前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、
前記第1領域と前記第3領域とを区画する第4開口部を備えている、
請求項10または11に記載の半導体装置。
- [請求項13] 前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、
前記第3開口部の前記第2方向の第2方向第1側に位置する第5開口
部を備えている、

請求項 10 ないし 12 のいずれかに記載の半導体装置。

[請求項14]

前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、前記第 1 開口部の前記第 2 方向の第 2 方向第 2 側の端部と前記第 3 開口部の前記第 2 方向第 2 側の端部との間に位置する第 6 開口部を備えている、

請求項 10 ないし 13 のいずれかに記載の半導体装置。

[請求項15]

前記ダイパッド部は、前記ダイパッド主面に開口端を有し、かつ、前記第 2 開口部の前記第 1 方向第 1 側の端部と前記第 4 開口部の前記第 1 方向第 1 側の端部との間に位置する第 7 開口部を備えている、

請求項 12 に記載の半導体装置。

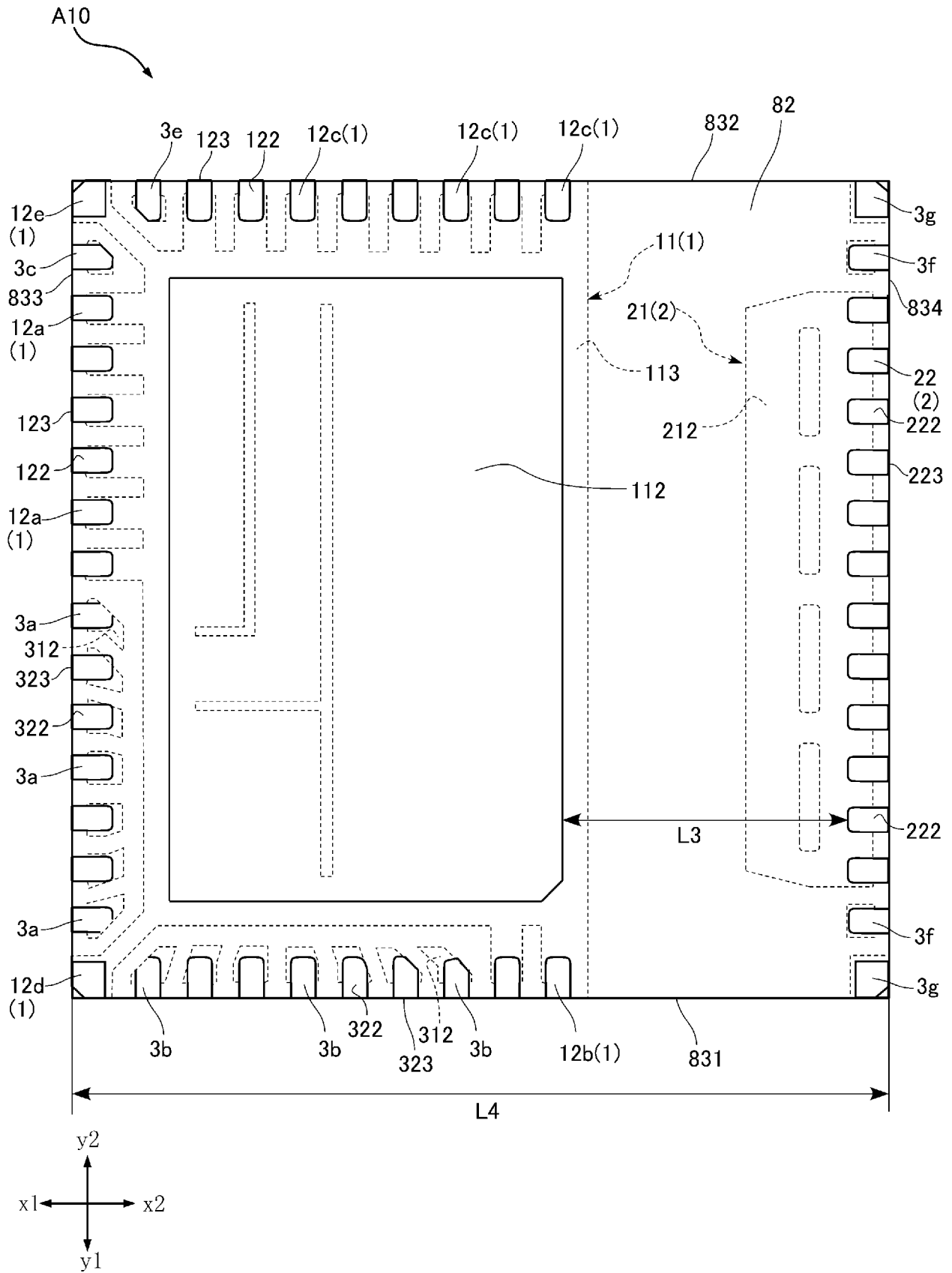
[請求項16]

前記第 1 リードは、前記ダイパッド部につながり、かつ、前記ダイパッド部の前記第 1 方向第 1 側で、前記第 2 方向に沿って配列された複数の第 1 端子部を備えており、

前記第 1 方向に視て、前記複数の第 1 端子部は前記第 1 開口部に重なっている、

請求項 1 ないし 15 のいずれかに記載の半導体装置。

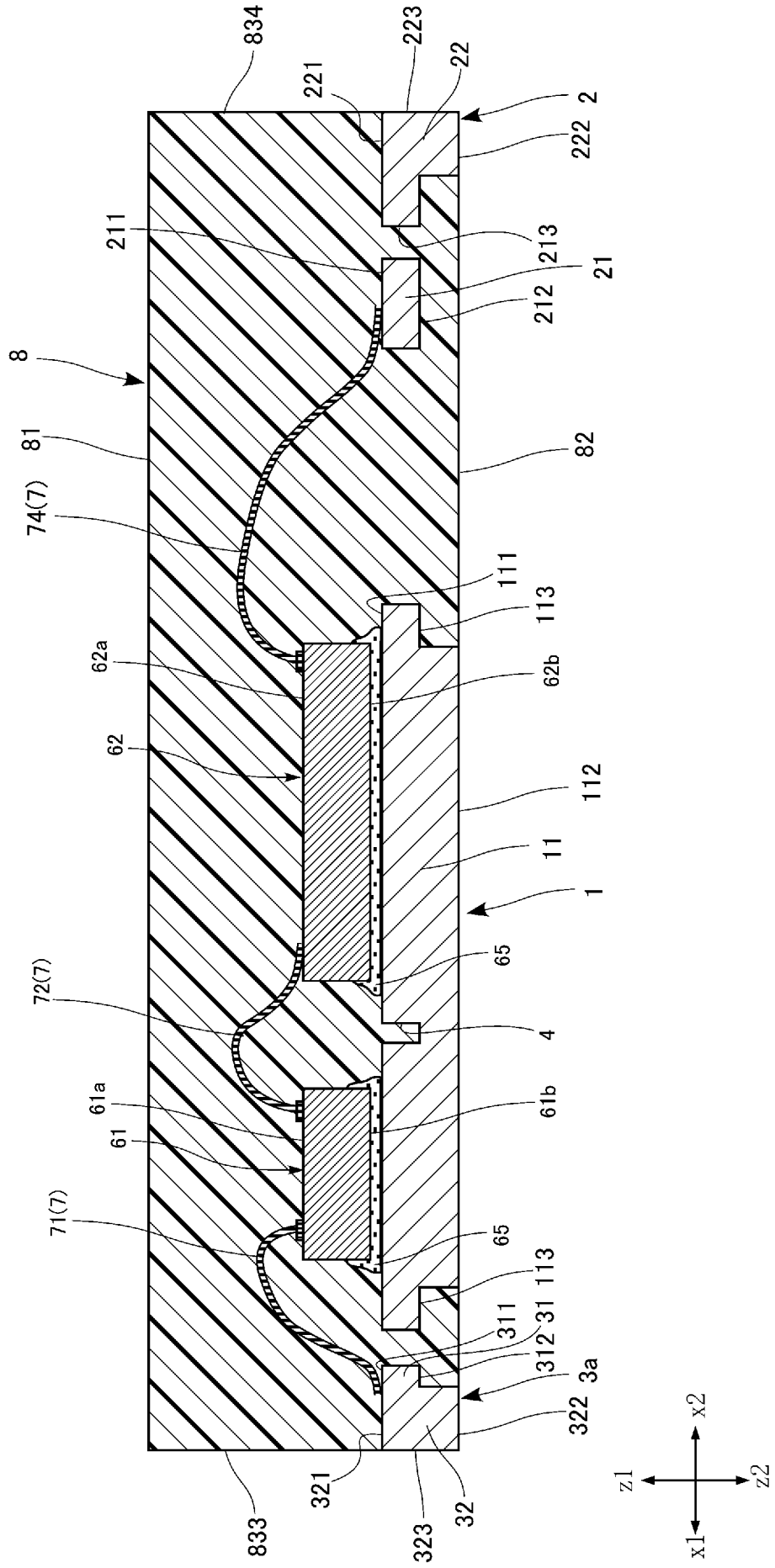
[図3]
FIG.3



[圖4]

FIG.4

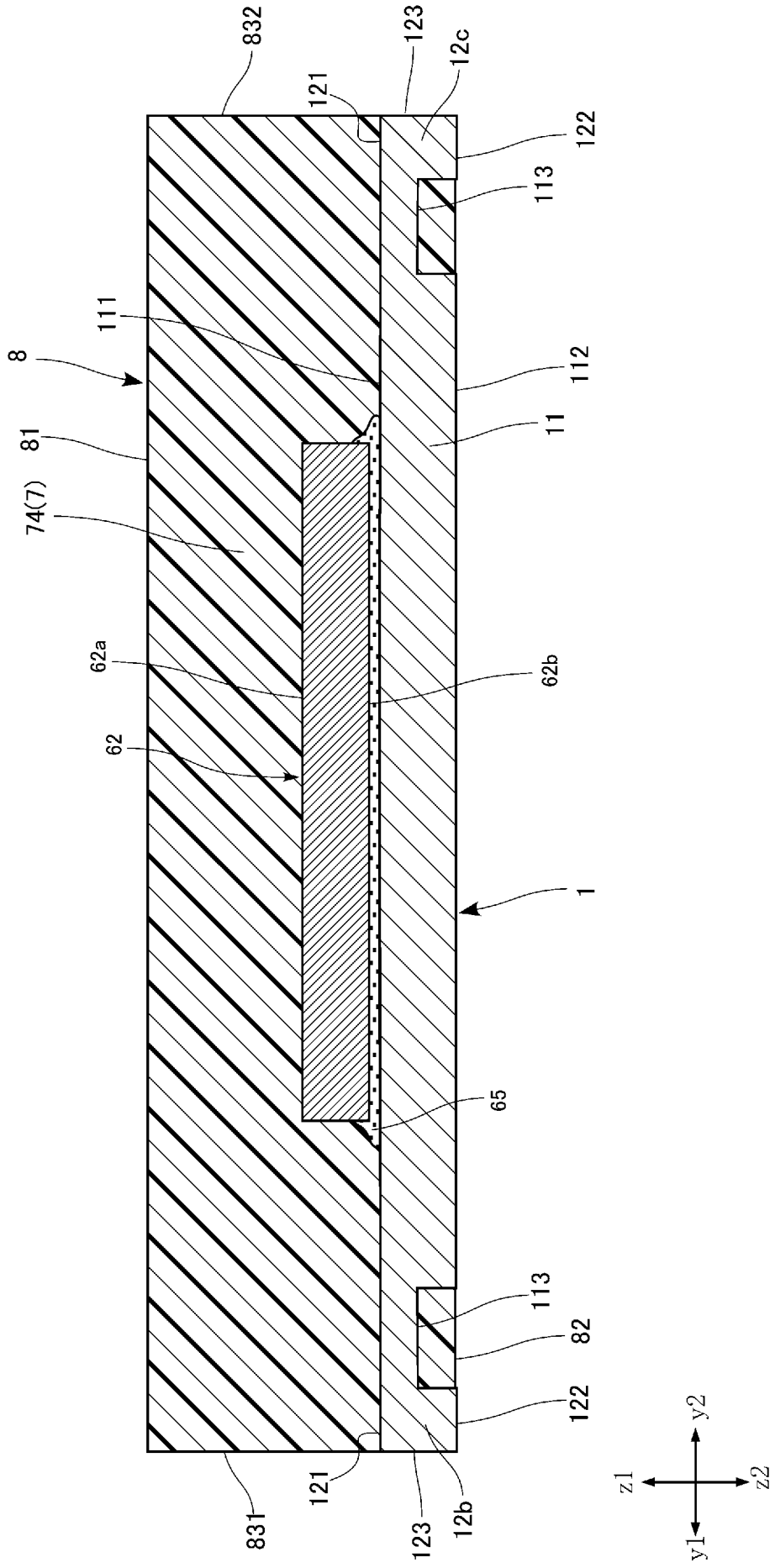
A10



[FIG.6]

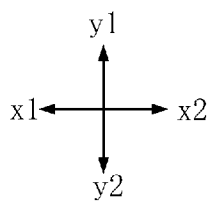
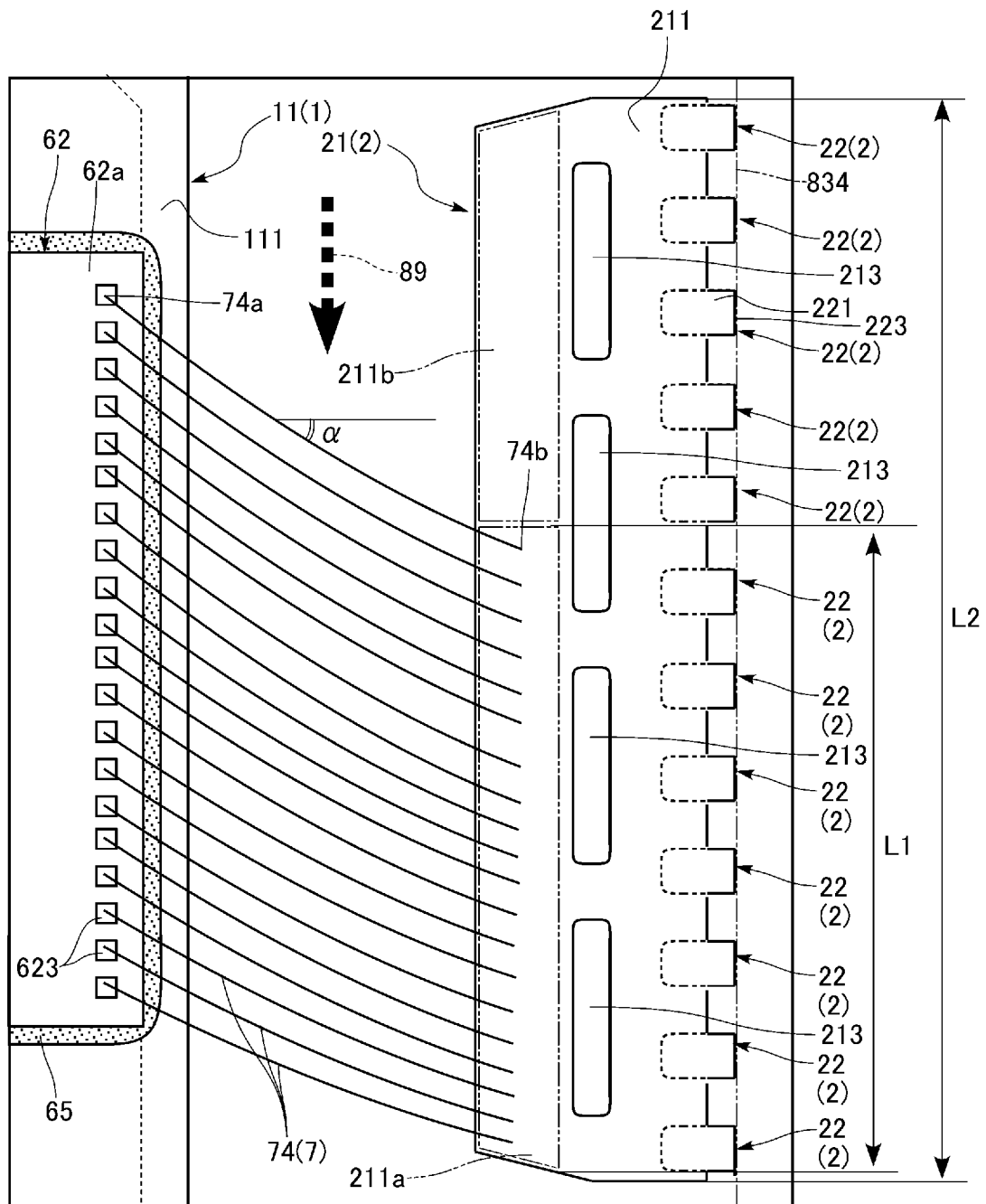
FIG.6

A10

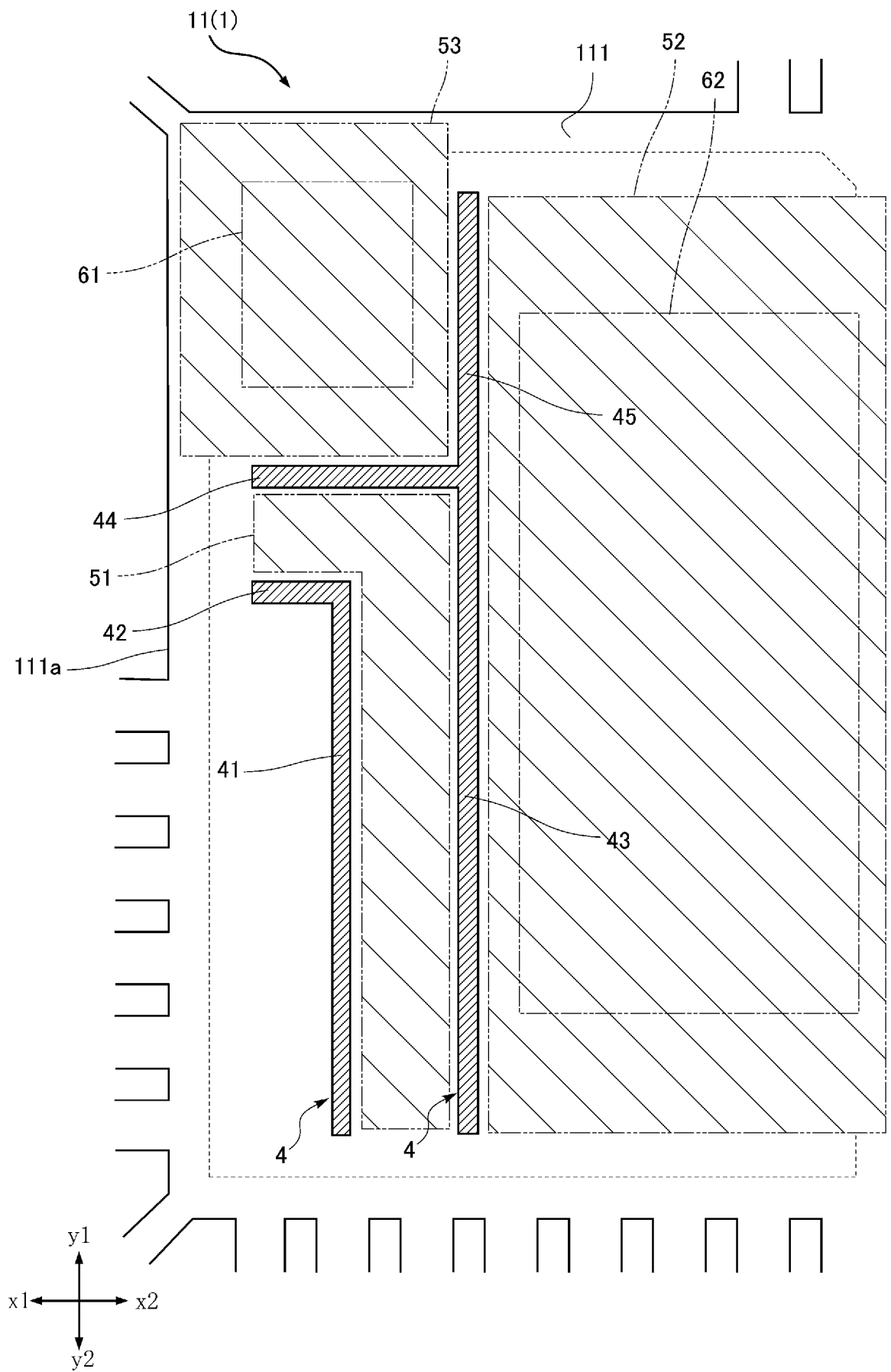


[図7]
FIG. 7

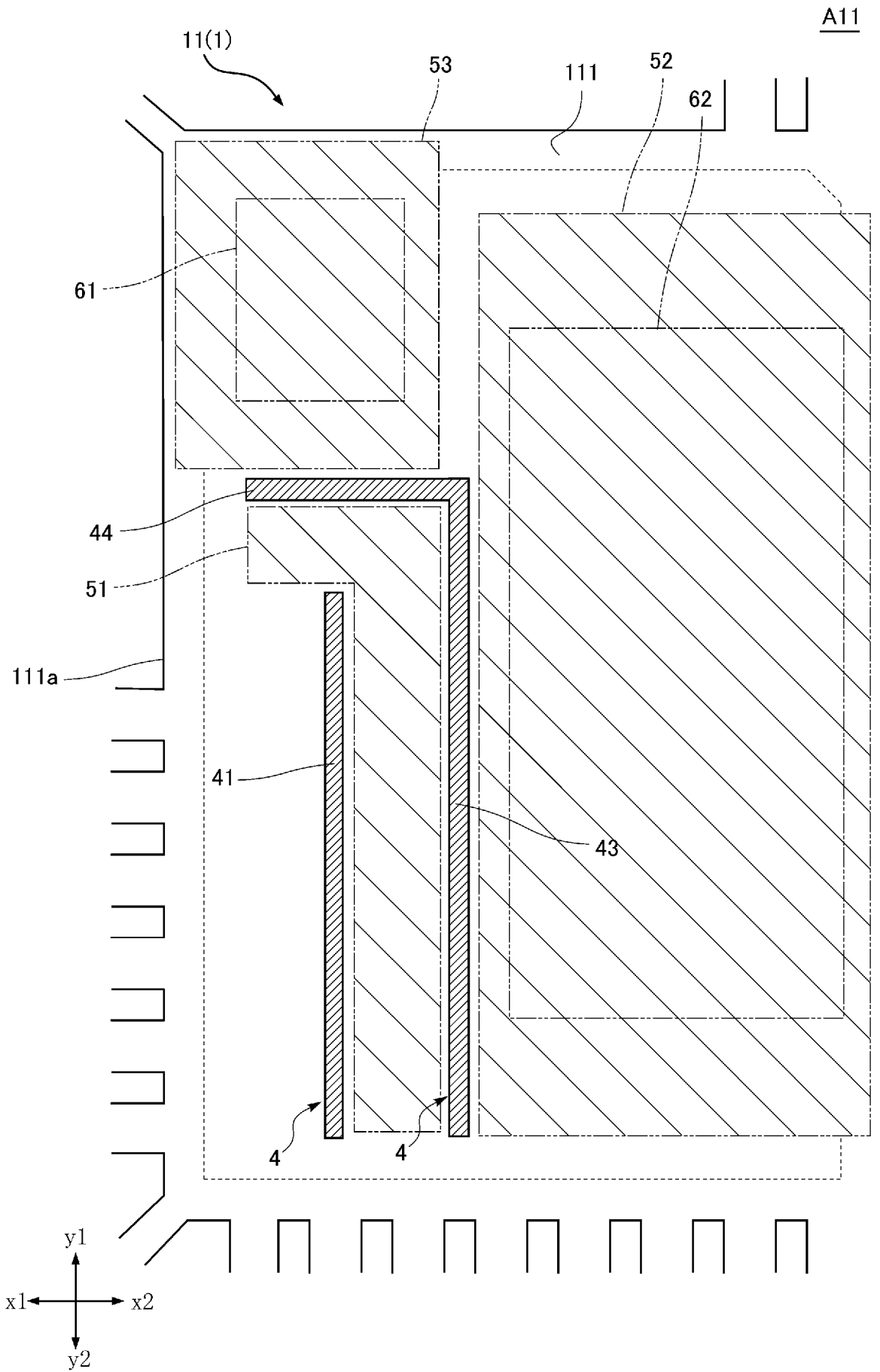
A10

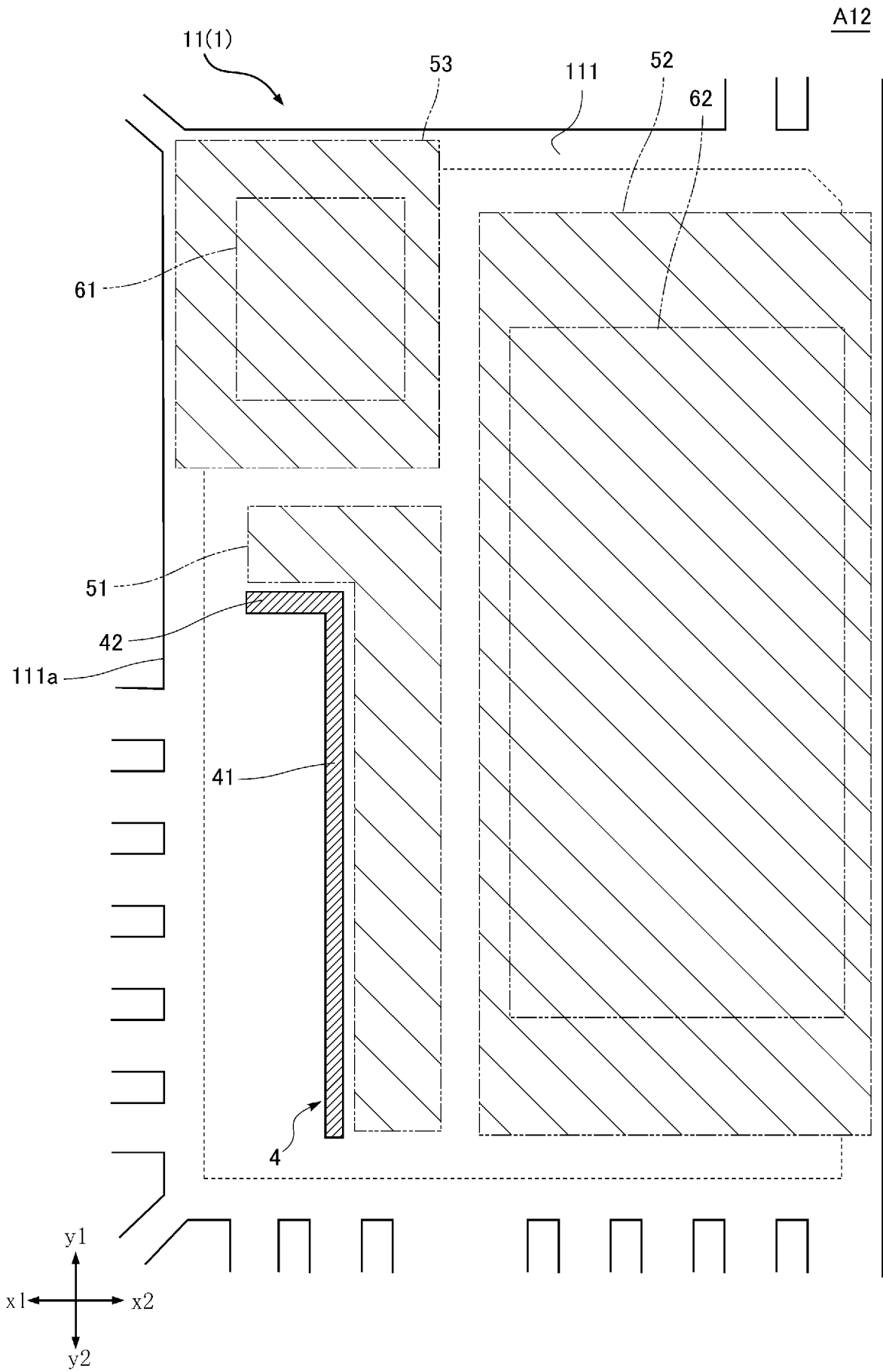


[図9]
FIG.9

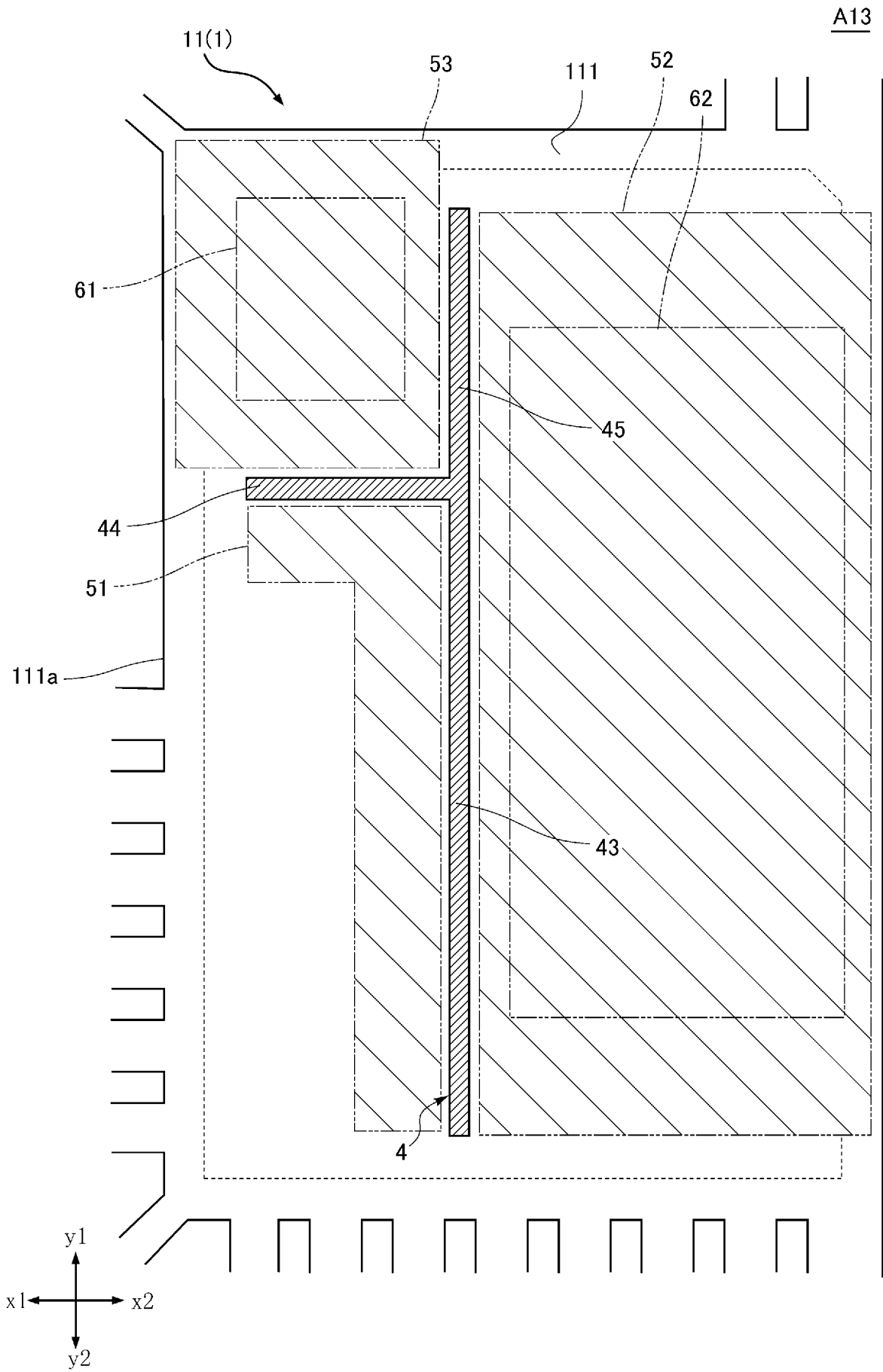


[]10
FIG.10

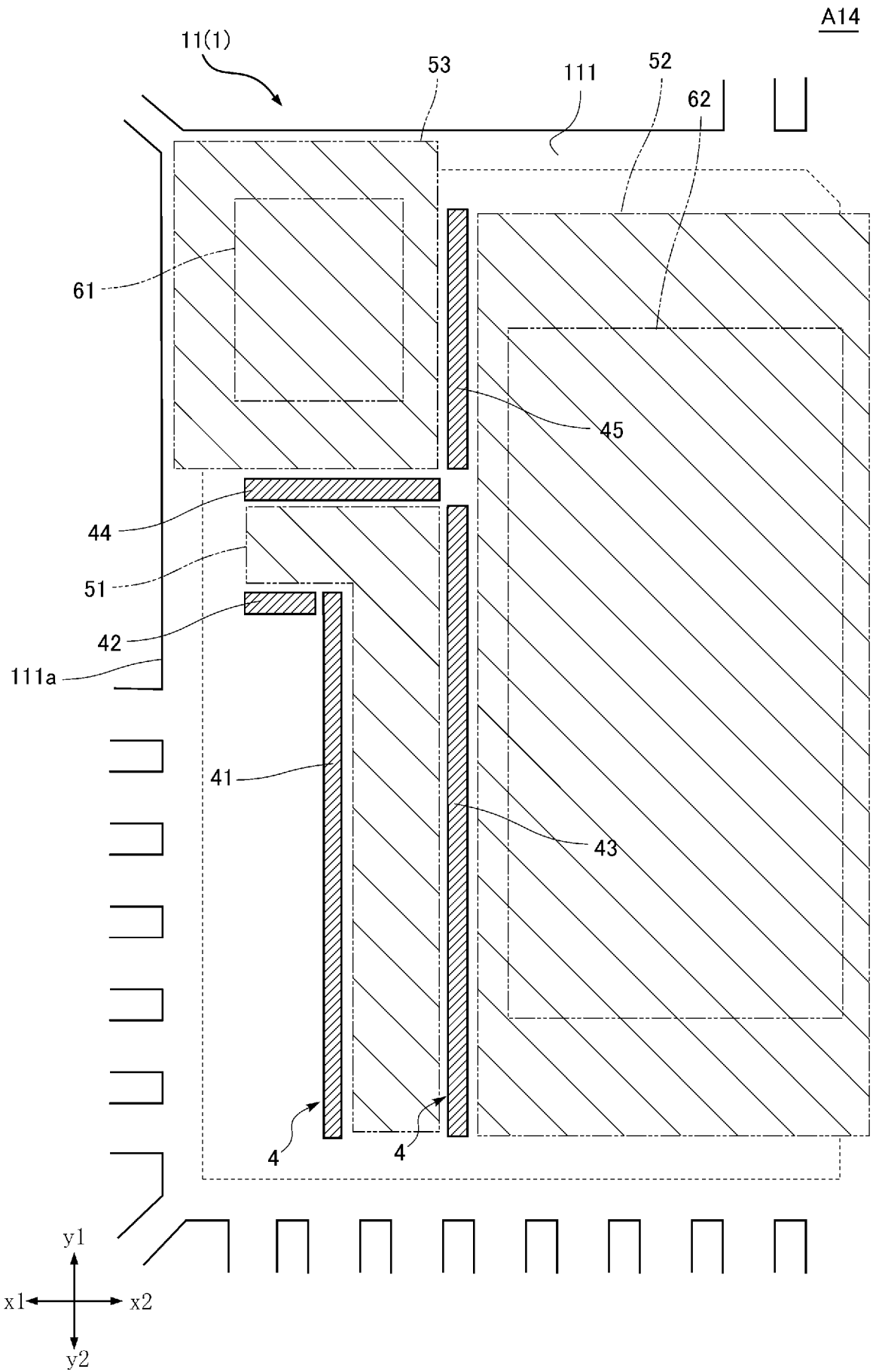


[図11]
FIG.11

[]12]
FIG.12

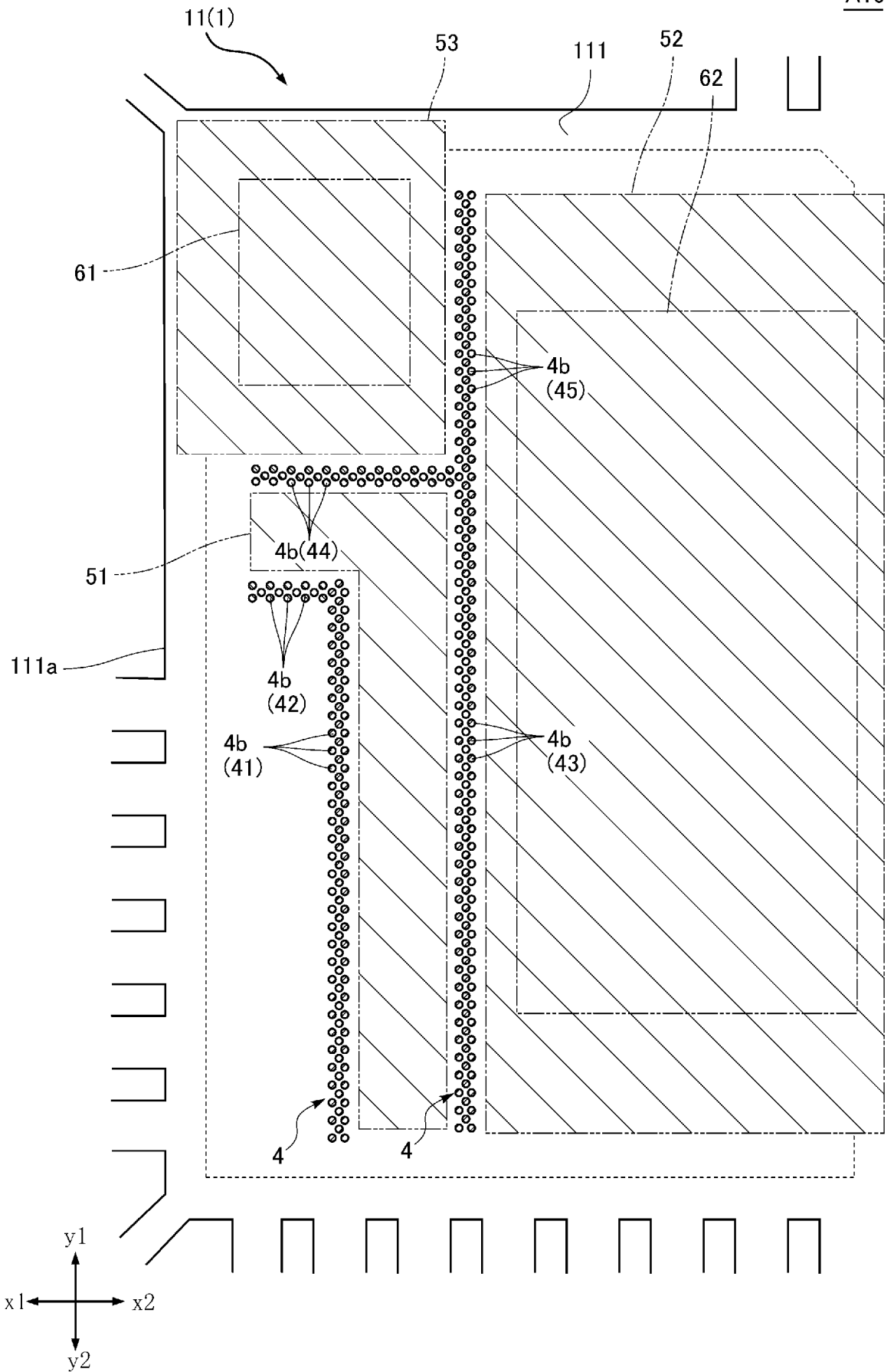


[]13
FIG.13

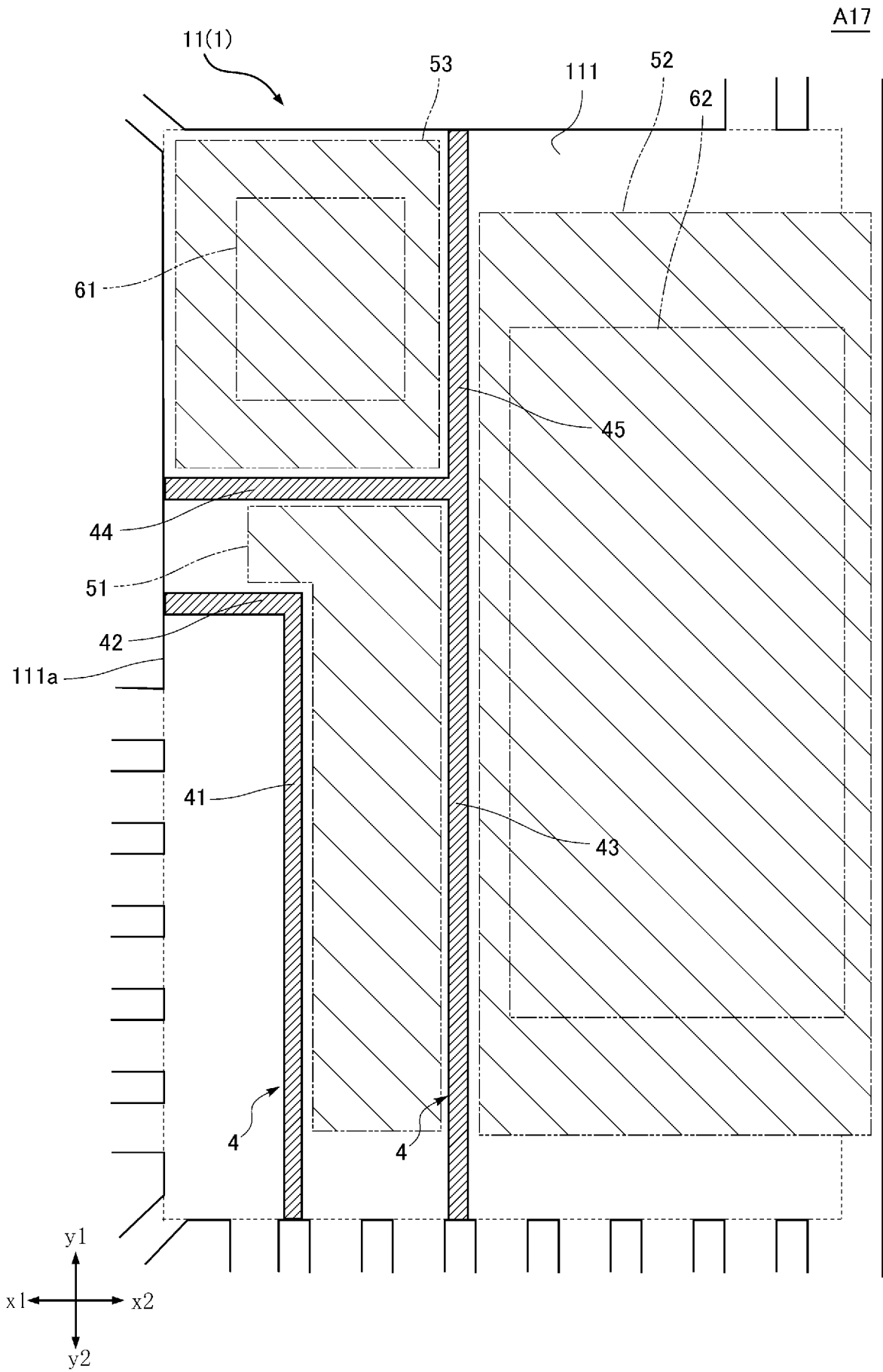


[]15
FIG.15

A16

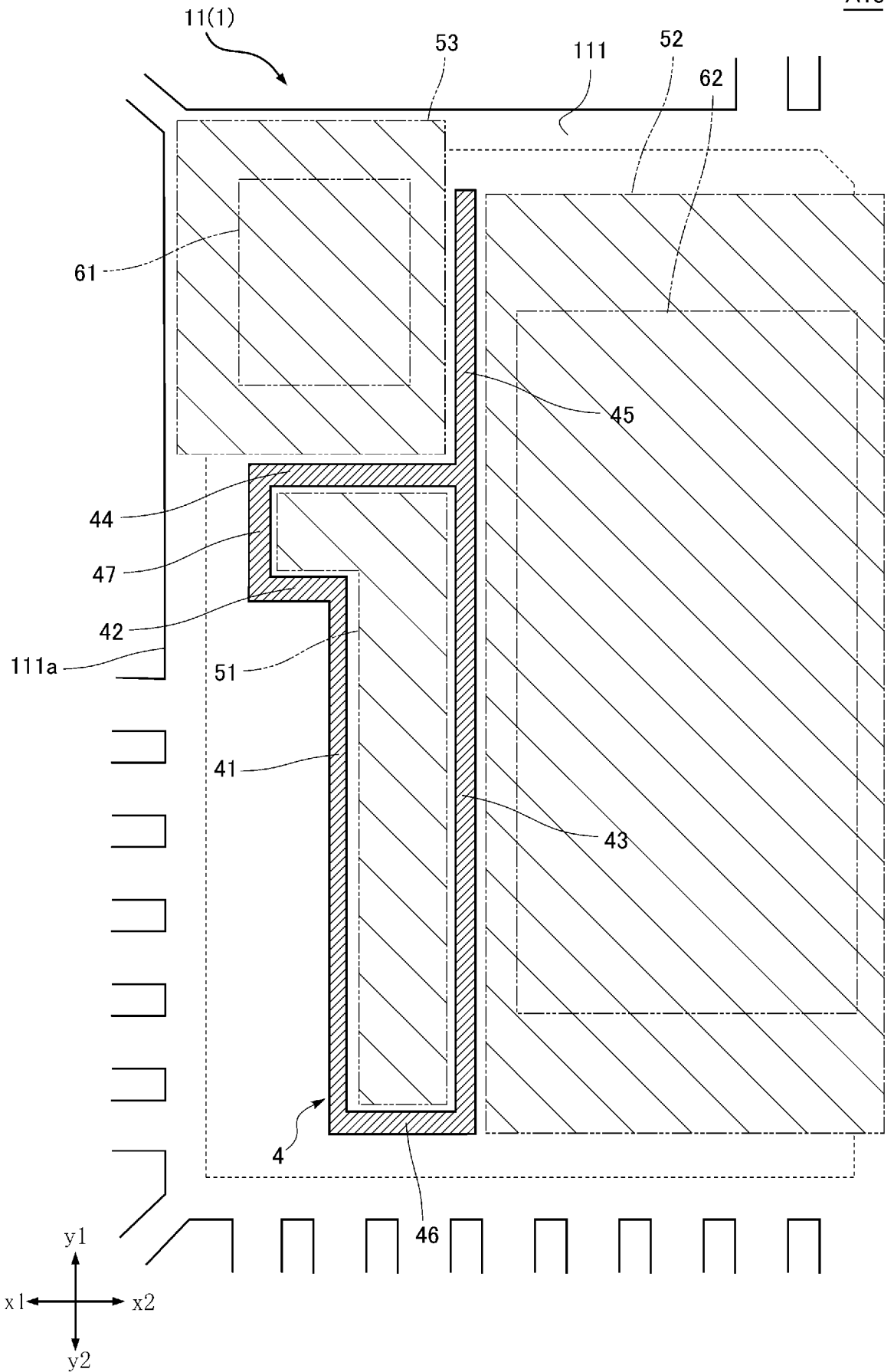


[]16]
FIG.16

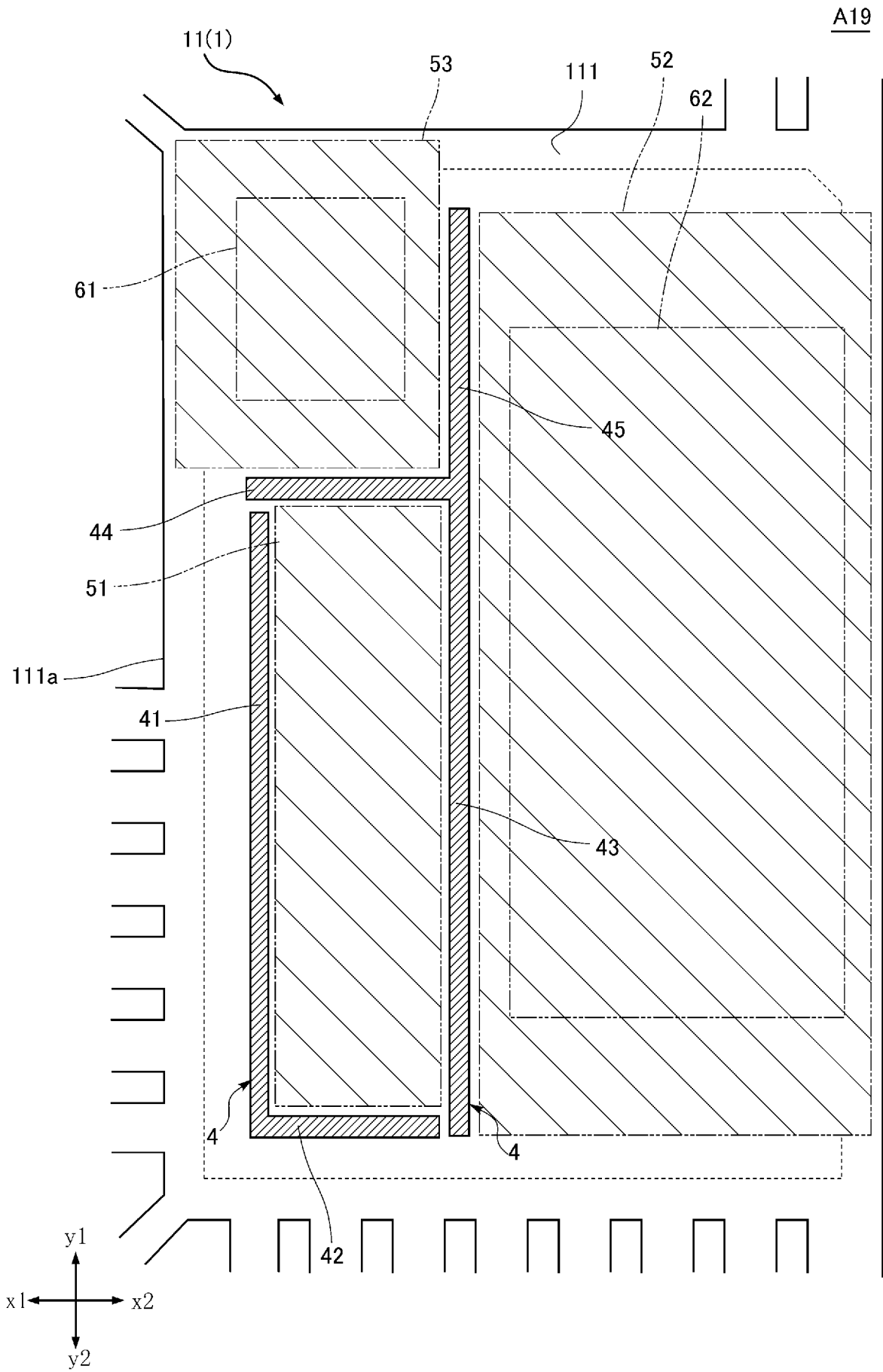


[17]
FIG.17

A18



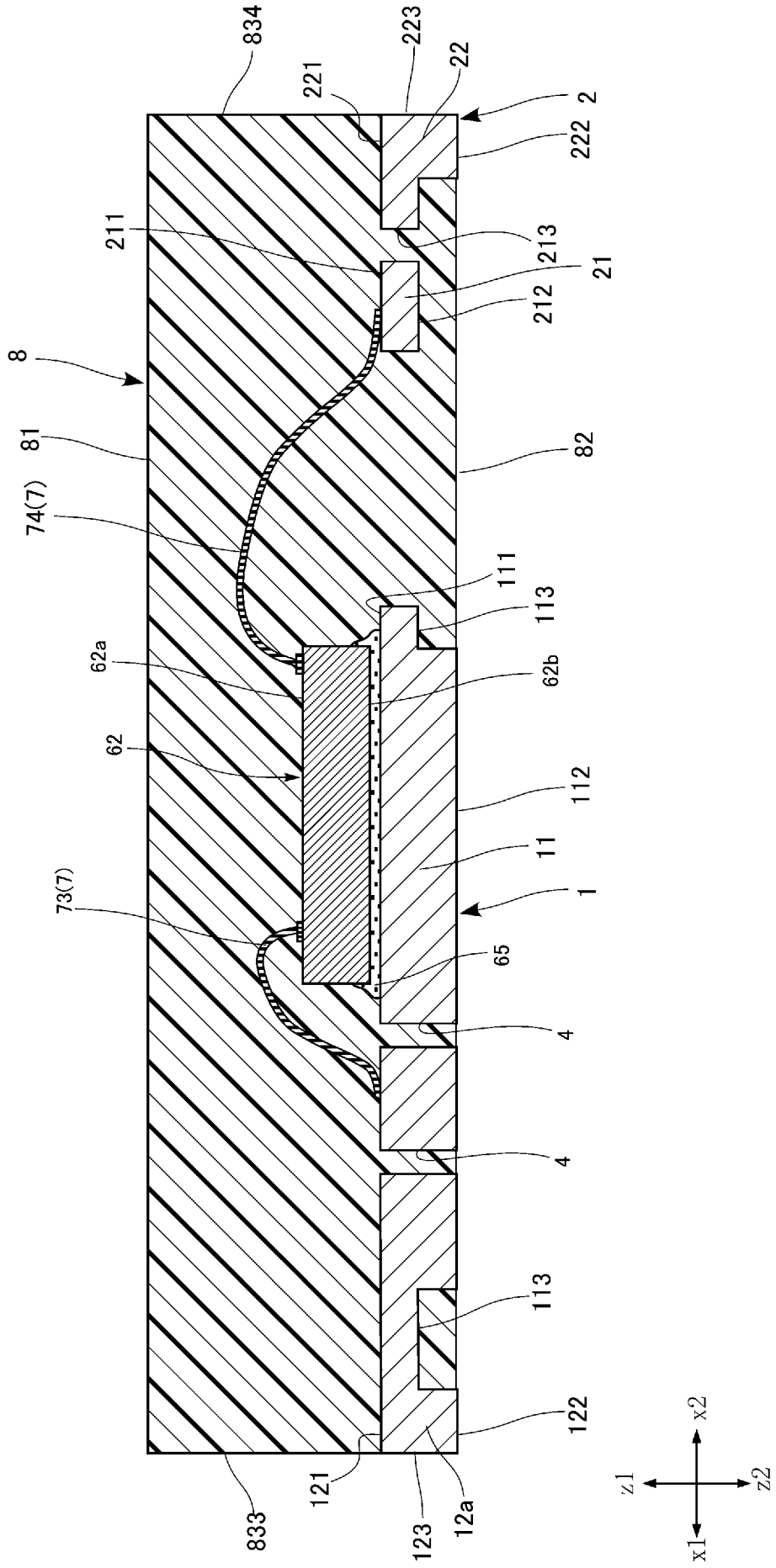
[図18]
FIG.18




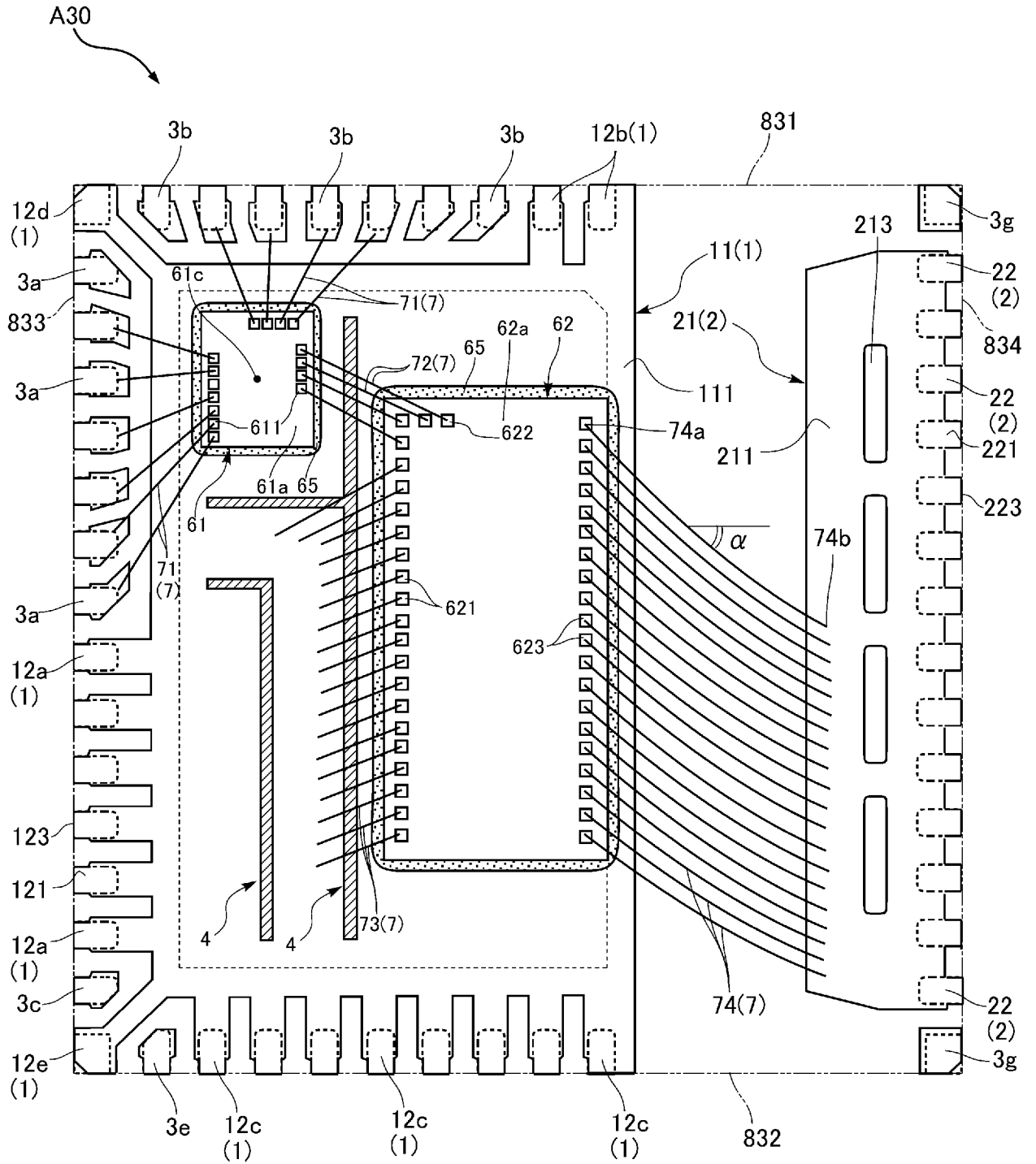
[FIG. 19]

FIG. 19

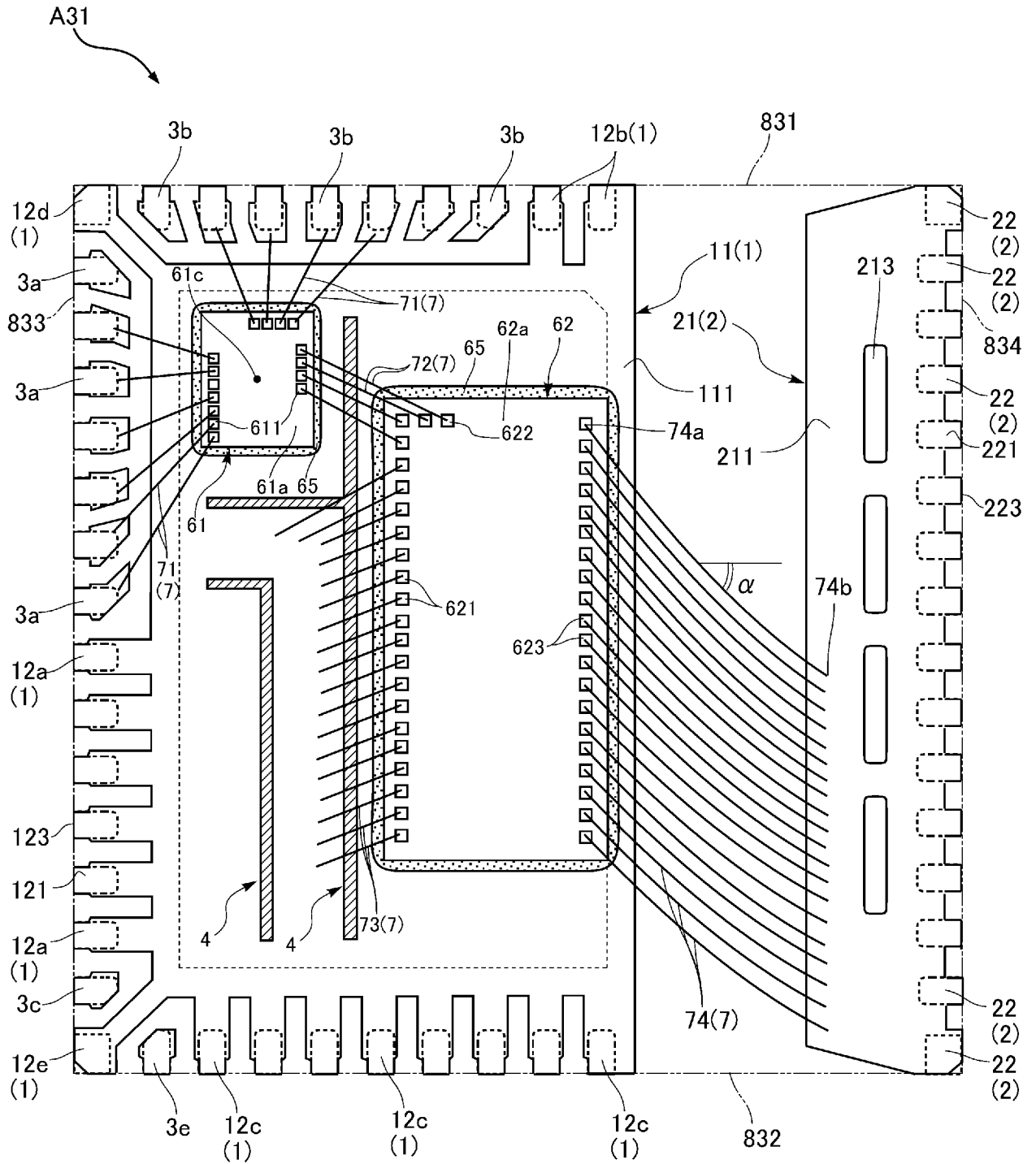
A20



[]20
FIG.20



[図21]
FIG.21



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/027378

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 23/50</i> (2006.01)j FI: H01L23/50 K		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L23/50		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022/137996 A1 (ROHM CO., LTD.) 30 June 2022 (2022-06-30) paragraphs [0006], [0013]-[0097], fig. 1-20	1-9
A		10-16
A	WO 2022/145177 A1 (ROHM CO., LTD.) 07 July 2022 (2022-07-07) paragraphs [0005], [0012]-[0053], fig. 1-10	1-16
A	JP 2021-44532 A (ROHM CO., LTD.) 18 March 2021 (2021-03-18) paragraphs [0005], [0116]-[0196], fig. 20-26	1-16
A	JP 2018-22849 A (ROHM CO., LTD.) 08 February 2018 (2018-02-08) paragraphs [0005], [0081]-[0139], fig. 1-8	1-16
A	JP 2019-114618 A (DENSO CORP.) 11 July 2019 (2019-07-11) paragraphs [0001], [0015]-[0041], fig. 1-4	1-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 September 2023		Date of mailing of the international search report 26 September 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/027378

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2022/137996	A1	30 June 2022	(Family: none)	
WO	2022/145177	A1	07 July 2022	(Family: none)	
JP	2021-44532	A	18 March 2021	US 2020/0312750 A1 paragraphs [0004], [0208]- [0288], fig. 20-26	
JP	2018-22849	A	08 February 2018	US 2018/0040540 A1 paragraphs [0007], [0056]- [0118], fig. 1-8	
JP	2019-114618	A	11 July 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/50(2006.01)i FI: H01L23/50 K		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/50 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2022/137996 A1（ローム株式会社）30.06.2022（2022 - 06 - 30） 段落[0006],[0013]-[0097], 図1-20	1-9
A		10-16
A	WO 2022/145177 A1（ローム株式会社）07.07.2022（2022 - 07 - 07） 段落[0005],[0012]-[0053], 図1-10	1-16
A	JP 2021-44532 A（ローム株式会社）18.03.2021（2021 - 03 - 18） 段落[0005],[0116]-[0196], 図20-26	1-16
A	JP 2018-22849 A（ローム株式会社）08.02.2018（2018 - 02 - 08） 段落[0005],[0081]-[0139], 図1-8	1-16
A	JP 2019-114618 A（株式会社デンソー）11.07.2019（2019 - 07 - 11） 段落[0001],[0015]-[0041], 図1-4	1-16
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 13.09.2023	国際調査報告の発送日 26.09.2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 小池 英敏 5F 8396 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/027378

引用文献	公表日	パテントファミリー文献	公表日
WO 2022/137996 A1	30.06.2022	(ファミリーなし)	
WO 2022/145177 A1	07.07.2022	(ファミリーなし)	
JP 2021-44532 A	18.03.2021	US 2020/0312750 A1 段落[0004],[0208]-[0288], 図20-26	
JP 2018-22849 A	08.02.2018	US 2018/0040540 A1 段落[0007],[0056]-[0118], 図1-8	
JP 2019-114618 A	11.07.2019	(ファミリーなし)	