



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0072564
(43) 공개일자 2022년06월02일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01) G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 3/3674 (2013.01)
(21) 출원번호 10-2020-0160317
(22) 출원일자 2020년11월25일
심사청구일자 2020년11월25일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경
희대학교 국제캠퍼스내)
(72) 발명자
이승우
서울특별시 송파구 마천로7길 4, 8동 104호(오금
동, 대림아파트)
조재희
서울특별시 동대문구 천장산로 28, 401호(이문동)
(74) 대리인
김연권

전체 청구항 수 : 총 17 항

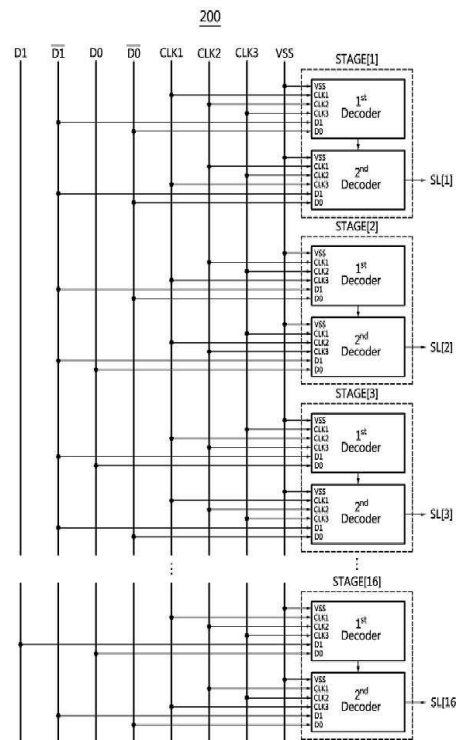
(54) 발명의 명칭 스캔 드라이버 회로 및 그 구동 방법

(57) 요약

본 발명은 복수의 디코더를 이용하여 액티브 매트릭스 어레이의 스캔 라인 각각을 독립적으로 구동하는 동시에 적은 개수의 신호선으로 고해상도를 구현할 수 있는 기술에 관한 것으로, 본 발명의 일실시예에 따르면 복수의 스테이지로 이루어진 액티브 매트릭스 어레이용 스캔 드라이버 회로는 상기 복수의 스테이지 각각에서 복수의 디

(뒷면에 계속)

대표도 - 도2



코더 신호를 이용하고, 상기 복수의 디코더 신호의 조합에 기반하여 동일한 스테이지에서 서로 다른 구동 타이밍에서 순차적으로 구동되거나 서로 다른 스테이지에서 동일한 타이밍에 구동되는 복수의 디코더를 포함하고, 상기 복수의 스테이지 각각에서 상기 복수의 디코더 중 마지막 디코더는 상기 복수의 디코더의 구동 상태에 따라 순차적으로 스캔 라인 신호를 출력할 수 있다.

한편, 본 발명은 과학기술정보통신부(부처명) 및 한국전자통신연구원 ETRI(연구관리전문기관)의 위탁연구과제(연구사업명)의 일환으로 "연구과제명: 생체신호 감지/자극을 위한 능동형 복합 어레이의 제어를 위한 구동회로 개발(세부과제번호: 4011-2020-00023, 연구기간: 2020-03-01 ~ 2020-11-30)"통해 경희대학교 산학협력단(주관연구기관)에 의해 개발된 기술에 관한 것이다.

(52) CPC특허분류

G09G 2310/0275 (2013.01)

G09G 2320/02 (2013.01)

명세서

청구범위

청구항 1

복수의 스테이지로 이루어진 액티브 매트릭스 어레이용 스캔 드라이버 회로에 있어서,

상기 복수의 스테이지 각각에서 복수의 디코더 신호를 이용하고, 상기 복수의 디코더 신호의 조합에 기반하여 동일한 스테이지에서 서로 다른 구동 타이밍에서 순차적으로 구동되거나 서로 다른 스테이지에서 동일한 타이밍에 구동되는 복수의 디코더를 포함하고,

상기 복수의 스테이지 각각에서 상기 복수의 디코더 중 마지막 디코더는 상기 복수의 디코더의 구동 상태에 따라 순차적으로 스캔 라인 신호를 출력하는 것을 특징으로 하는

스캔 드라이버 회로.

청구항 2

제1항에 있어서,

상기 복수의 디코더 신호의 조합은 상기 복수의 디코더 신호 중 제1 디코더 신호 및 제2 디코더 신호가 로우 상태를 나타내는 제1 조합, 상기 제1 디코더 신호는 로우 상태를 나타내고 상기 제2 디코더 신호는 하이 상태를 나타내는 제2 조합, 상기 제1 디코더 신호는 하이 상태를 나타내고 상기 제2 디코더 신호는 로우 상태를 나타내는 제3 조합 및 상기 제1 디코더 신호 및 상기 제2 디코더 신호가 하이 상태를 나타내는 제4 조합 중 적어도 하나의 조합을 포함하는 것을 특징으로 하는

스캔 드라이버 회로.

청구항 3

제2항에 있어서,

상기 복수의 스테이지 중 제2 스테이지에 포함된 상기 복수의 디코더 중 제1 디코더는 상기 복수의 디코더 신호의 조합에 기반하여 상기 복수의 스테이지 중 제1 스테이지에 포함된 상기 복수의 디코더 중 제2 디코더와 동일한 타이밍에서 구동되는 것을 특징으로 하는

스캔 드라이버 회로.

청구항 4

제2항에 있어서,

상기 복수의 스테이지 중 제1 스테이지의 제1 디코더는 상기 제1 조합의 디코더 신호가 최초 인가될 경우, 선택적으로 구동되는 것을 특징으로 하는

스캔 드라이버 회로.

청구항 5

제4항에 있어서,

상기 복수의 스테이지 중 제1 스테이지의 제2 디코더와 상기 복수의 스테이지 중 제2 스테이지의 제1 디코더는 상기 제1 조합의 디코더 신호가 2차 인가될 경우, 선택적으로 구동되는 것을 특징으로 하는

스캔 드라이버 회로.

청구항 6

제5항에 있어서,

상기 복수의 스테이지 중 제1 스테이지는 상기 제2 조합의 디코더 신호가 인가될 경우, 스캔 라인 신호를 출력하는 것을 특징으로 하는

스캔 드라이버 회로.

청구항 7

제5항에 있어서,

상기 복수의 스테이지 중 제2 스테이지의 제2 디코더와 상기 복수의 스테이지 중 제3 스테이지의 제1 디코더는 상기 제2 조합의 디코더 신호가 인가될 경우, 선택적으로 구동되는 것을 특징으로 하는

스캔 드라이버 회로.

청구항 8

제1항에 있어서,

상기 복수의 디코더 각각은 입력부, 출력부 및 리셋부를 포함하는 것을 특징으로 하는

스캔 드라이버 회로.

청구항 9

제8항에 있어서,

상기 입력부는 클럭 신호와 연결된 제1 디코딩 트랜지스터와 제4 디코딩 트랜지스터 및 상기 제1 디코딩 트랜지스터와 제4 디코딩 트랜지스터 각각과 직렬로 연결되고 상기 복수의 디코더 신호와 연결된 제2, 제3, 제5 및 제6 디코딩 트랜지스터를 포함하는 것을 특징으로 하는

스캔 드라이버 회로.

청구항 10

제9항에 있어서,

상기 입력부는 상기 클럭 신호를 입력 신호로 상기 제1 내지 제6 디코딩 트랜지스터를 통과하여 제1 데이터 노드에 저장하는 것을 특징으로 하는

스캔 드라이버 회로.

청구항 11

제10항에 있어서,

상기 출력부는 상기 제1 데이터 노드에 연결된 제1 및 제6 트랜지스터와 상기 제1 데이터 노드와 출력단 사이에 연결된 제1 및 제2 커패시터를 포함하는 것을 특징으로 하는

스캔 드라이버 회로.

청구항 12

제11항에 있어서,

상기 출력부는 상기 제1 및 제6 트랜지스터를 통해 상기 클럭 신호를 상기 출력단으로 출력하는

스캔 드라이버 회로.

청구항 13

제10항에 있어서,

상기 리셋부는 상기 클럭 신호와 연결된 제3 및 제8 트랜지스터, 상기 제1 데이터 노드와 연결된 제4 및 제9 트랜지스터, 상기 제1 데이터 노드와 반대 값을 저장하는 제2 데이터 노드와 연결된 제2, 제5, 제7 및 제10 트랜지스터를 포함하는

스캔 드라이버 회로.

청구항 14

제13항에 있어서,

상기 리셋부는 상기 제1 데이터 노드의 입력 상태에 따라 상기 제2 데이터 노드를 리셋하고, 상기 제2 데이터 노드를 통해 상기 제1 데이터 노드와 출력단을 로우 레벨 전원선과 연결하는

스캔 드라이버 회로.

청구항 15

복수의 스테이지로 이루어진 액티브 매트릭스 어레이용 스캔 드라이버 회로의 구동 방법에 있어서,

상기 복수의 스테이지 각각에서, 복수의 디코더 신호의 조합에 기반하여 서로 다른 구동 타이밍에서 순차적으로 복수의 디코더를 구동하는 단계;

상기 복수의 스테이지 중 서로 다른 스테이지에서 상기 복수의 디코더 신호의 조합에 기반하여 동일한 타이밍으로 복수의 디코더를 구동하는 단계; 및

상기 복수의 디코더 중 마지막 디코더에서, 상기 복수의 디코더의 구동 상태에 따라 순차적으로 스캔 라인 신호를 출력하는 단계를 포함하는 것을 특징으로 하는

스캔 드라이버 회로의 구동 방법.

청구항 16

제15항에 있어서,

상기 복수의 디코더 신호의 조합은 상기 복수의 디코더 신호 중 제1 디코더 신호 및 제2 디코더 신호가 로우 상태를 나타내는 제1 조합, 상기 제1 디코더 신호는 로우 상태를 나타내고 상기 제2 디코더 신호는 하이 상태를 나타내는 제2 조합, 상기 제1 디코더 신호는 하이 상태를 나타내고 상기 제2 디코더 신호는 로우 상태를 나타내는 제3 조합 및 상기 제1 디코더 신호 및 상기 제2 디코더 신호가 하이 상태를 나타내는 제4 조합 중 적어도 하나의 조합을 포함하는 것을 특징으로 하는

스캔 드라이버 회로의 구동 방법.

청구항 17

제15항에 있어서,

상기 복수의 스테이지 중 서로 다른 스테이지에서 상기 복수의 디코더 신호의 조합에 기반하여 동일한 타이밍으로 복수의 디코더를 구동하는 단계는,

상기 복수의 디코더 신호의 조합에 기반하여 상기 복수의 스테이지 중 제1 스테이지에 포함된 상기 복수의 디코더 중 제2 디코더와 동일한 타이밍에서 상기 복수의 스테이지 중 제2 스테이지에 포함된 상기 복수의 디코더 중 제1 디코더를 구동하는 단계를 포함하는 것을 특징으로 하는

스캔 드라이버 회로의 구동 방법.

발명의 설명

기술 분야

본 발명은 개별적으로 스캔 라인을 구동하여 플렉서블 회로에 적합하면서도, 적은 신호선을 사용하여 고해상도를 구현하는 기술적 사상에 관한 것으로, 구체적으로, 복수의 디코더를 이용하여 액티브 매트릭스 어레이의 스캔 라인 각각을 독립적으로 구동하는 동시에 적은 개수의 신호선으로 고해상도를 구현할 수 있는 기술에 관한 것이다.

배경 기술

[0001]

- [0002] 플렉서블 기판 위의 회로는 지속적인 기계적 스트레스(stress)가 가해지는 구조이기 때문에, 오류가 발생할 확률이 크다.
- [0003] 기존에 상용화 되어 있는 시프트 레지스터(shift register) 방식의 스캔 드라이버(scan driver)는 발생한 오류가 후속 회로에도 영향을 미쳐 큰 문제가 될 수 있다.
- [0004] 따라서 각 스캔 라인을 개별적으로 구동하는 디코더(decoder) 방식의 스캔 드라이버 회로가 플렉서블 액티브 매트릭스 어레이(active matrix array)에 더 적합하다.
- [0005] 하지만, 구동해야하는 스캔 라인(scan line) 수가 증가할수록 신호선(signal line)의 개수도 같이 증가하기 때문에 고해상도에 적합하지 않다는 문제점이 존재한다.
- [0006] 도 1a는 종래 기술에 따라 일반적으로 사용되는 스캔 드라이버의 회로도를 설명한다.
- [0007] 도 1a를 참고하면, 종래 기술에 따른 스캔 드라이버(100)는 이전 스테이지의 출력이 다음 스테이지의 입력으로 사용되는 시프트 레지스터구조를 가진다.
- [0008] 스캔 드라이버는 복수의 스테이지(stage)로 이루어져있으며, 각 스테이지에서 연결된 스캔 라인(SL[n])을 통해 액티브 매트릭스 어레이의 어떤 행의 소자에 데이터전압이 인가될지를 결정할 수 있다.
- [0009] 이 방식은 스테이지의 개수에 무관하게 일정한 개수의 신호선만 사용하면 된다는 장점이 있지만, 특정 스테이지에 오류가 발생했을 경우 다음 스테이지에 그 오류가 전달된다는 문제가 있다.
- [0010] 플렉서블 액티브 매트릭스 어레이는 특성상 기계적인 스트레스에 의해 출력전압에 오류가 발생할 수 있다.
- [0011] 이때 기존의 시프트 레지스터 방식의 스캔 드라이버(100)를 사용하면, 오류가 발생한 이후의 스테이지가 전부 오동작을 하는 치명적인 문제가 발생할 수 있다.
- [0012] 도 1b는 종래 기술에 따른 디코더방식 스캔 드라이버의 블록도를 설명한다.
- [0013] 도 1b를 참고하면, 디코더방식 스캔 드라이버(110)는 시프트 레지스터 방식과는 다르게 각 스테이지가 독립적으로 구동된다.
- [0014] 따라서, 특정 스테이지에서 오류가 발생해도 다른 스테이지의 구동이 영향을 받지 않는다.
- [0015] 하지만 구동해야하는 행의 개수가 증가하면 이에 맞춰 신호선의 개수가 증가 해야함에 따라 스캔 드라이버가 차지하는 면적이 늘어나게 되는 단점 때문에 고해상도 액티브 매트릭스 어레이에 적용시키기 어렵다.
- [0016] 한편, 본 발명은 과학기술정보통신부(부처명) 및 한국전자통신연구원 ETRI(연구관리전문기관)의 위탁연구과제(연구사업명)의 일환으로 "연구과제명: 생체신호 감지/자극을 위한 능동형 복합 어레이의 제어를 위한 구동회로 개발(세부과제번호: 4011-2020-00023, 연구기간: 2020-03-01 ~ 2020-11-30)"통해 경희대학교 산학협력단(주관 연구기관)에 의해 개발된 기술에 관한 것이다.

선행기술문헌

특허문헌

- [0017] (특허문헌 0001) 한국등록특허 제1758770호, "멀티플렉서 및 디스플레이 장치"
- (특허문헌 0002) 한국등록특허 제1543281호, "게이트 구동회로 및 이를 구비한 표시 장치"
- (특허문헌 0003) 한국등록특허 제1630324호, "쉬프트 레지스터"
- (특허문헌 0004) 한국등록특허 제1996893호, "게이트 드라이버 및 그 구동 방법"

발명의 내용

해결하려는 과제

- [0018] 본 발명은 개별적으로 스캔 라인을 구동하여 플렉서블 회로에 적합하면서도, 적은 신호선을 사용하여 고해상도를 구현하는 스캔 드라이버 회로를 제공하는 것을 목적으로 한다.

- [0019] 본 발명은 모든 스캔 라인을 개별적으로 제어 및 구동하여 오류가 후속회로에 영향을 주지 않음으로 스트레스가 많이 가해지는 플렉서블 액티브 매트릭스 어레이에 적합한 스캔 드라이버 회로를 제공하는 것을 목적으로 한다.
- [0020] 본 발명은 특정 화면과 관련된 특정 블록만을 구동 할 수 있어 불 필요한 전력 소모를 줄임에 따라 저전력 웨어러블 디바이스 등 특정 화면을 오래 유지하는 장치에 응용될 수 있는 스캔 드라이버 회로를 제공하는 것을 목적으로 한다.
- [0021] 본 발명은 복수의 디코더를 이용하여 모든 스캔 라인이 개별 구동하게 되어 기존 시프트 레지스터 방식 스캔 드라이버의 초고해상도 및 고 주사율 구동시 발생될 수 있는 화면의 불균형을 제거하는 스캔 드라이버 회로를 제공하는 것을 목적으로 한다.
- [0022] 본 발명은 적은 개수의 신호선으로 더 많은 스캔 라인을 구동할 수 있어 초고해상도 액티브 매트릭스 어레이를 구현하기 위한 스캔 드라이버 회로를 제공하는 것을 목적으로 한다.
- [0023] 본 발명은 액티브 매트릭스 어레이의 발전 방향인 다양한 폼팩터(form factor) 개발과 초고해상도 구현에 적합한 스캔 드라이버 회로를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0025] 본 발명의 일실시예에 따른 스캔 드라이버 회로는 복수의 스테이지로 이루어진 액티브 매트릭스 어레이용 스캔 드라이버 회로에 있어서, 상기 복수의 스테이지 각각에서 복수의 디코더 신호를 이용하고, 상기 복수의 디코더 신호의 조합에 기반하여 동일한 스테이지에서 서로 다른 구동 타이밍에서 순차적으로 구동되거나 서로 다른 스테이지에서 동일한 타이밍에 구동되는 복수의 디코더를 포함하고, 상기 복수의 스테이지 각각에서 상기 복수의 디코더 중 마지막 디코더는 상기 복수의 디코더의 구동 상태에 따라 순차적으로 스캔 라인 신호를 출력할 수 있다.
- [0026] 상기 복수의 디코더 신호의 조합은 상기 복수의 디코더 신호 중 제1 디코더 신호 및 제2 디코더 신호가 로우 상태를 나타내는 제1 조합, 상기 제1 디코더 신호는 로우 상태를 나타내고 상기 제2 디코더 신호는 하이 상태를 나타내는 제2 조합, 상기 제1 디코더 신호는 하이 상태를 나타내고 상기 제2 디코더 신호는 로우 상태를 나타내는 제3 조합 및 상기 제1 디코더 신호 및 상기 제2 디코더 신호가 하이 상태를 나타내는 제4 조합 중 적어도 하나의 조합을 포함할 수 있다.
- [0027] 상기 복수의 스테이지 중 제2 스테이지에 포함된 상기 복수의 디코더 중 제1 디코더는 상기 복수의 디코더 신호의 조합에 기반하여 상기 복수의 스테이지 중 제1 스테이지에 포함된 상기 복수의 디코더 중 제2 디코더와 동일한 타이밍에서 구동될 수 있다.
- [0028] 상기 복수의 스테이지 중 제1 스테이지의 제1 디코더는 상기 제1 조합의 디코더 신호가 최초 인가될 경우, 선택적으로 구동될 수 있다.
- [0029] 상기 복수의 스테이지 중 제1 스테이지의 제2 디코더와 상기 복수의 스테이지 중 제2 스테이지의 제1 디코더는 상기 제1 조합의 디코더 신호가 2차 인가될 경우, 선택적으로 구동될 수 있다.
- [0030] 상기 복수의 스테이지 중 제1 스테이지는 상기 제2 조합의 디코더 신호가 인가될 경우, 스캔 라인 신호를 출력할 수 있다.
- [0031] 상기 복수의 스테이지 중 제2 스테이지의 제2 디코더와 상기 복수의 스테이지 중 제3 스테이지의 제1 디코더는 상기 제2 조합의 디코더 신호가 인가될 경우, 선택적으로 구동될 수 있다.
- [0032] 상기 복수의 디코더 각각은 입력부, 출력부 및 리셋부를 포함할 수 있다.
- [0033] 상기 입력부는 클럭 신호와 연결된 제1 디코딩 트랜지스터와 제4 디코딩 트랜지스터 및 상기 제1 디코딩 트랜지스터와 제4 디코딩 트랜지스터 각각과 직렬로 연결되고 상기 복수의 디코더 신호와 연결된 제2, 제3, 제5 및 제6 디코딩 트랜지스터를 포함할 수 있다.
- [0034] 상기 입력부는 상기 클럭 신호를 입력 신호로 상기 제1 내지 제6 디코딩 트랜지스터를 통과하여 제1 데이터 노드에 저장할 수 있다.
- [0035] 상기 출력부는 상기 제1 데이터 노드에 연결된 제1 및 제6 트랜지스터와 상기 제1 데이터 노드와 출력단 사이에

연결된 제1 및 제2 커패시터를 포함할 수 있다.

- [0036] 상기 출력부는 상기 제1 및 제6 트랜지스터를 통해 상기 클럭 신호를 상기 출력단으로 출력할 수 있다.
- [0037] 상기 리셋부는 상기 클럭 신호와 연결된 제3 및 제 8 트랜지스터, 상기 제1 데이터 노드와 연결된 제4 및 제9 트랜지스터, 상기 제1 데이터 노드와 반대 값을 저장하는 제2 데이터 노드와 연결된 제2, 제5, 제 7 및 제10 트랜지스터를 포함할 수 있다.
- [0038] 상기 리셋부는 상기 제1 데이터 노드의 입력 상태에 따라 상기 제2 데이터 노드를 리셋하고, 상기 제2 데이터 노드를 통해 상기 제1 데이터 노드와 상기 출력단을 로우 레벨 전원선과 연결할 수 있다.
- [0039] 본 발명의 일실시예에 따르면 복수의 스테이지로 이루어진 액티브 매트릭스 어레이용 스캔 드라이버 회로의 구동 방법은 상기 복수의 스테이지 각각에서, 복수의 디코더 신호의 조합에 기반하여 서로 다른 구동 타이밍에서 순차적으로 복수의 디코더를 구동하는 단계, 상기 복수의 스테이지 중 서로 다른 스테이지에서 상기 복수의 디코더 신호의 조합에 기반하여 동일한 타이밍으로 복수의 디코더를 구동하는 단계 및 상기 복수의 디코더 중 마지막 디코더에서, 상기 복수의 디코더의 구동 상태에 따라 순차적으로 스캔 라인 신호를 출력하는 단계를 포함할 수 있다.
- [0040] 상기 복수의 디코더 신호의 조합은 상기 복수의 디코더 신호 중 제1 디코더 신호 및 제2 디코더 신호가 로우 상태를 나타내는 제1 조합, 상기 제1 디코더 신호는 로우 상태를 나타내고 상기 제2 디코더 신호는 하이 상태를 나타내는 제2 조합, 상기 제1 디코더 신호는 하이 상태를 나타내고 상기 제2 디코더 신호는 로우 상태를 나타내는 제3 조합 및 상기 제1 디코더 신호 및 상기 제2 디코더 신호가 하이 상태를 나타내는 제4 조합 중 적어도 하나의 조합을 포함할 수 있다.
- [0041] 상기 복수의 스테이지 중 서로 다른 스테이지에서 상기 복수의 디코더 신호의 조합에 기반하여 동일한 타이밍으로 복수의 디코더를 구동하는 단계는, 상기 복수의 디코더 신호의 조합에 기반하여 상기 복수의 스테이지 중 제1 스테이지에 포함된 상기 복수의 디코더 중 제2 디코더와 동일한 타이밍에서 상기 복수의 스테이지 중 제2 스테이지에 포함된 상기 복수의 디코더 중 제1 디코더를 구동하는 단계를 포함할 수 있다.

발명의 효과

- [0042] 본 발명은 개별적으로 스캔 라인을 구동하여 플렉서블 회로에 적합하면서도, 적은 신호선을 사용하여 고해상도를 구현하는 스캔 드라이버 회로를 제공할 수 있다.
- [0043] 본 발명은 모든 스캔 라인을 개별적으로 제어 및 구동하여 오류가 후속회로에 영향을 주지 않음으로 스트레스가 많이 가해지는 플렉서블 액티브 매트릭스 어레이에 적합한 스캔 드라이버 회로를 제공할 수 있다.
- [0044] 본 발명은 특정 화면과 관련된 특정 블록만을 구동 할 수 있어 불 필요한 전력 소모를 줄임에 따라 저전력 웨어러블 디바이스 등 특정 화면을 오래 유지하는 장치에 응용될 수 있는 스캔 드라이버 회로를 제공할 수 있다.
- [0045] 본 발명은 복수의 디코더를 이용하여 모든 스캔 라인이 개별 구동하게 되어 기존 시프트 레지스터 방식 스캔 드라이버의 초고해상도 및 고 주사율 구동시 발생될 수 있는 화면의 불균형을 제거하는 스캔 드라이버 회로를 제공할 수 있다.
- [0046] 본 발명은 적은 개수의 신호선으로 더 많은 스캔 라인을 구동할 수 있어 초고해상도 액티브 매트릭스 어레이를 구현하기 위한 스캔 드라이버 회로를 제공할 수 있다.
- [0047] 본 발명은 액티브 매트릭스 어레이의 발전 방향인 다양한 폼팩터(form factor) 개발과 초고해상도 구현에 적합한 스캔 드라이버 회로를 제공할 수 있다.

도면의 간단한 설명

- [0048] 도 1a 및 도 1b는 종래 기술에 따른 스캔 드라이버를 설명하는 도면이다.
- 도 2는 본 발명의 일실시예에 따른 스캔 드라이버 회로를 설명하는 도면이다.
- 도 3은 본 발명의 일실시예에 따른 디코더를 설명하는 도면이다.
- 도 4a 및 도 4b는 본 발명의 일실시예에 따른 스캔 드라이버 회로의 하나의 스테이지 및 그 동작 과정을 설명하는 도면이다.

도 5a 내지 도 5e는 본 발명의 일실시예에 따른 스캔 드라이버 회로의 복수의 스테이지 및 그 동작 과정을 설명하는 도면이다.

도 6은 본 발명의 일실시예에 따른 스캔 드라이버 회로에서 트랜지스터의 성능을 설명하는 도면이다.

도 7a 내지 도 7d는 본 발명의 일실시예에 따른 스캔 드라이버 회로의 시뮬레이션 결과를 설명하는 도면이다.

도 8은 본 발명의 일실시예에 따른 스캔 드라이버 회로의 스테이지가 3개의 디코더로 구성된 구조 및 입력 및 출력 신호를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0049] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.
- [0050] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [0051] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0052] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0053] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0054] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0055] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0057] 도 2는 본 발명의 일실시예에 따른 스캔 드라이버 회로를 설명하는 도면이다.
- [0058] 도 2는 본 발명의 일실시예에 따른 스캔 드라이버 회로의 블록도를 예시한다.
- [0059] 도 2를 참고하면, 본 발명의 일실시예에 따른 스캔 드라이버 회로(200)는 복수의 디코더 신호선(D0, $\overline{D0}$, D1, $\overline{D1}$), 복수의 클럭 신호선(CLK1 내지 CLK3), 로우 레벨 전원선(VSS)과 연결되는 복수의 스테이지로 구성될 수 있다.
- [0060] 복수의 스테이지 각각은 제1 디코더 및 제2 디코더를 포함하고, 제1 디코더 및 제2 디코더는 디코더 신호선, 클

력 신호선 및 로우 레벨 전원선과 연결될 수 있다.

[0061] 본 발명의 일실시예에 따르면 스캔 드라이버 회로(200)는 2개의 디코더와 2비트 디코더 신호를 사용하고, 16개의 스캔 라인을 순차적으로 구동할 수 있다. 여기서, 디코더 신호선의 개수는 목표로 하는 스캔 라인 개수에 따라 늘어날 수 있으며, 2단계로 한정되지 않는다.

[0062] 예를 들어, 스캔 드라이버 회로(200)는 하기 [수학식 1]에 기반하여 스캔 라인 개수를 구동할 수 있다.

[0064] [수학식 1]

[0065] $2^{\text{비트의 수} \times \text{스테이지의 수}}$

[0067] [수학식 1]에서 비트의 수는 입력되는 신호의 비트 수를 나타낼 수 있고, 스테이지 수는 스캔 드라이버 회로(200)가 스캔 라인 신호를 출력하는 스테이지의 수를 나타낼 수 있다.

[0068] 예를 들어, 스캔 드라이버 회로(200)가 3개의 디코더와 2비트 디코더 신호를 사용할 경우, 64개의 스캔 라인을 순차적으로 구동할 수 있다.

[0069] 복수의 스테이지 각각은 제1 디코더 및 제2 디코더의 동작에 기반하여 스테이지 별로 스캔 라인 신호를 출력한다.

[0070] 본 발명의 일실시예에 따르면 스캔 드라이버 회로(200)는 복수의 스테이지 각각에서 복수의 디코더 신호를 이용하고, 복수의 디코더 신호의 조합에 기반하여 동일한 스테이지에서 서로 다른 구동 타이밍에서 순차적으로 구동되거나 서로 다른 스테이지에서 동일한 타이밍에 구동되는 복수의 디코더를 포함한다.

[0071] 예를 들어, 복수의 디코더는 제1 디코더 및 제2 디코더를 포함하고, 추가적으로 디코더가 더 배치될 수 있다.

[0072] 일례로, 복수의 디코더 중 마지막 디코더는 복수의 스테이지 각각에서 복수의 디코더의 구동 상태에 따라 순차적으로 스캔 라인 신호를 출력할 수 있다.

[0073] 복수의 스캔 라인을 구동하기 위한 복수의 스테이지를 포함하며 각 스테이지는 복수의 디코더를 포함할 수 있다.

[0074] 일례로, 복수의 디코더 신호의 조합은 복수의 디코더 신호 중 제1 디코더 신호 및 제2 디코더 신호가 로우 상태를 나타내는 제1 조합, 제1 디코더 신호는 로우 상태를 나타내고 제2 디코더 신호는 하이 상태를 나타내는 제2 조합, 제1 디코더 신호는 하이 상태를 나타내고 제2 디코더 신호는 로우 상태를 나타내는 제3 조합 및 제1 디코더 신호 및 제2 디코더 신호가 하이 상태를 나타내는 제4 조합 중 적어도 하나의 조합을 포함할 수 있다.

[0075] 예를 들어, 복수의 디코더 신호의 조합은 복수의 디코더 신호의 수가 증가할수록 더 많은 신호 조합을 포함할 수 있다.

[0076] 본 발명의 일실시예에 따르면 스캔 드라이버 회로(200)의 하나의 스테이지는 내부가 복수의 디코더로 이루어지고, 복수의 디코더는 각각 다른 구동 타이밍에 구동한다.

[0077] 따라서, 스캔 드라이버 회로(200)는 복수의 디코더 신호선을 각 디코더에서 중복으로 사용할 수 있고, 이를 통해 적은 개수의 디코더 신호선으로 더 많은 스캔 라인을 구동할 수 있다.

[0078] 또한, 스캔 드라이버 회로(200)는 각 스테이지에서 n번째 디코더는 이전 스테이지의 n+1번째 디코더와 동일한 타이밍에 구동할 수 있다.

[0079] 이를 통해 스캔 드라이버 회로(200)는 공백 구간(blank timing) 없이 순차적으로 스캔 라인 신호를 출력할 수 있다.

[0080] 본 발명의 일실시예에 따르면 스캔 드라이버 회로(200)는 제2 스테이지에서 제1 디코더가 동작할 경우, 제1 스테이지에서는 제2 디코더가 동일한 타이밍에 구동될 수 있다.

[0081] 본 발명의 일실시예에 따르면 복수의 스테이지 중 제2 스테이지에 포함된 복수의 디코더 중 제1 디코더는 복수의 디코더 신호의 조합에 기반하여 복수의 스테이지 중 제1 스테이지에 포함된 복수의 디코더 중 제2 디코더와

동일한 타이밍에서 구동될 수 있다.

- [0082] 일례로, 복수의 스테이지 중 제1 스테이지의 제1 디코더는 제1 조합의 디코더 신호가 최초 인가될 경우, 선택적으로 구동될 수 있다.
- [0083] 본 발명의 일실시예에 따르면 복수의 스테이지 중 제1 스테이지의 제2 디코더와 복수의 스테이지 중 제2 스테이지의 제1 디코더는 제1 조합의 디코더 신호가 2차 인가될 경우, 선택적으로 구동될 수 있다.
- [0084] 일례로, 복수의 스테이지 중 제2 스테이지의 제2 디코더와 복수의 스테이지 중 제3 스테이지의 제1 디코더는 제2 조합의 디코더 신호가 인가될 경우, 선택적으로 구동될 수 있다.
- [0085] 즉, 스캔 드라이버 회로(200)는 동일한 타이밍에서 서로 다른 스테이지에 위치하는 디코더들을 동시에 구동할 수 있다.
- [0086] 본 발명의 일실시예에 따르면 스캔 드라이버 회로(200)는 스캔 드라이버 회로의 구동 방법에 따라 구동될 수 있다.
- [0087] 일례로, 복수의 스테이지로 이루어진 액티브 매트릭스 어레이용 스캔 드라이버 회로의 구동 방법은 복수의 스테이지 각각에서, 복수의 디코더 신호의 조합에 기반하여 서로 다른 구동 타이밍에서 순차적으로 복수의 디코더를 구동하는 단계, 복수의 스테이지 중 서로 다른 스테이지에서 복수의 디코더 신호의 조합에 기반하여 동일한 타이밍으로 복수의 디코더를 구동하는 단계 및 복수의 디코더 중 마지막 디코더에서, 복수의 디코더의 구동 상태에 따라 순차적으로 스캔 라인 신호를 출력하는 단계를 포함할 수 있다.
- [0088] 따라서, 본 발명은 복수의 디코더를 이용하여 모든 스캔 라인이 개별 구동하게 되어 기존 시프트 레지스터 방식 스캔 드라이버의 초고해상도 및 고 주사율 구동시 발생될 수 있는 화면의 불균형을 제거하는 스캔 드라이버 회로를 제공할 수 있다.
- [0089] 또한, 본 발명은 적은 개수의 신호선으로 더 많은 스캔 라인을 구동할 수 있어 초고해상도 액티브 매트릭스 어레이를 구현하기 위한 스캔 드라이버 회로를 제공할 수 있다.
- [0090] 또한, 본 발명은 액티브 매트릭스 어레이의 발전 방향인 다양한 폼팩터(form factor) 개발과 초고해상도 구현에 적합한 스캔 드라이버 회로를 제공할 수 있다.
- [0092] 도 3은 본 발명의 일실시예에 따른 디코더를 설명하는 도면이다.
- [0093] 도 3은 본 발명의 일실시예에 따른 디코더의 구성 요소를 예시한다.
- [0094] 도 3을 참고하면, 본 발명의 일실시예에 따른 디코더(300)는 입력부(310), 출력부(320) 및 리셋부(330)를 포함한다.
- [0095] 본 발명의 일실시예에 따른 디코더(300)는 도 2에서 설명된 복수의 디코더일 수 있고, 도 2에서의 복수의 디코더는 제1 디코더와 제2 디코더를 포함한다.
- [0096] 일례로, 입력부(310)는 클럭 신호와 연결된 제1 디코딩 트랜지스터와 제4 디코딩 트랜지스터 및 제1 디코딩 트랜지스터와 제4 디코딩 트랜지스터 각각과 직렬로 연결되고 복수의 디코더 신호와 연결된 제2, 제3, 제5 및 제6 디코딩 트랜지스터를 포함할 수 있다.
- [0097] 여기서, 제2 디코딩 트랜지스터와 제5 디코딩 트랜지스터는 동일한 비트의 디코더 신호를 인가받고, 제3 디코딩 트랜지스터와 제6 디코딩 트랜지스터는 동일한 비트의 디코더 신호를 인가 받는다.
- [0098] 예를 들어, 제1 내지 제3 디코딩 트랜지스터는 제1 디코더에 포함되고, 제4 내지 제6 디코딩 트랜지스터는 제2 디코더에 포함될 수 있다.
- [0099] 본 발명의 일실시예에 따른 입력부(310)는 클럭 신호를 입력 신호로 제1 내지 제6 디코딩 트랜지스터를 통과하여 제1 데이터 노드에 저장할 수 있다.
- [0100] 일례로, 출력부(320)는 제1 데이터 노드에 연결된 제1 및 제6 트랜지스터와 제1 데이터 노드와 출력단 사이에 연결된 제1 및 제2 커패시터를 포함할 수 있다.
- [0101] 예를 들어, 제1 디코더는 제1 데이터 노드, 제1 트랜지스터 및 제1 커패시터를 포함하고, 제2 디코더는 제1 데

이터 노드, 제6 트랜지스터 및 제2 커패시터를 포함할 수 있다.

- [0102] 예를 들어, 제1 디코더의 출력단은 제2 디코더의 입력단에 연결될 수 있다.
- [0103] 본 발명의 일실시예에 따르면 출력부(320)는 제1 및 제6 트랜지스터를 통해 클럭 신호를 출력단으로 출력시킬 수 있다.
- [0104] 여기서, 출력단으로 출력되는 신호는 스캔 라인 신호일 수 있다.
- [0105] 본 발명의 일실시예에 따르면 리셋부(330)는 클럭 신호와 연결된 제3 및 제 8 트랜지스터, 제1 데이터 노드와 연결된 제4 및 제9 트랜지스터, 제1 데이터 노드와 반대 값을 저장하는 제2 데이터 노드와 연결된 제2, 제5, 제 7 및 제10 트랜지스터를 포함할 수 있다.
- [0106] 일례로, 리셋부(330)는 제1 데이터 노드의 입력 상태에 따라 제2 데이터 노드를 리셋할 수 있고, 제2 데이터 노드를 통해 제1 데이터 노드와 출력단을 로우 레벨 전원선과 연결할 수 있다.
- [0107] 따라서, 리셋부(330)는 클럭 신호와 출력단이 연결(출력 동작)이 되어 있지 않을 때도 안정적으로 로우 레벨 전압을 유지시켜 오동작을 방지할 수 있다.
- [0108] 예를 들어, 리셋부(330)가 없다면 클럭신호가 하이로 될 시, 제1 데이터 노드에 전압이 충전되어 있지 않더라도 커패시터 커플링 현상에 의해 출력단에 신호가 출력되는 문제가 발생될 수 있다.
- [0109] 로우 레벨 전원선(VSS)은 제 4 및 제9 트랜지스터를 통해 제2 데이터 노드와 연결되고, 제5 및 제10 트랜지스터를 통해 제1 데이터 노드와 연결되며, 제2 및 제7 트랜지스터를 통해 출력단과 연결될 수 있다.
- [0110] 클럭 신호는 제1 및 제6 트랜지스터를 통해 출력단과 연결되고, 클럭 신호가 로우 상태인 경우에 VSS가 출력되고, 클럭 신호가 하이 상태인 경우, VDD가 출력될 수 있다.
- [0111] 본 발명의 일실시예에 따른 디코더(300)의 회로 구조는 도 4a를 이용하여 보충 설명한다.
- [0113] 도 4a 및 도 4b는 본 발명의 일실시예에 따른 스캔 드라이버 회로의 하나의 스테이지 및 그 동작 과정을 설명하는 도면이다.
- [0114] 도 4a는 본 발명의 일실시예에 따른 스캔 드라이버 회로의 하나의 스테이지를 이루는 복수의 디코더를 포함하는 회로 구조를 예시한다.
- [0115] 도 4a를 참고하면, 하나의 스테이지는 제1 디코더(400)와 제2 디코더(401)로 구성된다. 여기서, 두 개의 디코더로 구성된 스테이지를 설명하나, 실시예에 따라 디코더는 추가적으로 구성될 수 있다.
- [0116] 제1 디코더(400)는 입력부, 출력부 및 리셋부로 구분될 수 있다.
- [0117] 제1 디코더(400)의 입력부는 제1 디코딩 트랜지스터(MD1), 제2 디코딩 트랜지스터(MD2) 및 제3 디코딩 트랜지스터(MD3)로 구성된다.
- [0118] 제1 디코딩 트랜지스터(MD1), 제2 디코딩 트랜지스터(MD2) 및 제3 디코딩 트랜지스터(MD3)는 직렬로 연결되어 있고, 제1 디코딩 트랜지스터(MD1)의 게이트 단은 클럭 신호(CLK1)와 연결되고, 제2 디코딩 트랜지스터(MD2)는 제1 디코더 신호와 연결되며, 제3 디코딩 트랜지스터(MD3)는 제2 디코더 신호와 연결된다.
- [0119] 제1 디코더(400)의 출력부는 제1 트랜지스터(M1)와 제1 커패시터(C1)로 구성되고, 제3 디코딩 트랜지스터(MD3)와 연결되는 부위에 제1 데이터 노드(Q1)가 위치한다.
- [0120] 제1 디코더(400)의 리셋부는 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4) 및 제5 트랜지스터(M5)로 구성되고, 제3 트랜지스터(M3), 제4 트랜지스터(M4) 및 제5 트랜지스터(M5) 사이에서 제2 데이터 노드(QB1)를 포함한다.
- [0121] 제2 디코더(410)도 입력부, 출력부 및 리셋부로 구분될 수 있다.
- [0122] 제2 디코더(410)의 입력부는 제4 디코딩 트랜지스터(MD4), 제5 디코딩 트랜지스터(MD5) 및 제6 디코딩 트랜지스터(MD6)로 구성된다.
- [0123] 제4 디코딩 트랜지스터(MD4), 제5 디코딩 트랜지스터(MD5) 및 제6 디코딩 트랜지스터(MD6)는 직렬로 연결되어 있고, 제4 디코딩 트랜지스터(MD4)의 게이트 단은 제1 디코더(400)의 출력단과 연결되고, 제5 디코딩 트랜지스

터(MD5)는 제1 디코더 신호와 연결되며, 제6 디코딩 트랜지스터(MD6)는 제2 디코더 신호와 연결된다.

- [0124] 즉, 제1 디코더(400)와 제2 디코더(410)는 동일한 비트의 디코더 신호를 이용한다.
- [0125] 제2 디코더(410)의 출력부는 제6 트랜지스터(M6)와 제2 커패시터(C2)로 구성되고, 제6 디코딩 트랜지스터(MD6)와 연결되는 부위에 제1 데이터 노드(Q1)가 위치한다.
- [0126] 제2 디코더(410)의 리셋부는 제7 트랜지스터(M7), 제8 트랜지스터(M8), 제9 트랜지스터(M9) 및 제10 트랜지스터(M10)로 구성되고, 제8 트랜지스터(M8), 제9 트랜지스터(M9) 및 제10 트랜지스터(M10) 사이에서 제2 데이터 노드(QB1)를 포함한다.
- [0127] 입력부보다 앞선 클럭 신호를 통해 제2 데이터 노드(QB2)가 충전되고, 제2 데이터 노드(QB1)에 연결된 트랜지스터들을 통해 제1 데이터 노드(Q1)와 제1 디코더(400) 및 제2 디코더(410)의 출력단을 VSS로 방전시킬 수 있다.
- [0128] 리셋부는 입력부에서 제1 데이터 노드(Q1)를 충전하는지 여부에 따라 제2 데이터 노드(QB1)가 VSS로 리셋이 될지 말지를 결정한다.
- [0129] 제1 데이터 노드(Q1)가 충전되면 제2 데이터 노드(QB1)는 로우 레벨 전압으로 리셋이 되며, 제2 데이터 노드(QB1)가 리셋동작을 하지 않기 때문에 제1 데이터 노드(Q1)와 출력단은 충전될 수 있다.
- [0130] 도 4b는 본 발명의 일실시예에 따른 스캔 드라이버 회로의 하나의 스테이지를 이루는 복수의 디코더의 구동 타이밍도를 예시한다.
- [0131] 도 4b의 타이밍도(410)를 참고하면, 모든 구동 파형의 하이 레벨(high level)전원은 VDD 로우 레벨(low level)전원은 VSS일 수 있다.
- [0132] 타이밍도(410)의 첫 구간은 초기 구간(initial period)으로 구동에 앞서 각 노드의 초기 값을 설정해주는 단계이다.
- [0133] 예를 들어, 초기 구간이 없다면 의도하지 않은 출력이 생길 수 있다.
- [0134] 구동은 모든 클럭 신호를 VDD로 인가하여 모든 디코더의 제2 데이터 노드(QB)에 전압을 충전시키는 동시에 모든 디코더 신호를 VSS로 인가하여 제1 데이터 노드(Q)가 충전되지 않게 한다.
- [0135] 초기 구간 이후는 디코딩(decoding) 구간으로 디코더 신호의 조합에 따라 특정 회로가 선택되어 구동됨에 따라 스캔 라인(SL[1] 내지 SL[16])에서 전압이 스캔 라인 신호로 순차적으로 출력되는 구간이 포함된다.
- [0136] 타이밍도(410)에서 (0) 내지 (3)의 숫자는 디코더 신호의 조합에 따른 경우의 수를 표현한 것으로, 실시 예는 2비트이기 때문에 4개의 경우의 수에 해당하는 디코더 신호의 조합이 나올 수 있다.
- [0137] 예를 들어, (0)은 제1 조합, (1)은 제2 조합, (2)는 제3 조합, (3)은 제4 조합에 해당될 수 있다.
- [0138] 예를 들어, (0)은 D1과 D0가 모두 로우 레벨 전압이라는 뜻으로 $\overline{D1}$ 와 $\overline{D0}$ 에 연결된 디코더 회로만 입력신호를 통과시킬 수 있고, 그 외의 디코더 회로들은 입력신호가 통과하지 못한다.
- [0139] 타이밍도(410)에서 (0)이 인가될 때 제1 스테이지의 첫 번째 디코더가 선택되어 구동된다.
- [0140] 다음으로, (0)이 인가되면 제1 스테이지의 두 번째 디코더와 제2 스테이지의 첫 번째 디코더가 선택되어 구동된다.
- [0141] 다음으로, (1)이 인가되면 제1 스테이지의 스캔 라인(SL[1])에서 파형이 출력되고, 제2 스테이지의 두 번째 디코더와 제3 스테이지의 첫 번째 디코더가 선택되어 구동된다.
- [0142] 본 발명의 일실시예에 따른 스캔 라인 구동 회로는 제16 스테이지까지 구동 한 후 다시 제1 스테이지가 구동된다.
- [0143] 복수의 디코더의 구동 타이밍을 겹쳐서 구동하면 공백구간 없이 모든 스캔 라인에서 순차적으로 파형이 출력될 수 있다.
- [0144] 디코더 신호 조합의 순서는 중복되는 구간이 없고 마지막 스테이지를 구동한 후 첫 번째 스테이지를 반복하여 구동할 수 있다.

- [0146] 도 5a 내지 도 5e는 본 발명의 일실시예에 따른 스캔 드라이버 회로의 복수의 스테이지 및 그 동작 과정을 설명하는 도면이다.
- [0147] 도 5a 내지 도 5e는 제1 스테이지와 제2 스테이지에서 복수의 디코더들의 동작 상태를 순차적으로 예시한다.
- [0148] 도 5a를 참고하면, 제1 스테이지(500)와 제2 스테이지(501)의 동작과 관련된 타이밍도(503)를 예시하고, 스캔 드라이버 회로의 초기 동작 구간에 해당될 수 있다.
- [0149] 본 발명의 일실시예에 따르면 제1 스테이지(500)와 제2 스테이지(501)는 동일하게 동작한다.
- [0150] 일례로, 제1 스테이지(500)와 제2 스테이지(501)는 제1 데이터 노드(Q1, Q2)와 제2 데이터 노드(QB1, QB2)의 초기 값을 설정한다.
- [0151] 도 5b를 참고하면, 제1 스테이지(510)와 제2 스테이지(511)의 동작과 관련된 타이밍도(513)를 예시하고, 스캔 드라이버 회로에 제1 조합의 디코더 신호가 인가된 경우에 해당될 수 있다.
- [0152] 본 발명의 일실시예에 따르면 제1 스테이지(510)의 제1 디코더는 전압을 인가받아 제1 데이터 노드(Q1[1])에 전압을 인가하는 동작을 수행하고, 제1 스테이지(510)의 제2 디코더 및 제2 스테이지(511)의 제1 디코더 및 제2 디코더는 초기 구간과 동일하게 동작 상태가 유지된다.
- [0153] 도 5c를 참고하면, 제1 스테이지(520)와 제2 스테이지(521)의 동작과 관련된 타이밍도(523)를 예시하고, 스캔 드라이버 회로에 제1 조합의 디코더 신호가 한번 더 인가된 경우에 해당될 수 있다.
- [0154] 본 발명의 일실시예에 따르면 제1 스테이지(520)의 제2 디코더는 전압을 인가받아 제1 데이터 노드(Q2[1])에 전압을 인가하는 동작을 수행하고, 제2 스테이지(521)의 제1 디코더도 전압을 인가받아 제1 데이터 노드(Q1[2])에 전압을 인가하는 동작을 수행한다.
- [0155] 즉, 제1 스테이지(520)의 제2 디코더와 제2 스테이지(521)의 제1 디코더가 동일한 타이밍에 동작한다.
- [0156] 도 5d를 참고하면, 제1 스테이지(530)와 제2 스테이지(531)의 동작과 관련된 타이밍도(533)를 예시하고, 스캔 드라이버 회로에 제2 조합의 디코더 신호가 인가된 경우에 해당될 수 있다.
- [0157] 본 발명의 일실시예에 따르면 제1 스테이지(530)의 제2 디코더는 출력단을 통해 제1 스캔 라인 신호(SL[1])를 출력하고, 제2 스테이지(531)의 제2 디코더는 전압을 인가받아 제1 데이터 노드(Q2[2])에 전압을 인가하는 동작을 수행한다.
- [0158] 여기서, 추가적으로 스테이지가 존재할 경우, 추가 스테이지의 제1 디코더가 선택적으로 동작할 수 있다.
- [0159] 도 5e를 참고하면, 제1 스테이지(540)와 제2 스테이지(541)의 동작과 관련된 타이밍도(543)를 예시하고, 스캔 드라이버 회로에 제1 조합의 디코더 신호가 다시 인가된 경우에 해당될 수 있다.
- [0160] 본 발명의 일실시예에 따르면 제2 스테이지(541)의 제2 디코더는 출력단을 통해 제2 스캔 라인 신호(SL[2])를 출력하고, 제1 스테이지(540)의 제1 디코더는 전압을 인가받아 제1 데이터 노드(Q1[1])에 전압을 인가하는 동작을 수행한다.
- [0161] 즉, 스캔 드라이버 회로는 마지막 스테이지에 해당하는 제2 스테이지(541)에서 스캔 라인 신호를 출력할 때, 최초 스테이지에 해당하는 제1 스테이지(540)에서 제1 디코더의 동작을 선택적으로 수행한다.
- [0162] 도 5a 내지 도 5e를 참고하면, 본 발명의 일실시예에 따른 스캔 드라이버 회로는 복수의 디코더의 구동 타이밍을 겹쳐서 구동하면 공백 구간 없이 모든 스캔 라인에서 순차적으로 파형을 출력할 수 있다.
- [0163] 또한, 스캔 드라이버 회로를 구동하기 위한 디코더 신호 조합의 순서는 중복되는 구간이 없고 마지막 스테이지를 구동한 후 첫 번째 스테이지를 반복하여 구동할 수 있도록 입력될 수 있다.
- [0165] 도 6은 본 발명의 일실시예에 따른 스캔 드라이버 회로에서 트랜지스터의 성능을 설명하는 도면이다.
- [0166] 도 6을 참고하면, 그래프(600)는 스캔 드라이버 회로에서 트랜지스터의 전이 특성에 대한 시뮬레이션 결과를 예시한다.

- [0167] 그래프(600)를 참고하면, 스캔 드라이버 회로에서 트랜지스터의 전이 특성은 양의 전압 영역에서 우수하다.
- [0169] 도 7a 내지 도 7d는 본 발명의 일실시예에 따른 스캔 드라이버 회로의 시뮬레이션 결과를 설명하는 도면이다.
- [0170] 도 7a 및 도 7b는 본 발명의 일실시예에 따라 각 스테이지에서 2개의 디코더를 사용한 스캔 드라이버 회로의 시뮬레이션 결과를 예시하고, 도 7c 및 도 7d는 본 발명의 일실시예에 따라 각 스테이지에서 3개의 디코더를 사용한 스캔 드라이버 회로의 시뮬레이션 결과를 예시한다.
- [0171] 도 7a 및 도 7b를 참고하면, 스테이지(700)는 제1 디코더(701)와 제2 디코더(702)를 이용하고, 그래프(710)는 시간 변화에 따른 전압 변화를 나타낸다.
- [0172] 그래프(710)에서 전압의 출력은 각 스테이지에서 출력되는 스캔 라인 신호에 해당될 수 있고, 시간 간격은 약 7.5 μ s일 수 있다.
- [0173] 스테이지(700)는 24개의 트랜지스터로 구성되고, 16개의 신호를 이용하며, 게이트 출력은 4096일 수 있다.
- [0174] 도 7c 및 도 7d를 참고하면, 스테이지(720)는 제1 디코더(721), 제2 디코더(722) 및 제3 디코더(723)를 이용하고, 그래프(730)는 시간 변화에 따른 전압 변화를 나타낸다.
- [0175] 그래프(730)에서 전압의 출력은 각 스테이지에서 출력되는 스캔 라인 신호에 해당될 수 있고, 시간 간격은 약 7.5 μ s일 수 있다.
- [0176] 스테이지(720)는 30개의 트랜지스터로 구성되고, 12개의 신호를 이용하며, 게이트 출력은 4096일 수 있다.
- [0177] 즉, 스테이지에서 이용하는 디코더의 수가 증가할 경우, 동일한 게이트 출력을 나타내기 위해 필요한 신호의 수가 감소될 수 있다.
- [0178] 종래 기술과 스테이지(700) 및 스테이지(720)의 시뮬레이션 결과를 아래 표 1과 같이 정리할 수 있다.

표 1

종래기술	본 발명			
	최대 출력수	디코더수	2디코더	3디코더
		비트수	6	4
최대 출력수	4096	최대 출력수	4096	4096
신호수	25	신호수	16	12
트랜지스터 수	22	트랜지스터 수	24	30

- [0181] 표 1을 참고하면, 종래 기술은 4K UHD 구동을 위해 필요한 신호 수가 본 발명에 대비하여 상대적으로 많아서 플렉서블 액티브 매트릭스 어레이처럼 기계적인 스트레스가 지속적으로 가해지는 장치에 활용될 수 있고 헬스케어용 임플란터블(implantable) 회로 등 내고장성(fault-tolerance)이 보장되어야 하는 회로에 적합하지 않다. 또한, 신호수가 증가함에 따라 회로의 복잡도가 증가될 수 있다.
- [0182] 반면에, 본 발명의 일실시예에 따른 스캔 드라이버 회로는 상대적으로 신호 수가 적어서 플렉서블 액티브 매트릭스 어레이에 적합하다.
- [0183] 4K UHD를 위해 스캔 드라이버가 구동해야하는 라인의 개수는 2160라인이고, 2160라인을 구동하기 위해 4096라인을 구동할 수 있는 신호 개수(출력수)를 사용한다.
- [0184] 예를 들어, 신호수는 스캔 라인 신호를 출력하기 위한 신호 선의 수에 해당될 수 있다.
- [0185] 따라서, 본 발명은 개별적으로 스캔 라인을 구동하여 플렉서블 회로에 적합하면서도, 적은 신호선을 사용하여 고해상도를 구현하는 스캔 드라이버 회로를 제공할 수 있다.
- [0186] 또한, 본 발명은 모든 스캔 라인을 개별적으로 제어 및 구동하여 오류가 후속회로에 영향을 주지 않음으로 스트레스가 많이 가해지는 플렉서블 액티브 매트릭스 어레이에 적합한 스캔 드라이버 회로를 제공할 수 있다.
- [0187] 또한, 본 발명은 특정 화면과 관련된 특정 블록만을 구동 할 수 있어 불 필요한 전력 소모를 줄임에 따라 저전

력 웨어러블 디바이스 등 특정 화면을 오래 유지하는 장치에 응용될 수 있는 스캔 드라이버 회로를 제공할 수 있다.

- [0189] 도 8은 본 발명의 일실시예에 따른 스캔 드라이버 회로의 스테이지가 3개의 디코더로 구성된 구조 및 입력 및 출력 신호를 설명하는 도면이다.
- [0190] 도 8을 참고하면, 본 발명의 일실시예에 따른 스캔 드라이버의 스테이지(800)는 제1 디코더(801), 제2 디코더(802) 및 제3 디코더(803)를 이용하고, 스테이지(800)와 동일한 구조의 스테이지를 추가로 포함하여, 타이밍도(810)의 신호에 따라 제1 스캔 라인 신호(SL[1]) 내지 제64 스캔 라인 신호(SL[64])를 출력한다.
- [0191] 본 발명의 일실시예에 따른 스캔 드라이버의 스테이지(800)는 제1 디코더(801), 제2 디코더(802) 및 제3 디코더(803)에서 동일한 디코더 신호($\overline{D1}$ 및 $\overline{D0}$)를 사용한다.
- [0192] 제1 디코더(801)는 트랜지스터(MD2)에 디코더 신호선($\overline{D1}$)이 연결되고, 트랜지스터(MD3)에 디코더 신호선($\overline{D0}$)이 연결이 연결된다.
- [0193] 또한, 제2 디코더(802)는 트랜지스터(MD5)에 디코더 신호선($\overline{D1}$)이 연결되고, 트랜지스터(MD6)에 디코더 신호선($\overline{D0}$)이 연결이 연결된다.
- [0194] 또한, 제3 디코더(803)는 트랜지스터(MD8)에 디코더 신호선($\overline{D1}$)이 연결되고, 트랜지스터(MD9)에 디코더 신호선($\overline{D0}$)이 연결이 연결된다.
- [0196] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0197] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0198] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상

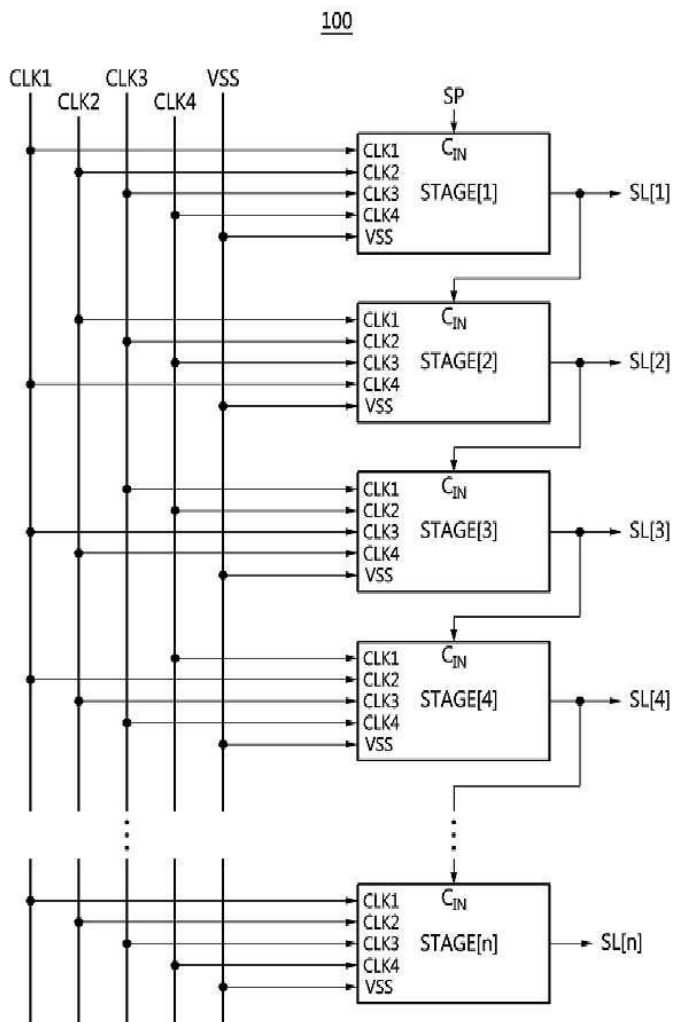
장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0199] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

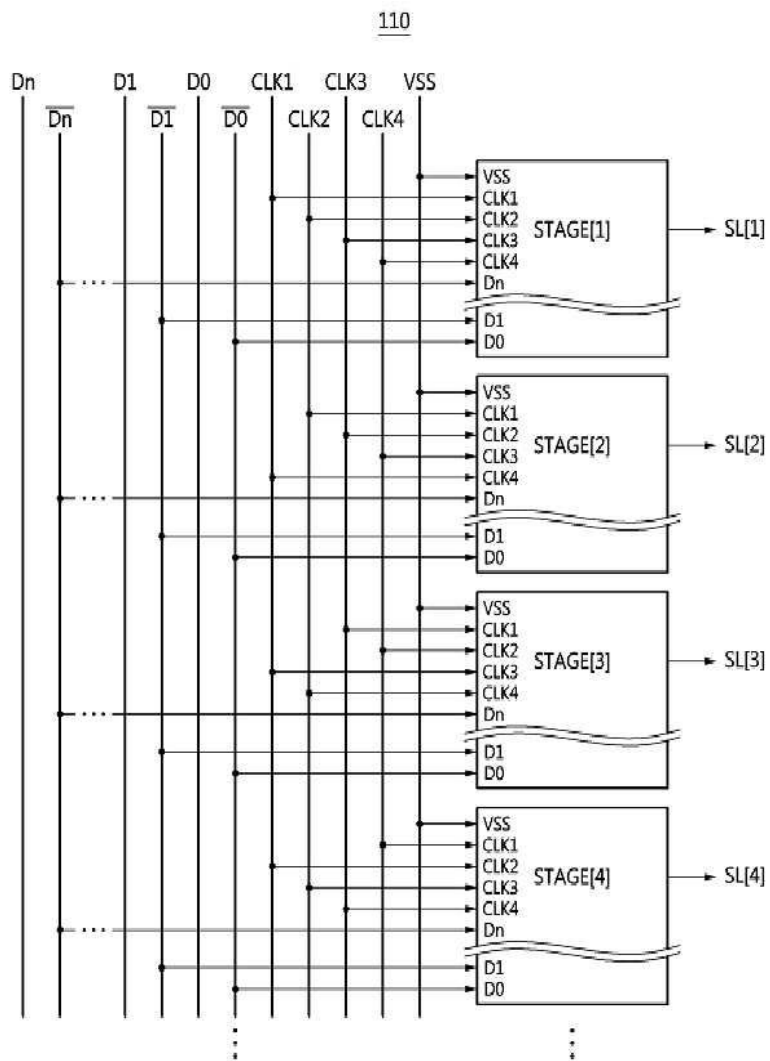
[0200] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

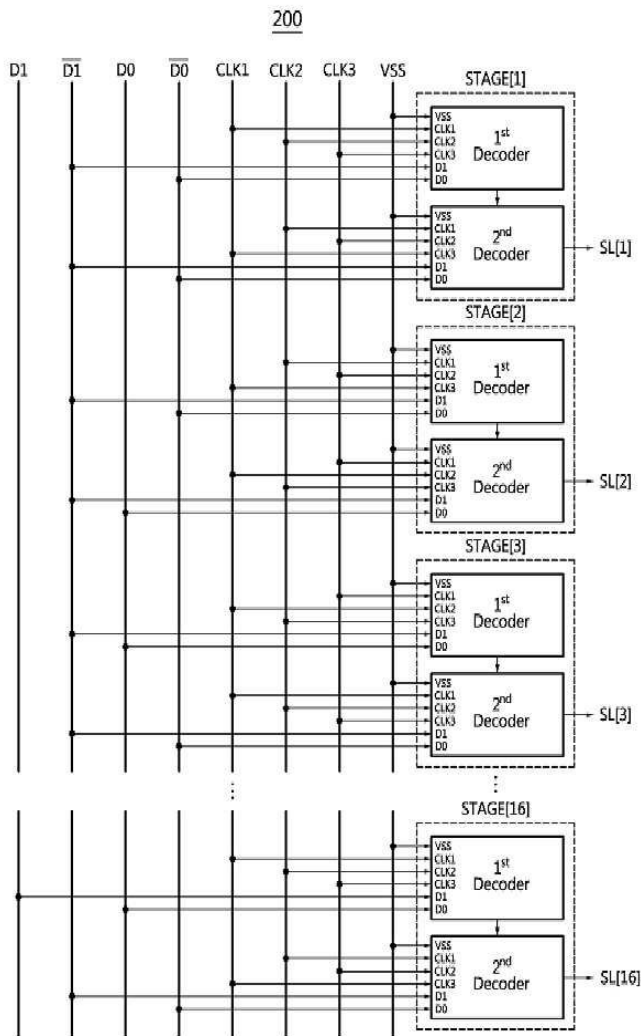
도면 1a



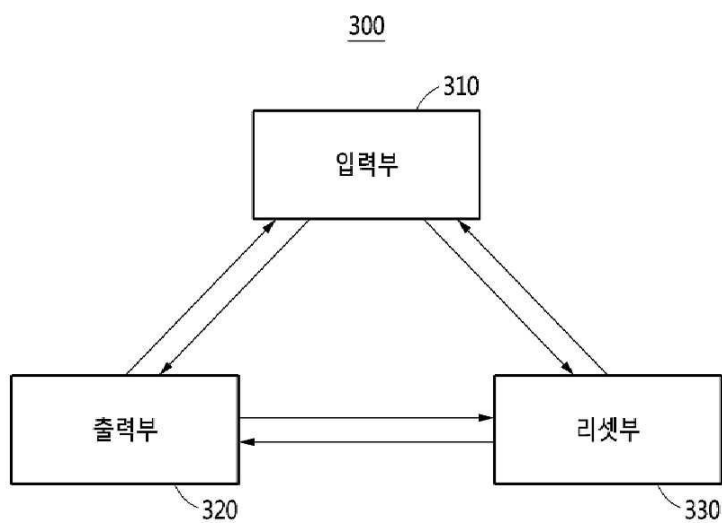
도면1b



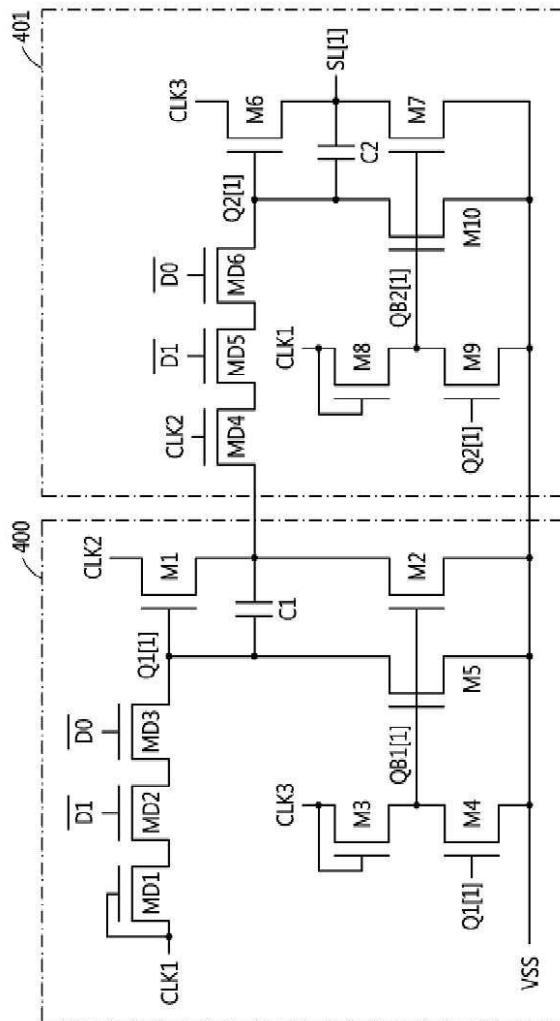
도면2



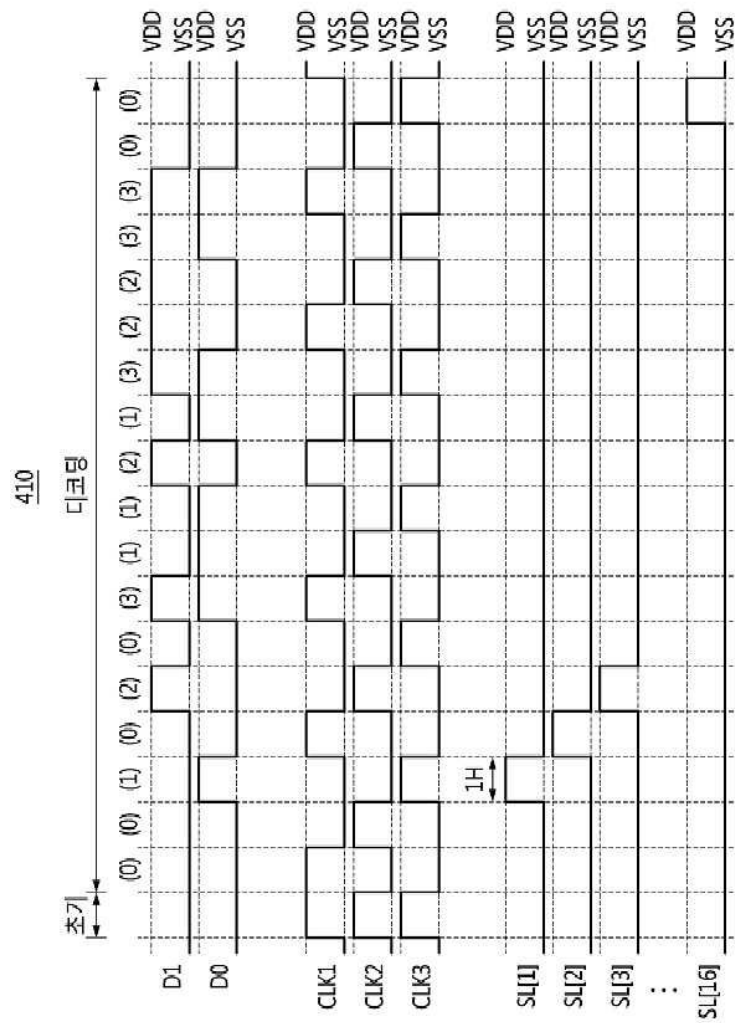
도면3



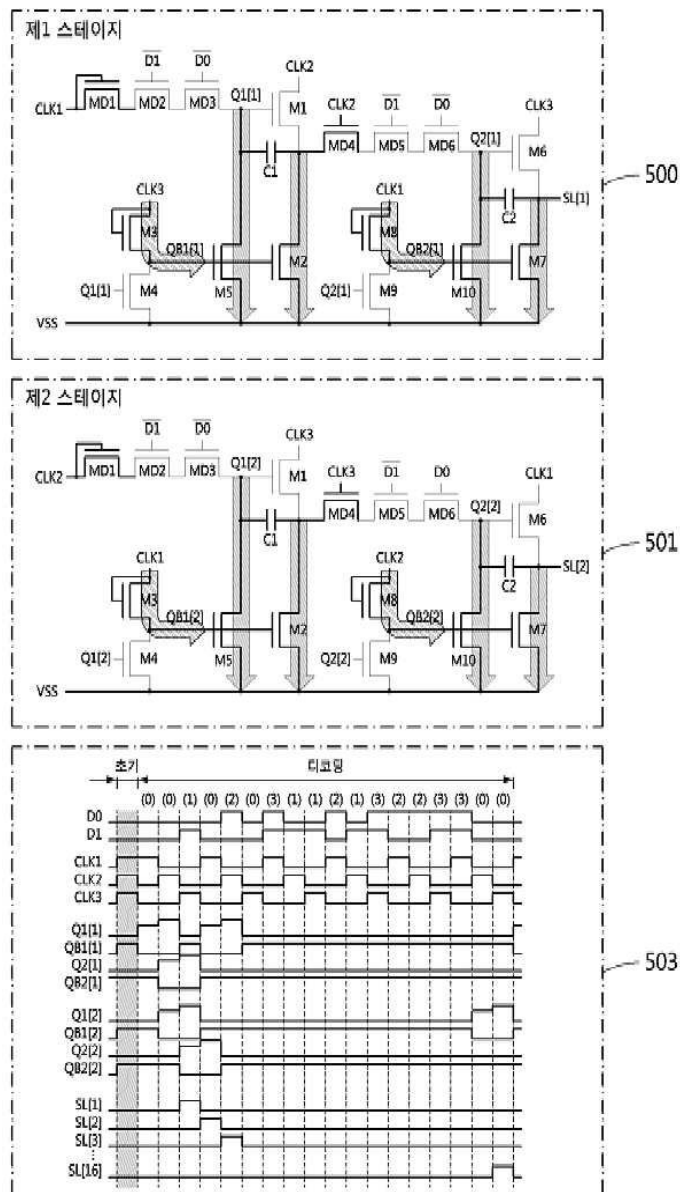
도면4a



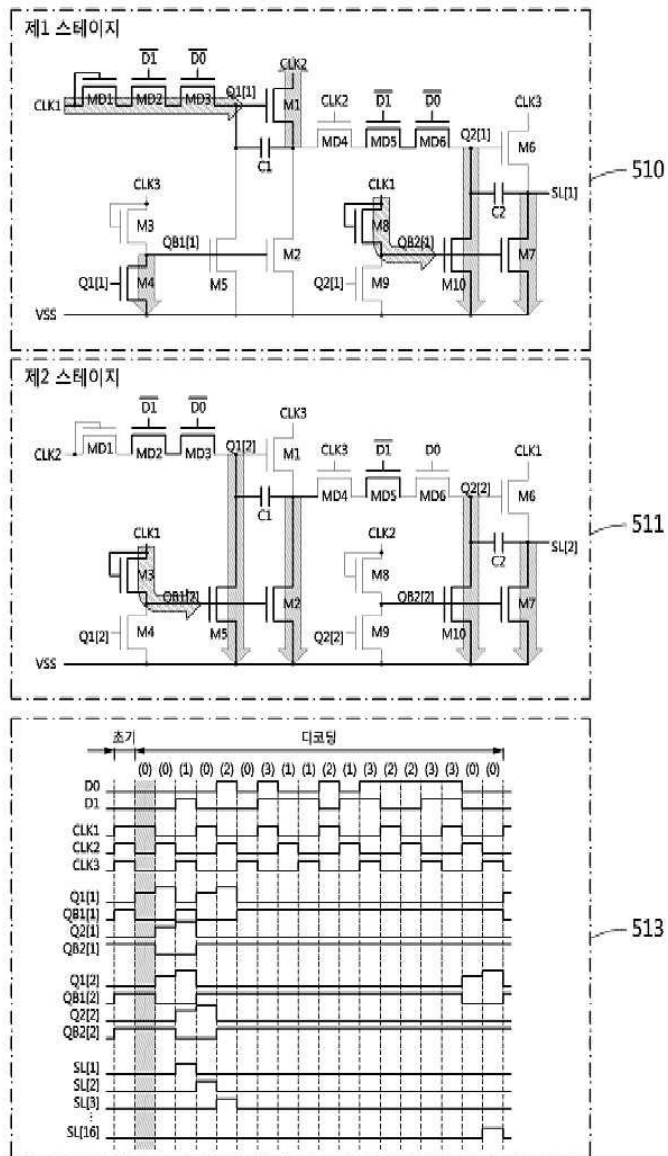
도면4b



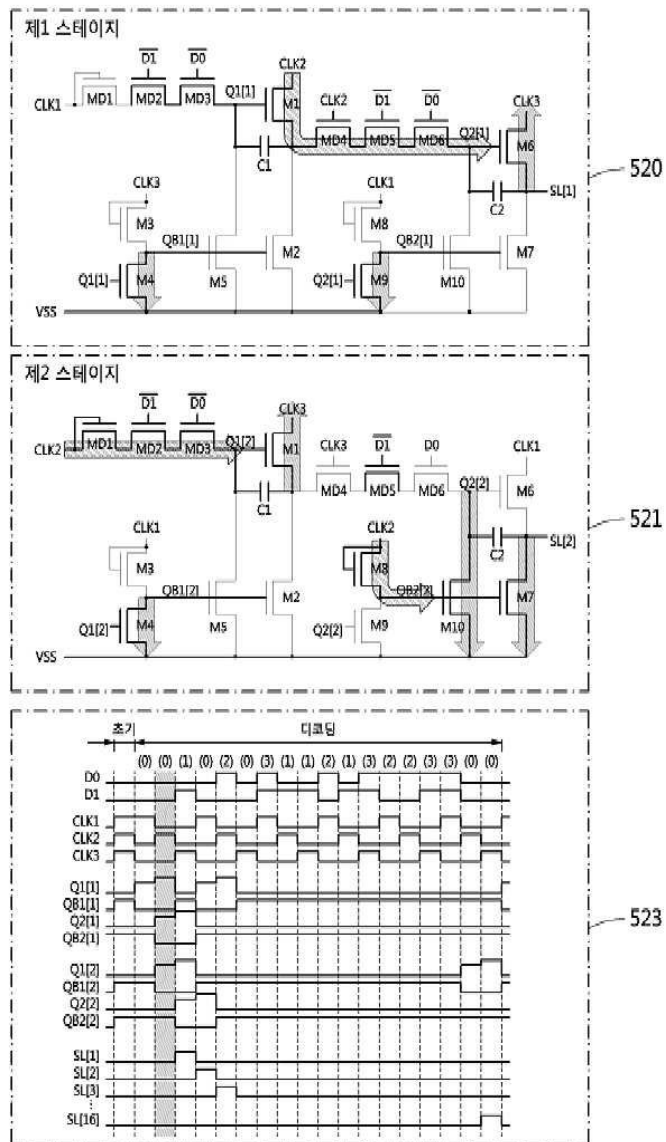
도면5a



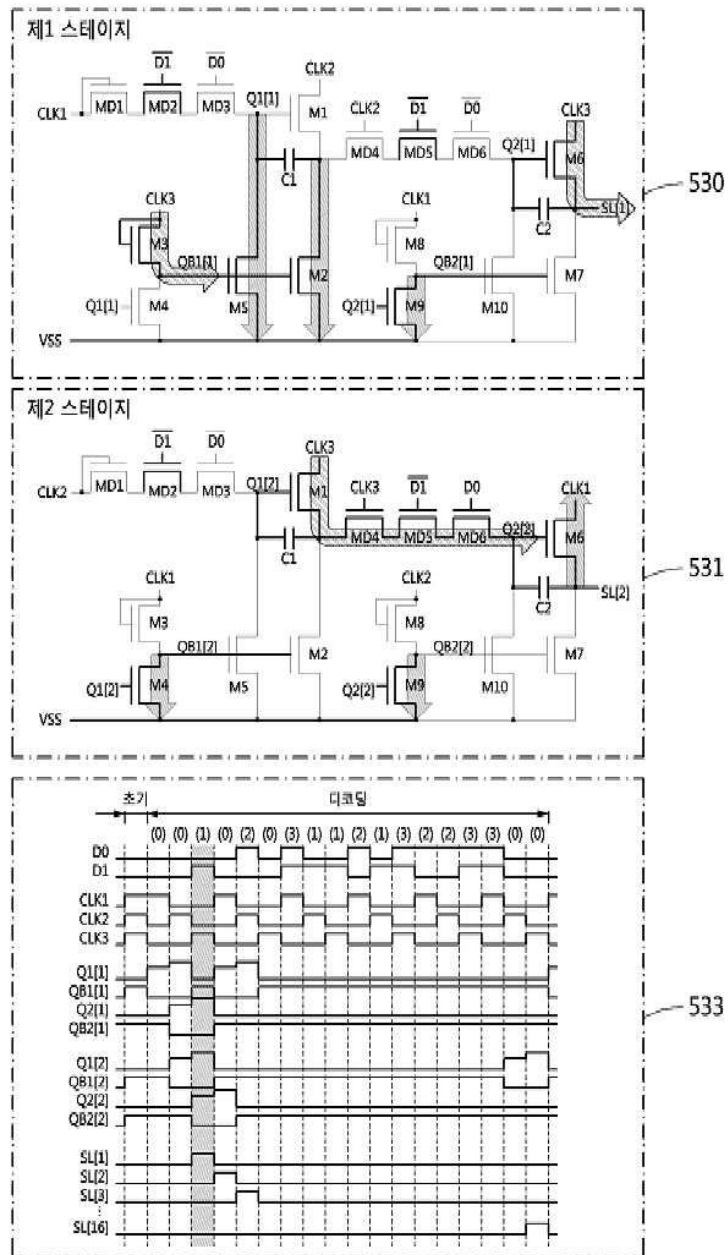
도면5b



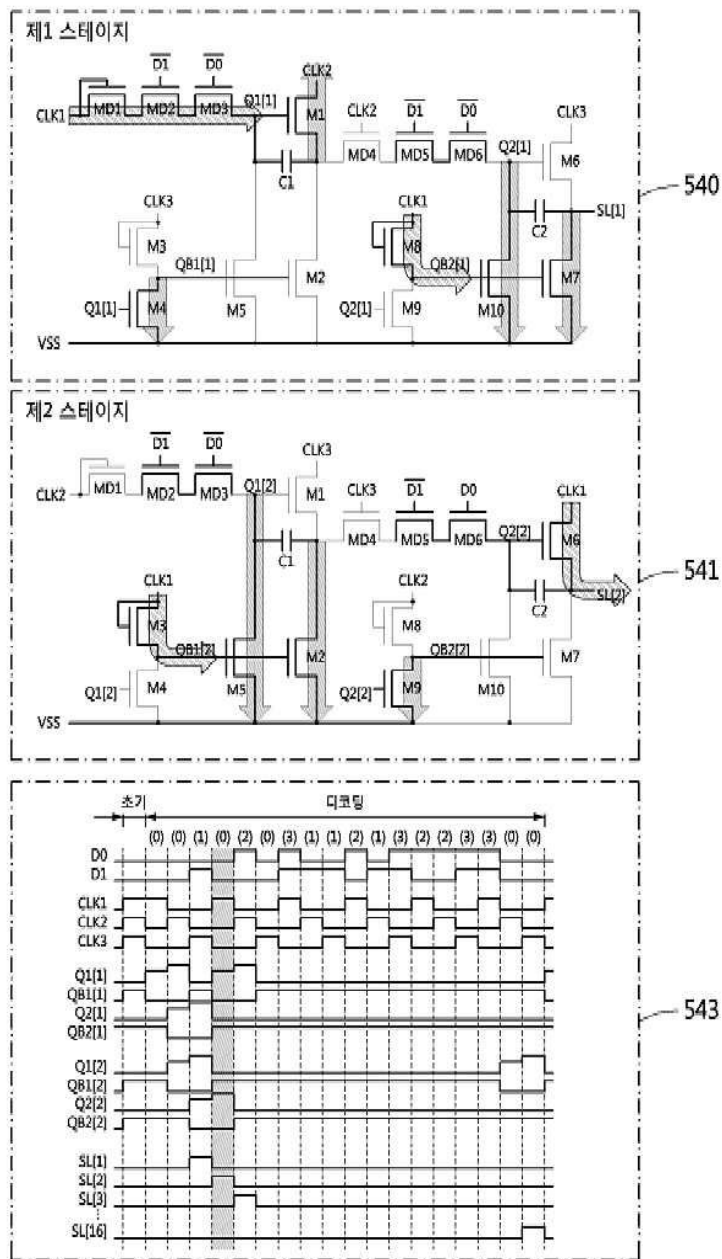
도면5c



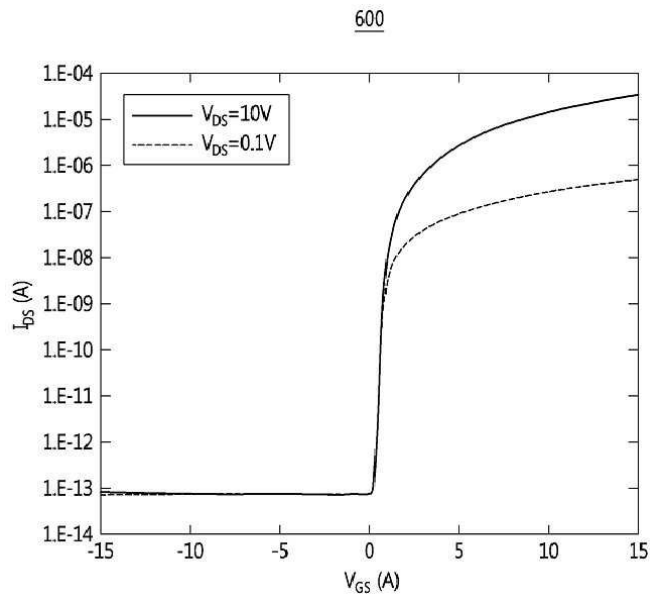
도면5d



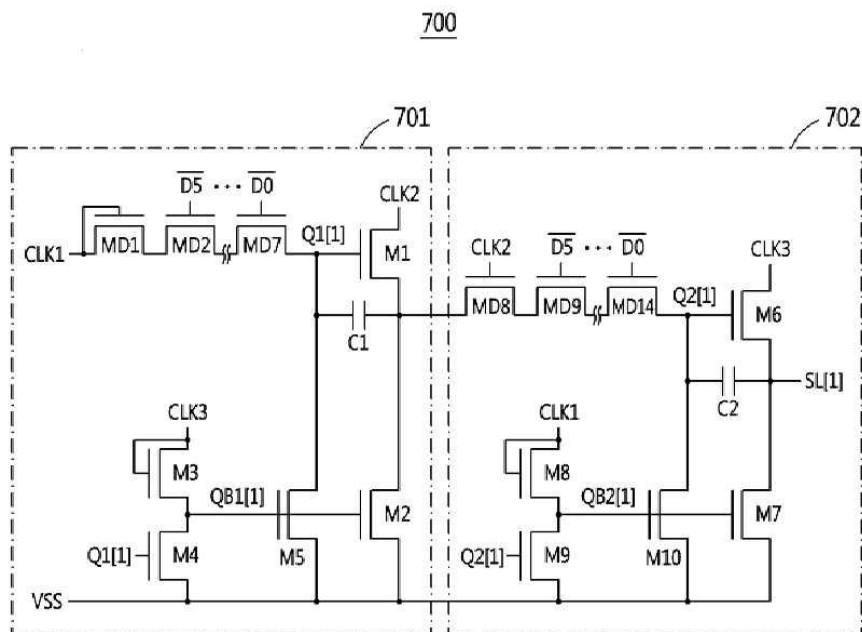
도면5e



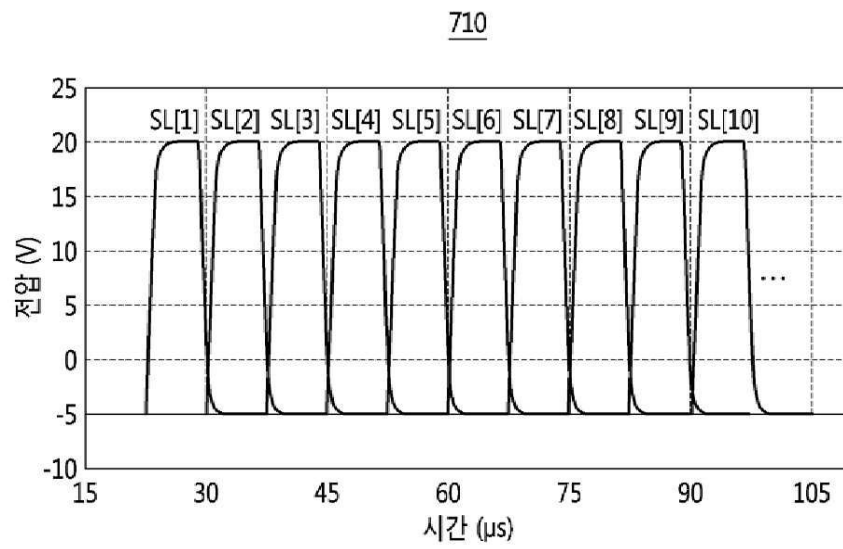
도면6



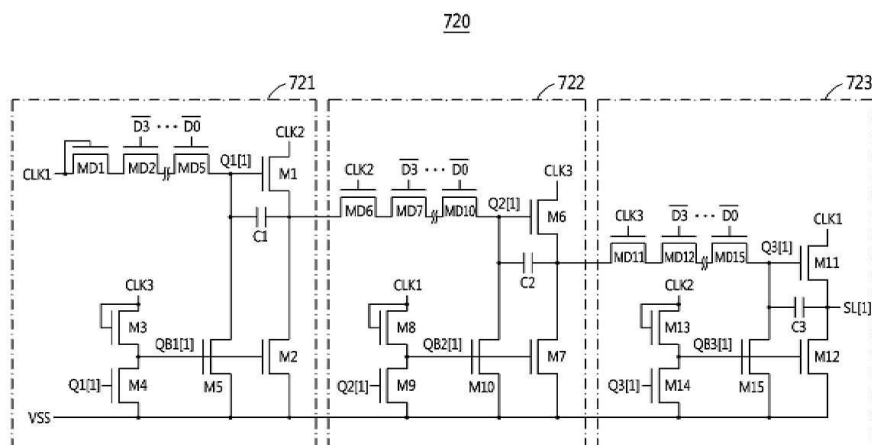
도면7a



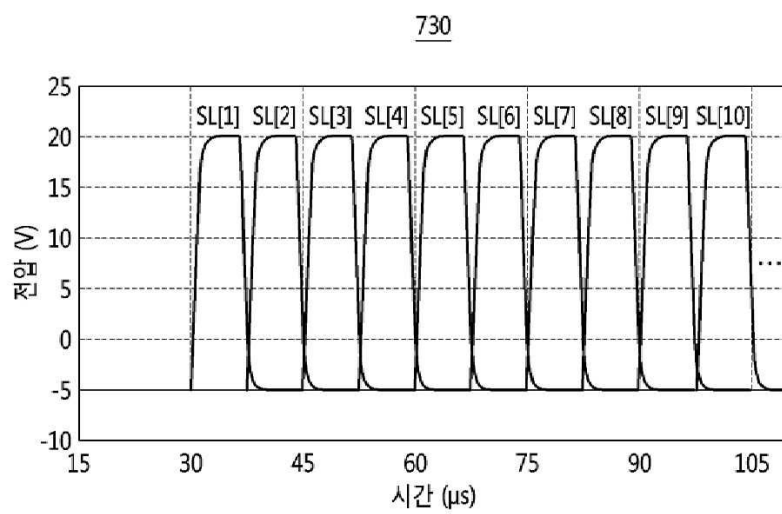
도면7b



도면7c



도면7d



도면8

