

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 25 年 3 月 28 日 (2013.3.28)

【公開番号】特開 2010-251733 (P2010-251733A)

【公開日】平成 22 年 11 月 4 日 (2010.11.4)

【年通号数】公開・登録公報 2010-044

【出願番号】特願 2010-68657 (P2010-68657)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/20 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

G 0 2 F 1/1368 (2006.01)

G 0 2 F 1/1333 (2006.01)

H 0 5 B 33/10 (2006.01)

H 0 1 L 51/50 (2006.01)

【F I】

H 0 1 L 29/78 6 2 7 C

H 0 1 L 29/78 6 1 7 V

H 0 1 L 29/78 6 1 6 K

H 0 1 L 29/78 6 2 7 G

H 0 1 L 21/20

H 0 1 L 27/08 3 3 1 E

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/08 3 2 1 F

G 0 2 F 1/1368

G 0 2 F 1/1333 5 0 5

H 0 5 B 33/10

H 0 5 B 33/14 A

【手続補正書】

【提出日】平成 25 年 2 月 8 日 (2013.2.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の導電膜、絶縁膜、第 1 の半導体膜を順に積層して形成し、
 前記第 1 の半導体膜を結晶化して第 2 の半導体膜を形成し、
 前記第 2 の半導体膜上に導電性を付与する元素を含む第 3 の半導体膜、第 2 の導電膜を
 順に積層して形成し、
 前記第 2 の導電膜上に凹部を有する第 1 のレジストマスクを形成し、
 前記第 1 のレジストマスクを用いて、少なくとも前記絶縁膜、前記第 2 の半導体膜、前

記第3の半導体膜及び前記第2の導電膜に第1のエッチングを行い、

前記第1の導電膜にサイドエッチングを伴う第2のエッチングを行って第1の配線層を形成し、

前記第1のレジストマスクを縮小させることで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2の導電膜、前記第3の半導体膜及び前記第2の半導体膜に第3のエッチングを行って第2の配線層、前記導電性を付与する元素を含む半導体層及び上部がエッチングされた前記第2の半導体膜を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項2】

第1の導電膜、絶縁膜、第1の半導体膜を順に積層して形成し、

前記第1の半導体膜を結晶化して第2の半導体膜を形成し、

前記第2の半導体膜上に導電性を付与する元素を含む第3の半導体膜、第2の導電膜を順に積層して形成し、

前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて、少なくとも前記絶縁膜、前記第2の半導体膜、前記第3の半導体膜及び前記第2の導電膜に第1のエッチングを行い、

前記第1のレジストマスクを縮小させることで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、

前記第1の導電膜にサイドエッチングを伴う第2のエッチングを行って第1の配線層を形成し、

前記第2のレジストマスクを用いて前記第2の導電膜、前記第3の半導体膜及び前記第2の半導体膜に第3のエッチングを行って第2の配線層、前記導電性を付与する元素を含む半導体層及び上部がエッチングされた前記第2の半導体膜を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項3】

第1の導電膜、絶縁膜、第1の半導体膜を順に積層して形成し、

前記第1の半導体膜を結晶化して第2の半導体膜を形成し、

前記第2の半導体膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクに覆われていない領域に一導電型を付与する不純物元素を導入し、

前記第1のレジストマスクを除去した後、第2の半導体膜の不純物元素の活性化を行い、

前記第2の半導体膜上に第2の導電膜を形成し、

前記第2の導電膜上に凹部を有する第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて、少なくとも前記絶縁膜、前記第2の半導体膜、前記第2の導電膜に第1のエッチングを行い、

前記第1の導電膜にサイドエッチングを伴う第2のエッチングを行って第1の配線層を形成し、

前記第2の導電膜上に第3のレジストマスクを形成し、

前記第3のレジストマスクを用いて前記第2の導電膜及び前記第2の半導体膜に第3のエッチングを行って第2の配線層及び半導体層を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項4】

請求項1乃至請求項3のいずれか一において、

前記第1の導電膜は基板上に下地絶縁膜を介して形成され、

前記第1のエッチングにより前記下地絶縁膜の上部もエッチングされることを特徴とする薄膜トランジスタの作製方法。

【請求項5】

請求項1乃至請求項4のいずれか一において、

前記第 1 のエッチングはドライエッチングであり、

前記第 2 のエッチングはウエットエッチングであることを特徴とする薄膜トランジスタの作製方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれかーにおいて、

前記結晶化する工程は、前記第 1 の導電膜のエッチングが行われる前のレーザー光の照射または熱結晶化法によって行うことを特徴とする表示装置の作製方法。