

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4857718号
(P4857718)

(45) 発行日 平成24年1月18日(2012.1.18)

(24) 登録日 平成23年11月11日(2011.11.11)

(51) Int.Cl.

F I

H O 1 L 23/14 (2006.01)
 B 8 1 B 3/00 (2006.01)
 B 8 1 C 1/00 (2006.01)
 B 8 1 B 7/02 (2006.01)

H O 1 L 23/14 S
 B 8 1 B 3/00
 B 8 1 C 1/00
 B 8 1 B 7/02

請求項の数 2 (全 12 頁)

(21) 出願番号 特願2005-325009 (P2005-325009)
 (22) 出願日 平成17年11月9日(2005.11.9)
 (65) 公開番号 特開2007-134453 (P2007-134453A)
 (43) 公開日 平成19年5月31日(2007.5.31)
 審査請求日 平成20年9月10日(2008.9.10)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100122884
 弁理士 角田 芳末
 (74) 代理人 100133824
 弁理士 伊藤 仁恭
 (72) 発明者 御手洗 俊
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 池田 浩一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

審査官 宮本 靖史

最終頁に続く

(54) 【発明の名称】 マイクロマシン混載の電子回路装置、およびマイクロマシン混載の電子回路装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

共通の基板上に、マイクロマシン素子と電子回路とが混載されて成るマイクロマシン混載の電子回路装置であって、

上記基板上の電子回路の形成部に形成された電子回路素子と、

上記電子回路の形成部上に形成され、配線層間絶縁層を介して多層の配線パターンが積層された配線部と、

上記基板のマイクロマシン素子の形成部上に対応して、上記配線層間絶縁膜と連続する配線層間絶縁層に形成された空洞部と、

上記配線層間絶縁層の上記空洞部の内側壁面に配置されたエッチング保護壁と、

上記空洞部内の上記基板上に形成され、上記配線部の最上層の配線パターンより下方位置に存する導電パターン及びマイクロマシン動作構造部からなるマイクロマシン素子と、

上記マイクロマシン素子の導電パターンの下に配置されたエッチングストップ層とを有し、

上記マイクロマシン素子は、上記空洞部内に上記マイクロマシン動作構造部の機械的支持部以外の全外表面が他部と非接触状態で露出して、保持されている

ことを特徴とするマイクロマシン混載の電子回路装置。

【請求項2】

共通の基板上に、マイクロマシン素子と電子回路とが混載されて成るマイクロマシン混載の電子回路装置の製造方法であって、

10

20

上記基板上の電子回路の形成部に、電子回路素子を形成する第1工程と、

上記基板上のマイクロマシン素子の形成部に、エッチングストップ層を形成し、該エッチングストップ層上にマイクロマシン素子の導電パターンを形成する第2工程と、

上記導電パターン上の上記マイクロマシン素子の形成部に犠牲層を形成する第3工程と、

上記犠牲層上に、上記マイクロマシン素子の機械的動作がなされるマイクロマシン動作構造部を形成する第4工程と、

上記導電パターン及び上記マイクロマシン動作構造部の活性化のための熱処理を行う第5工程と、

上記電子回路の形成部上に、配線層間絶縁層を介して多層の配線パターンが積層された配線部を形成し、上記マイクロマシン素子の形成部上に、上記マイクロマシン動作構造部が埋め込まれるように上記配線層間絶縁層のみを形成する第6工程と、

少なくとも上記マイクロマシン動作構造物と少なくとも上記電子回路部との間に上記マイクロマシン動作構造部と所定の距離を隔てて、上記配線層間絶縁層に溝を掘り込む第7工程と、

上記溝内に耐エッチング材を充填してエッチング保護壁を形成する第8工程と、

上記配線層間絶縁層に、上記マイクロマシン動作構造部を露出する開口を形成すると共に、上記マイクロマシン動作構造部の下の上記犠牲層をエッチング除去する第9工程とを有し、

上記マイクロマシン動作構造部の配置部に、該マイクロマシン動作構造部の機械的支持部以外の全外表面が、他部と非接触状態を保持する空洞部が形成されるようにした

ことを特徴とするマイクロマシン混載の電子回路装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、共通の基板上に例えばミクロンオーダー、ナノオーダーサイズの微小電気機械素子いわゆるマイクロマシン素子と電子回路とが作り込まれたマイクロマシン混載の電子回路装置、およびマイクロマシン混載の電子回路装置の製造方法に関する。

【背景技術】

【0002】

マイクロマシン(MEMS: Micro Electro Mechanical System)素子の研究開発はめざましく、昨今においては、センサ、アクチュエータ、光学、バイオ、高周波回路等など様々な分野での利用が展開されている。

例えば加速度センサやマイクロミラーデバイスなど、一部のデバイスは既に商品化され、日常生活の中にも見られるようになってきた。

このような進展とともに、これまでは単機能だったMEMSを、例えばその周辺回路を構成する電子回路に組み込んでマイクロマシンと電子回路の混載装置で作りこんでシステムとしての機能を与えたり、マイクロマシン混載の電子装置を構成することで、より利便性を高めることができると考えられる。

【0003】

マイクロマシンの製造においては、通常、半導体製造技術が多く適用されていること、また、マイクロマシンのより小型化によるフットプリントの減少化、さらに、半導体装置の複合化で行なわれているSiP(System in Package)やSoC(System on Chip)の利用が可能であるなどの諸条件から、マイクロマシンと、その周辺回路を構成する半導体回路との複合化、言い換えれば、共通基板上にマイクロマシン混載の電子回路装置を構成することの実現化の要求が高まっている。

【0004】

このように、マイクロマシン素子を、電子回路に組み込むに当たっては、このマイクロマシンの振動、移動、回転等の機械的動作がなされるマイクロマシン構造物が、必要とされる動作が阻害されることがないように、その配置部周辺には空洞部が形成される。

通常この空洞部の形成は、その製造過程で、空洞部の形成部にあらかじめ犠牲層を形成しておき、この上に、上述した機械的動作がなされるマイクロマシン構造物を形成し、その後、犠牲層をエッチング除去することによって、マイクロマシン構造物が動作可能に空洞部に形成するようになされる（例えば特許文献１参照）。

【０００５】

ところで、マイクロマシン混載の電子回路装置を構成する場合、電子回路部における配線部は、導電性にすぐれたＡｌ配線によって構成される。

一方、マイクロマシンの作製においては、上述した半導体製造技術の適用ができ、また、機械的特性にすぐれていることからポリシリコンによって構成することが望まれる。このポリシリコンによる場合、電気的特性、例えばリンドープのポリシリコンで、その抵抗の低下を図ることから比較的高温の熱処理が必要とされ。これに対して、電子回路の配線は、Ａｌのように耐熱性の低い金属層によって構成される。このため、この配線部は、マイクロマシンの形成後に形成する。

【０００６】

しかし、この手順による場合、マイクロマシン上にも層間絶縁層の堆積がなされることから、マイクロマシンの機械的動作を行うことができるようにする空洞部の形成は、この部分の配線層間絶縁層の排除、続いてマイクロマシン構造物下の犠牲層の排除を必要とする。

【０００７】

絶縁層に対し開口を形成する方法は、すでに多く知られているところである。例えばフォトダイオード等の受光を必要とする部分に開口部を形成する半導体装置の製造方法が提案されている（例えば特許文献２参照）。

しかしながら、この技術を上述したマイクロマシン混載の電子回路に直ちに適用することは最適な方法とはいえない点を有する。

すなわち、この特許文献２に記載の発明は、下地部材（例えば受光素子の受光面）を覆って形成された酸化シリコン膜を、受光面上の画定された領域に、画定的に開口を形成する手法である。この場合に、受光面の表面の反射防止膜等の表面膜に損傷を来たすことがないように、ウエットエッチングによって開口の形成を行う。このウエットエッチングは、その等方性によって、開口が広がることから、この発明では、この広がりを回避して、受光面の所定領域にエッチングがなされるように、受光面上でエッチングストッパを形成するという手法によるものである。

【０００８】

これに対し、マイクロマシンにあっては、そのマイクロマシン動作構造部が機械的動作ができるように、その支持部以外の全周辺、すなわちその上および周囲の層間絶縁層と下層の犠牲層を、排除して空洞部を形成することが必要となる。

このような空洞部の形成は、隣接する電子回路への影響、特に配線部の層間絶縁層への影響、これに伴う配線パターンの信頼性、耐久性の低下を考慮する必要がある。

【特許文献１】特開平９－１６２４６２号公報

【特許文献２】特開２００２－２４６３６３号公報

【発明の開示】

【発明が解決しようとする課題】

【０００９】

本発明は、マイクロマシン混載の電子回路装置にあって、その機械的動作が確実にされる空洞部の形成を容易に、また隣接する電子回路に、特性劣化、耐久性劣化等の影響の改善を図ることができるようにしたマイクロマシン混載の電子回路装置およびマイクロマシン混載の電子回路装置の製造方法を提供するものである。

【課題を解決するための手段】

【００１０】

本発明によるマイクロマシン混載の電子回路装置は、共通の基板上に、マイクロマシン素子と電子回路とが混載されて成るマイクロマシン混載の電子回路装置であって、上記基

10

20

30

40

50

板上の電子回路の形成部に形成された電子回路素子と、上記電子回路の形成部上に形成され、配線層間絶縁層を介して多層の配線パターンが積層された配線部と、上記基板のマイクロマシン素子の形成部上に対応して、上記配線層間絶縁膜と連続する配線層間絶縁層に形成された空洞部と、上記配線層間絶縁層の上記空洞部の内側壁面に配置されたエッチング保護壁と、上記空洞部内の上記基板上に形成され、上記配線部の最上層の配線パターンより下方位置に存する導電パターン及びマイクロマシン動作構造部からなるマイクロマシン素子と、上記マイクロマシン素子の導電パターンの下に配置されたエッチングストップ層とを有し、上記マイクロマシン素子は、上記空洞部内に上記マイクロマシン動作構造部の機械的支持部以外の全外表面が他部と非接触状態で露出して、保持されていることを特徴とする。

10

【0011】

本発明によるマイクロマシン混載の電子回路装置の製造方法は、共通の基板上に、マイクロマシン素子と電子回路とが混載されて成るマイクロマシン混載の電子回路装置の製造方法であって、上記基板上の電子回路の形成部に、電子回路素子を形成する第1工程と、上記基板上のマイクロマシン素子の形成部に、エッチングストップ層を形成し、該エッチングストップ層上にマイクロマシン素子の導電パターンを形成する第2工程と、上記導電パターン上の上記マイクロマシン素子の形成部に犠牲層を形成する第3工程と、上記犠牲層上に、上記マイクロマシン素子の機械的動作がなされるマイクロマシン動作構造部を形成する第4工程と、上記導電パターン及び上記マイクロマシン動作構造部の活性化のための熱処理を行う第5工程と、上記電子回路の形成部上に、配線層間絶縁層を介して多層の配線パターンが積層された配線部を形成し、上記マイクロマシン素子の形成部上に、上記マイクロマシン動作構造部が埋め込まれるように上記配線層間絶縁層のみを形成する第6工程と、少なくとも上記マイクロマシン動作構造物と少なくとも上記電子回路部との間に上記マイクロマシン動作構造部と所定の距離を隔てて、上記配線層間絶縁層に溝を掘り込む第7工程と、上記溝内に耐エッチング材を充填してエッチング保護壁を形成する第8工程と、上記配線層間絶縁層に、上記マイクロマシン動作構造部を露出する開口を形成すると共に、上記マイクロマシン動作構造部の下の上記犠牲層をエッチング除去する第9工程とを有し、上記マイクロマシン動作構造部の配置部に、該マイクロマシン動作構造部の機械的支持部以外の全外表面が、他部と非接触状態を保持する空洞部が形成されるようにしたことを特徴とする。

20

30

【0012】

また、本発明は、上述したマイクロマシン混載の電子回路装置の製造方法と同様の工程をとるものであるが、上述した等方性エッチング工程の後に、上記エッチング保護壁を除去する工程をとる。

【発明の効果】

【0013】

上述した本発明によるミクロンオーダ、ナノオーダサイズに及ぶ微小電気機械素子のマイクロマシン混載の電子回路装置によれば、マイクロマシン動作構造部とこれに隣接する電子回路部との間に保護壁が介在された構成によることから、電子回路部の特に配線パターンの配線層間絶縁層の損傷による絶縁性の低下、これによる配線パターンの電氣的、機械的特性の経時劣化を回避することができる。

40

【0014】

また、本発明製造方法によれば、配線層間絶縁層に対するマイクロマシン動作構造部の可動化の空洞部の形成をマイクロマシン動作構造部から離間した位置にエッチング保護壁を設けて行なうようにしたことから、この電子回路の配線部への影響を与えることなく、マイクロマシン動作構造部下の犠牲層排除のエッチングを含めて確実に行うことができる。

したがって、電子回路の信頼性を損なうことなく、マイクロマシンの動作が確実になされる空洞部の形成を行うことができるものである。

【発明を実施するための最良の形態】

50

【 0 0 1 5 】

本発明によるマイクロマシン混載の電子回路装置およびマイクロマシンと電子回路の混載装置の製造方法の実施の形態例を図面を参照して説明するが、本発明は、この例示に限定されるものではないことはいうまでもない。

図 1 ~ 図 4 の各 A および B は、マイクロマシン混載の電子回路装置の製造方法の一例の各製造工程の概略断面図である。

この例では、共通の基板上に、高周波共振器を構成するマイクロマシン素子（すなわち微小電気機械素子）とその周辺回路による電子回路が形成された高周波フィルタを構成するマイクロマシン混載の電子回路装置を例示したものである。

この場合、図 1 A に示すように、例えばシリコン半導体より成る基板 1 に、電子回路を構成する回路素子 2 を形成する。この回路素子 2 は、通常の半導体集積回路の製造方法と同様の周知の方法によって形成される。図においては、回路素子として、CMOS を構成する 1 つの MOS のみが開示されている。

シリコン基板 1 の回路素子の形成部以外のフィールド部には、例えば局部的熱酸化（LOCOS : Local Oxidation of silicon）による素子分離絶縁層 3 が形成されている。

【 0 0 1 6 】

シリコン基板 1 上には、例えば CVD（Chemical Vapor Deposition）によって SiO_2 による下層絶縁層 9 d が被着形成される。

そして、下層絶縁層 9 d 上のマイクロマシン素子すなわち共振器の形成部に、エッチングストップ層 4 と、その上に共振器の導電パターン 5 を形成する。

エッチングストップ層 4 は、例えば減圧 CVD によって SiN 層を全面的に形成し、フォトリソグラフィによって、不要部分をエッチング除去して形成する。

導電パターン 5 は、例えばりん（P）ドーパのポリシリコンを、同様に全面的に形成し、フォトリソグラフィによって所要のパターンに形成する。この導電パターン 5 は、MEMS 共振器の機械的振動がなされるマイクロマシン動作構造部に対する電荷供給がなされる端子パターン 5 1 および 5 2 と、入力信号線 5 i と出力信号線 5 o とが形成される。

【 0 0 1 7 】

図 1 B に示すように、導電パターン 5 上の MEMS 素子の形成部に犠牲層 6 を形成する。この犠牲層 6 は例えば CVD による酸化シリコン例えば SiO_2 層を全面的に形成し、同様にフォトリソグラフィによってパターン化し、端子パターン 5 1 および 5 2 上の、最終的に形成されるマイクロマシン動作構造部 7 の支持部、すなわち橋脚を構成する部分に開口 6 a が形成されたパターンとする。

【 0 0 1 8 】

次に、図 2 A に示すように、犠牲層 6 上に、その開口 6 a 内を含めて例えば CVD によってポリシリコン層を形成し、これをフォトリソグラフィによってパターン化し、例えば平面形状が直方形のマイクロマシン動作構造部 7 を形成する。

その後、導電パターン 5 およびマイクロマシン動作構造部 7 の活性化処理を通常の不純物活性化条件で行う。この処理は、例えば窒素雰囲気中で 800 ~ 900 の熱処理によって行なう。

そして図 2 B に示すように、配線部 8 を形成する。この配線部 8 は、通常におけるように、例えば多層の配線層間絶縁層 9 の介在によって多層の配線パターン 10 が積層される。積層された所定の配線パターン 10 間が、配線層間絶縁層 9 に貫通して形成された貫通孔いわゆるビアホール内に形成された連結導電体 10 c を介して接続されて構成される。この場合、通常の半導体集積回路装置におけると同様に、その配線層間絶縁層 9 は、電子回路の形成部およびマイクロマシンの形成部上を含んで全面的に堆積させる。この配線層間絶縁層 9 は、犠牲層 6 とエッチング液が共通の SiO_2 によって構成される。

【 0 0 1 9 】

次に、図 3 A に示すように、少なくともマイクロマシン動作構造部 7 の形成部と配線部 8 との間に介在されるように、例えばマイクロマシン動作構造部 7 を取り囲んで、かつマイクロマシン動作構造部 7 の周辺から所要の間隙を隔てた位置に、溝 11 を配線層間絶縁

10

20

30

40

50

層 9 を横切る深さに、例えばドライエッチングによる異方性エッチングによって形成する。

【 0 0 2 0 】

図 3 B に示すように、エッチングに耐性を有し、低温で溝 1 1 内を良好に埋め込むことができる保護材料層 1 2 M、例えば S i N エッチング保護材を例えばプラズマ C V D によって形成して溝 1 1 内を充填する。このようにして溝 1 1 内にエッチング保護壁 1 2 を形成する。

【 0 0 2 1 】

図 4 A に示すように、エッチング保護材料層 1 2 M の、マイクロマシン動作構造部 7 の配置部上にエッチング用開口 1 2 a を、フォトリソグラフィ技術の適用によって形成する。

10

次に、図 4 B に示すように、この開口 1 2 a を通じて、フッ酸によるウエットエッチング、すなわち等方性エッチングによって配線層間絶縁層 9 と犠牲層 6 とをエッチング除去して、空洞部 1 3 を形成する。

また、配線部 8 の外部に接続する配線パターン 1 0 上の配線層間絶縁層 9 にコンタクト窓 1 8 をフォトリソグラフィによるパターンエッチングによって開口する。

【 0 0 2 2 】

このようにして、空洞部 1 3 内に、犠牲層 6 の排除によってマイクロマシン動作構造部 7 が、犠牲層 6 の開口 6 a を通じて端子パターン 5 1 および 5 2 に連結された橋脚による支持部 1 4 以外のすべてがその全周にすなわち全外表面が他部と離間した構成とされ、その機械的動作、この例では、振動が阻害されることがない中空構造によるマイクロマシン動作構造部 7 を有するマイクロマシン素子 1 5 が構成される。そして、このマイクロマシン素子 1 5 が形成された共通の基板 1 に、回路素子 2 と配線部 8 を有する電子回路 1 6 が形成された目的とするマイクロマシン混載の電子回路装置 1 7 が構成される。

20

【 0 0 2 3 】

この構成によるマイクロマシン混載の電子回路装置 1 7 は、端子リード 5 1 および 5 2 によって、マイクロマシン動作構造部 7 に所要の電圧を印加することによってこのマイクロマシン動作構造部 7 に静電荷が蓄積された状態で、入力信号線 5 i に入力信号を導入すると、マイクロマシン動作構造部 7 の固有振動数に一致する周波数の入力信号によってマイクロマシン動作構造部 7 が共鳴し、大きい振幅を持って振動する。これによってマイクロマシン素子 1 5 と周辺回路を構成する電子回路部 1 6 とによって所定の周波数のフィルタ回路を構成することができる。

30

【 0 0 2 4 】

そして、この構成によるマイクロマシン混載の電子回路装置 1 7 は、マイクロマシン動作構造部 7 とこれに隣接する電子回路部 1 6 との間にエッチング保護壁 1 2 が介在された構成によることから、電子回路部 1 6 の特に配線パターンの配線層間絶縁層 1 0 が、空洞部 1 3 を形成するエッチングによって損傷することによる絶縁性の低下、これによる配線パターンの電氣的、機械的特性の経時劣化を回避することができる。

【 0 0 2 5 】

また、本発明製造方法によれば、配線層間絶縁層 1 0 に対するマイクロマシン動作構造部 7 の可動化の空洞部 1 3 の形成をマイクロマシン動作構造部 7 から離間した位置にエッチング保護壁を設けて行なうようにしたことから、電子回路部 1 6 の配線部への影響を回避でき、マイクロマシン動作構造部 7 下の犠牲層 6 の排除のエッチングを含めて確実に行うことができる。

40

したがって、電子回路の信頼性を損なうことなく、マイクロマシンの動作が確実になれる空洞部の形成を行うことができるものである。

【 0 0 2 6 】

上述した製造方法においては、空洞部 1 3 をウエットエッチングのみによって形成した場合であるが、ウエットエッチングに先立ってドライエッチングによって所要の深さまでのエッチングを行い、その後、上述したウエットエッチングによって行なうことができる

50

。

図１～図４で示した例では、最終的にエッチング保護壁を残存させた構成とした場合であるが、最終的にエッチング保護壁が残存されない構成の電子回路装置を構成することもできる。

【００２７】

図５～図７の各ＡおよびＢは、それぞれ本発明製造方法の他の例の各工程の要部の断面図である。

これら図５～図７図を参照して本発明製造方法の他の例を説明する。

【００２８】

この例においても図５Ａに示すように、例えば前述した図１および図２で説明したと同様の方法によって、共通のシリコン半導体による基板１に、回路素子２、配線層間絶縁層９と配線パターン１０が形成された配線部８、マイクロマシン動作構造部７等の形成を行う。

【００２９】

そして、この例においては、堆積された配線層間絶縁層９上に、全面的に例えばプラズマＣＶＤによってＳｉＮによるパッシベーション膜１９を形成する。

次に、この例においては、図５Ｂに示すように、配線部８の外部に接続する配線パターン１０上の配線層間絶縁層９とパッシベーション膜１９に渡ってコンタクト窓１８と、最終的にマイクロマシンを構成する空洞部１３の形成部上に、凹部２０を形成する。

【００３０】

次に、図６Ａに示すように、図３Ａで説明したと同様に、少なくともマイクロマシン動作構造部７の形成部と配線部８との間に介在されるように、例えばマイクロマシン動作構造部７を取り囲んで、かつマイクロマシン動作構造部７の周辺から所要の間隙を隔てた位置に、溝１１を配線層間絶縁層９を横切る深さに、例えばドライエッチングによる異方性エッチングによって形成する。

図６Ｂに示すように、例えばフォトレジストをスピコートし溝１１内に、低温で、溝１１内を良好に埋め込むことができるフォトレジストを充填して、エッチング保護壁１２を形成すると共に、コンタクト窓１８を覆う保護膜２３を形成する。この保護膜２３の凹部２０上には、開口２２を形成する。

【００３１】

図７Ａに示すように、開口２２を通じてフォトレジストによる保護壁１２が耐性を有するＢＨＦ（バッファドフッ酸）のエッチングによるウエットエッチングによる等方性エッチングを行なって配線層間絶縁層９および犠牲層６のエッチング除去をおこなって空洞部１３を形成する。

その後、図７Ｂに示すように、エッチング保護壁１２と保護膜２３をその溶剤によって除去する。

【００３２】

このようにして、空洞部１３内に、犠牲層６の排除によってマイクロマシン動作構造部７が、犠牲層６の開口６ａを通じて端子パターン５１および５２に連結された橋脚による支持部１４以外のすべてがその全周辺すなわち全外表面が他部と離間した構成とされ、その機械的動作、この例では、振動が阻害されることがないマイクロマシン動作構造部７を有するマイクロマシン素子１５が構成される。そして、このマイクロマシン素子１５が形成された共通の基板１に、回路素子２と配線部８を有する電子回路１６が形成された目的とするマイクロマシン混載の電子回路装置１７が構成される。

【００３３】

この製造方法による場合においても、前述した例と同様に、空洞部１３の形成を容易に、かつ他部への影響を効果的に回避することができる。

したがって、本発明によれば、信頼性の高いマイクロマシン混載の電気回路装置を構成することができる。

【００３４】

この例では、マイクロマシン混載の電子回路装置 17 として、エッチング保護壁 12 が排除された構成としたが、エッチング保護壁 12 の材料選定を行うことによってエッチング保護壁 12 が残存させる構成とすることもできる。

なお、図 5 ~ 図 7 において、図 1 ~ 図 4 図に対応する部分には同一符号を付して重複説明を省略する。

【 0 0 3 5 】

上述した各構成および製造方法において、空洞部 13 を構成するウエットエッチングは、マイクロマシン 15 の構成材の例えばポリシリコンを侵食しないか極めて侵食性が低く、また、配線層間絶縁層 9 および犠牲層 6 の構成材例えば SiO_2 に対して高いエッチング性を有し、エッチングストップ層およびエッチング保護壁 12 の構成材の例えば SiN に対してエッチング性がないか十分低いエッチング液の例えばフッ酸系のエッチング液を用いることができる。そして、エッチング保護壁 12 の構成材としてフォトレジストが用いられる場合は、空洞部 13 を形成するエッチング液は、 BHF (バッファドフッ酸) を用いることができる。

【 0 0 3 6 】

上述した例では、エッチング保護壁 12 を構成するエッチング保護材料が、犠牲層 6 が、酸化シリコンである場合において、フォトレジスト層、あるいはプラズマ CVD による SiN としたが、エッチング保護材料は、これに限定されるものではない。犠牲層 6 のエッチャントに対する耐性を有し、かつメタルハイブリッド戦争にダメージを与えない程度 (一般に 400 以下) の温度で溝 11 内を良好に充填することができる材料であればよく、例えば有機系ではポリイミド、無機系ではプラズマ CVD によるアモルファスシリコンなどによっても構成することができる。

【 0 0 3 7 】

また、上述した例では、基板 1 がシリコン基板である場合を例示したが、絶縁ないしは半絶縁基体上に半導体層が形成された基板を用いることもできるなど、本発明は、上述した例に限られるものではなく、種々の変形、変更を行うことができるものである。

【図面の簡単な説明】

【 0 0 3 8 】

【図 1】A および B は、本発明によるマイクロマシン混載の電子回路装置の製造方法の一例の各製造工程の概略断面図である。

【図 2】A および B は、本発明によるマイクロマシン混載の電子回路装置の製造方法の一例の各製造工程の概略断面図である。

【図 3】A および B は、本発明によるマイクロマシン混載の電子回路装置の製造方法の一例の各製造工程の概略断面図である。

【図 4】A および B は、本発明によるマイクロマシン混載の電子回路装置の製造方法の一例の各製造工程の概略断面図である。

【図 5】A および B は、本発明によるマイクロマシン混載の電子回路装置の製造方法の他の例の各製造工程の概略断面図である。

【図 6】A および B は、本発明によるマイクロマシン混載の電子回路装置の製造方法の他の例の各製造工程の概略断面図である。

【図 7】A および B は、本発明によるマイクロマシン混載の電子回路装置の製造方法の他の例の各製造工程の概略断面図である。

【符号の説明】

【 0 0 3 9 】

1 ... 基板、2 ... 回路素子、3 ... 素子分離絶縁層、4 ... エッチングストップ層、5 ... 導電パターン、5 i ... 入力信号線、5 o ... 出力信号線、6 ... 犠牲層、6 a ... 開口、7 ... マイクロマシン動作構造部、8 ... 配線部、9 ... 配線層間絶縁層、9 d ... 下層絶縁層、10 ... 配線パターン、10 c ... 連結導電体、11 ... 溝、12 a ... エッチング用開口、12 ... エッチング保護壁、12 M ... エッチング保護材料層、13 ... 空洞部、17 ... マイクロマシン混載の電子回路装置、18 ... コンタクト窓、1

10

20

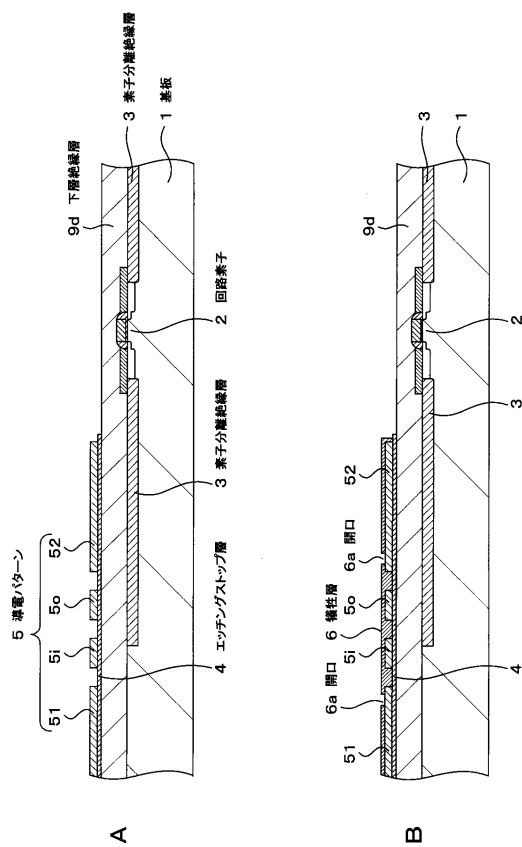
30

40

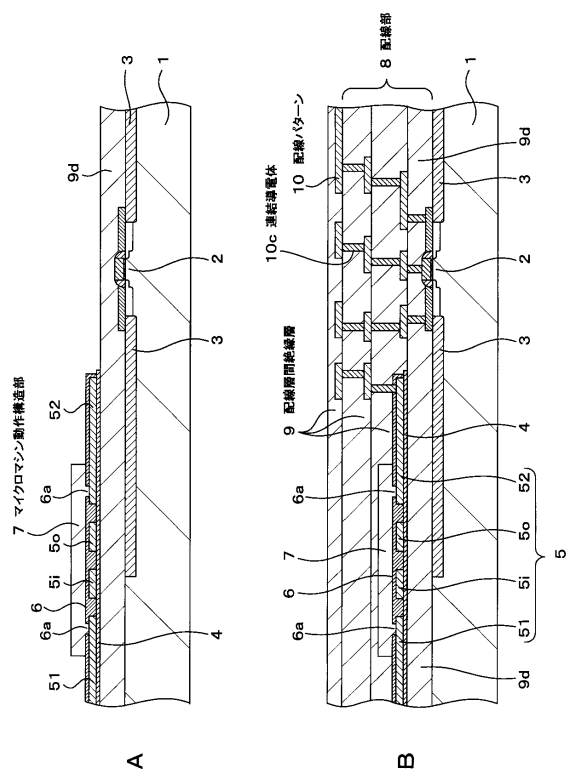
50

9 ……パッシベーション膜、20 ……凹部、22 ……開口、23 ……保護膜、51, 52
 ……端子パターン

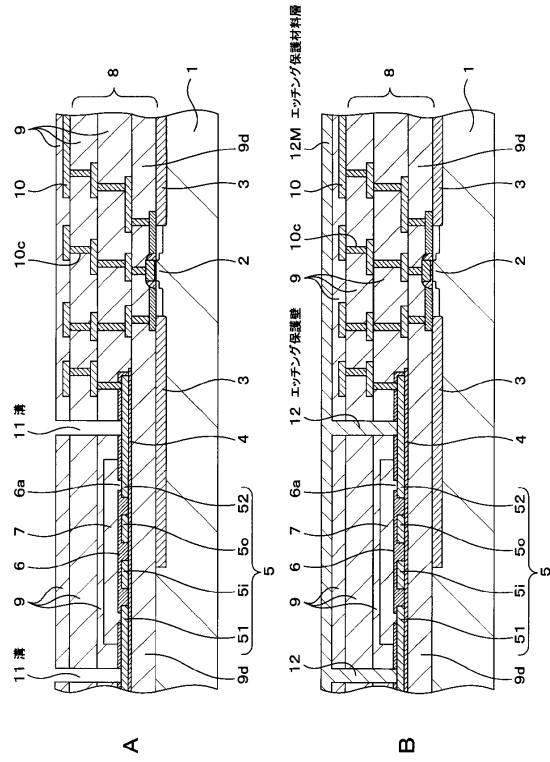
【図1】



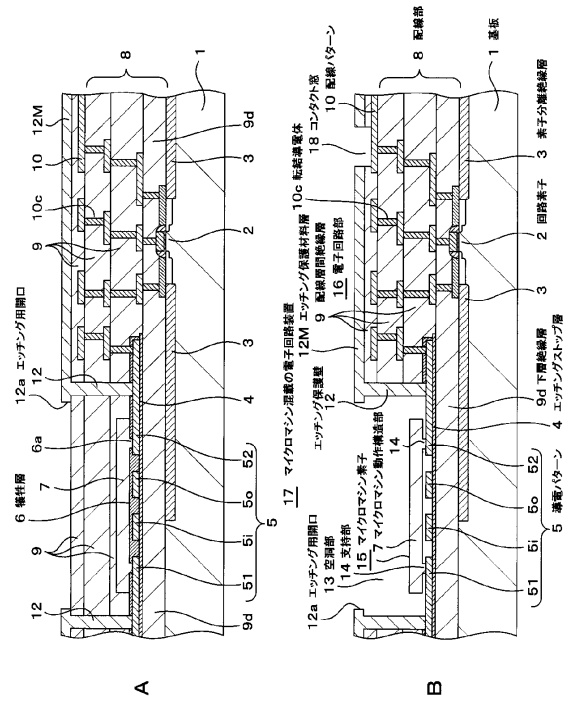
【図2】



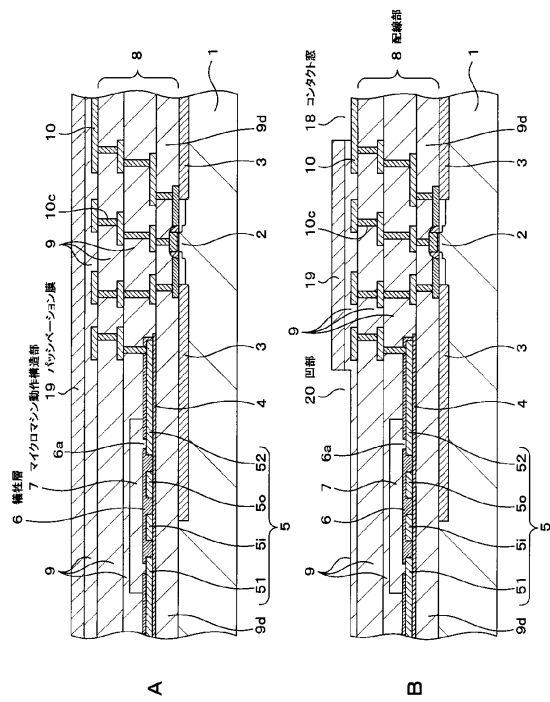
【 図 3 】



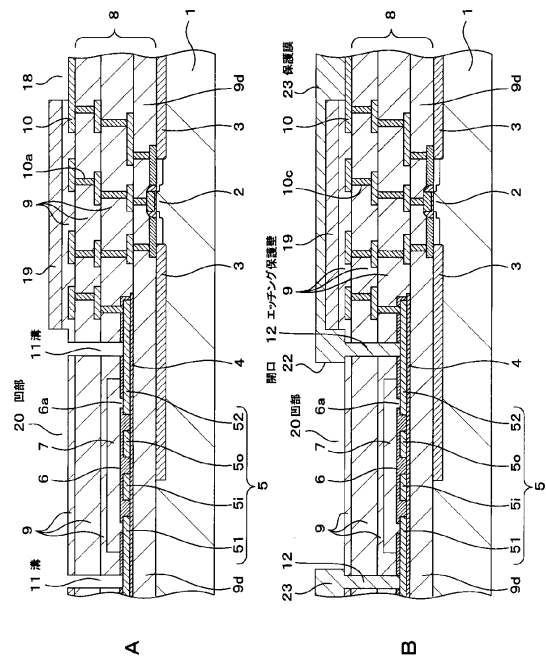
【 図 4 】



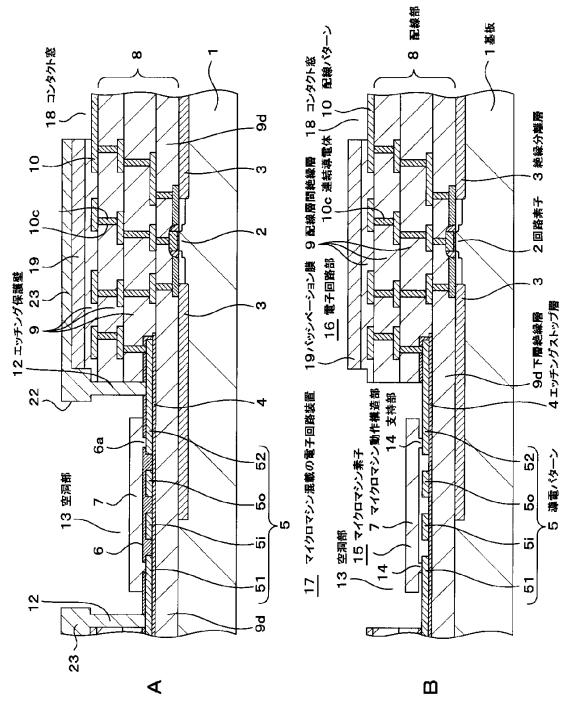
【 図 5 】



【 図 6 】



【図 7】



フロントページの続き

(56)参考文献 特開2005-125484(JP,A)
特開2002-246363(JP,A)
特開2000-233400(JP,A)
特開2000-058866(JP,A)
特開平10-163168(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	23/14
B81B	3/00
B81B	7/02
B81C	1/00