

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4601305号  
(P4601305)

(45) 発行日 平成22年12月22日 (2010.12.22)

(24) 登録日 平成22年10月8日 (2010.10.8)

(51) Int.Cl.		F I		
<b>G 1 1 C</b>	<b>29/12</b>	<b>(2006.01)</b>	G 1 1 C	29/00 6 7 1 B
<b>G O 1 R</b>	<b>31/28</b>	<b>(2006.01)</b>	G O 1 R	31/28 B
<b>G 1 1 C</b>	<b>11/401</b>	<b>(2006.01)</b>	G O 1 R	31/28 V
			G 1 1 C	11/34 3 7 1 A

請求項の数 3 (全 20 頁)

(21) 出願番号	特願2004-54242 (P2004-54242)	(73) 特許権者	308014341
(22) 出願日	平成16年2月27日 (2004.2.27)		富士通セミコンダクター株式会社
(65) 公開番号	特開2005-243176 (P2005-243176A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成17年9月8日 (2005.9.8)		23
審査請求日	平成19年1月19日 (2007.1.19)	(74) 代理人	100070150
前置審査			弁理士 伊東 忠彦
		(74) 代理人	100146776
			弁理士 山口 昭則
		(72) 発明者	四方 孝
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		審査官	小林 紀和

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

C P Uコア回路と、  
 該C P Uコア回路に接続されるバスと、  
 該C P Uコア回路から該バスを介して供給される命令に応じてメモリ試験を実行するメモリB I S T回路と、  
 アドレス信号を該メモリB I S T回路からメモリに供給する第1の信号線と、  
 データ信号を該メモリB I S T回路からメモリに供給する第2の信号線と、  
 読み出しデータをメモリから該メモリB I S T回路に供給する第3の信号線と、  
 該第1乃至該第3の信号線の経路上に設けられるパイプラインレジスタ  
 を更に含み、該第1乃至第3の信号線は該バスとは別個に設けられ、該メモリB I S T回路は、  
 該C P Uコア回路から該バスを介してアクセス可能なレジスタと、  
 該レジスタの内容に応じて該メモリ試験の動作を制御する制御回路と、  
 該制御回路の制御により前記アドレス信号を生成するアドレス生成回路と、  
 該制御回路の制御により前記データ信号を生成するパターン生成回路と、  
 メモリからの前記読み出しデータと期待値とを比較し比較結果を該レジスタに格納する  
 信号解析回路  
 を含み、前記信号解析回路では、前記パターン生成回路から供給される前記期待値について、複数段のバッファレジスタによりクロック同期してタイミングを遅らせ、該信号解析

回路は、一連の前記読み出しデータと一連の前記期待値とについて、ビット位置に関係なく一度でも不一致があった場合に不一致があった時点で直ちに停止信号をアサートし、該制御回路、該アドレス生成回路、及び該パターン生成回路は該停止信号のアサートにตอบสนองして内部動作状態を保持したまま動作を停止し、前記動作を停止した回路から前記メモリ試験の対象となっているメモリを示す情報、前記不一致が発生した際のアドレス番地、及び実行中の前記メモリ試験の内容を示す情報を、前記CPUコア回路が前記レジスタを解して読み出すことを特徴とする半導体装置。

【請求項2】

該アドレス生成回路及び該パターン生成回路は複数のメモリの各々に対して設けられ、該制御回路から複数の該アドレス生成回路及び該パターン生成回路へ制御信号を送信するシリアルインターフェースを更に含むことを特徴とする請求項1記載の半導体装置。

10

【請求項3】

該信号解析回路は該読み出しデータ又は該期待値に故障値を設定する故障設定回路を更に含むことを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般にメモリ試験用の回路を備えた半導体装置に関し、詳しくはメモリ試験用のメモリBIST回路を備えた半導体装置及びメモリBIST回路を用いた電圧制御方法に関する。

20

【背景技術】

【0002】

1つ又は複数のメモリが内部に搭載されたプロセッサ等の半導体装置においては、限られた数の外部端子から各メモリについて動作試験を実行するために、一般にSCANチェーンが用いられる。SCANチェーンは、外部からシリアルにデータを入力してデータを伝播させるチェーンである。このSCANチェーン上にはシリアル接続されたフリップフロップが設けられており、半導体装置外部のテストからフリップフロップにシリアルにデータを格納することで、各メモリに対する入力テストパターンを設定する。各メモリに対する動作試験の結果は、SCANチェーンを介して外部に出力されて、テストにより試験動作の良否を判定する。

30

【0003】

このようなSCANチェーンを使用した方法では、外部テストのクロック周波数に応じたデータ設定が行われるが、この外部テストのクロック周波数は一般に半導体装置内部の実際の動作周波数より遥かに低いのが現状である。従って、メモリの動作試験に膨大な時間が費やされると共に、半導体装置の実際の動作周波数でのみ顕在化するような誤動作については検出することができないという問題点がある。このような誤動作としては、コンタクト不良等の遅延時間に影響を及ぼすような不良を原因とするものがある。

【0004】

また各メモリの周囲にメモリBIST (Built-In-Self-Test) 回路を設け、このメモリBIST回路によりテストパターンの発生から試験結果の判定までを実現する方式がある (例えば特許文献1~3)。しかしながらメモリBIST回路を使用する場合であっても、メモリBIST回路はSCANチェーンに接続されて、メモリBIST回路の制御のためのデータの書き込みは外部からSCANチェーンを介して実行される。従って、メモリBIST回路の制御は外部テストのクロック周波数に従って実行され、メモリBIST回路の動作そのものもこのクロック周波数に従って実行される。その結果、メモリの動作試験には依然として時間がかかると共に、実際の動作周波数でのみ顕在化するような誤動作については検出することができないという問題点がある。

40

【特許文献1】特開2000-163993号公報

【特許文献2】特開2003-346498号公報

【特許文献3】特開2000-200874号公報

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

仮にPLL等を使用して半導体装置の本来の動作周波数で試験可能なようにメモリBIST回路を設計するとしても、従来の方式ではメモリBIST回路の制御のためのデータの書き込みは外部からSCANチェーンを介して実行することになる。従ってメモリBIST回路において、低速のスキャンクロックから高速のPLLクロックへの周波数切り替えをタイミング的に問題なく実現できるような専用の回路構成が必要となるために、回路設計が困難となり好ましくない。

## 【0006】

以上を鑑みて本発明は、クロック切り替えに伴う複雑な回路設計を必要とすることなく、半導体装置の実際の動作周波数で顕在化する不良を検出可能なメモリBIST回路を備えた半導体装置を提供することを目的とする。

## 【0007】

またメモリBIST回路をメモリ毎に設けるのは面積的にも好ましくなく、半導体装置内の1箇所に集約することが望ましい。1つのメモリBIST回路により半導体装置チップ内にある全てのメモリの試験をしようとした場合、各メモリのビット、ワード、コラム構成に柔軟に対応可能である必要がある。最大のビット及びワードのBISTパターンを発生できるメモリBIST回路を1つ設けて回路規模の削減を図る発明が特許文献1に記載されているが、メモリ構成の異なる品種開発を行う毎に設計変更が必要となるという問題点や、特定のメモリで使用していないビットがある場合にそのビットをマスクするといった細かな制御を実現するのが難しいといった問題点がある。また特許文献2には、複数メモリの出力を選択的に切り替えて1つのメモリBIST回路で試験できるように構成した発明が記載されている。

## 【0008】

以上を鑑みて本発明は、半導体装置内の1箇所に集約して設けられながらも、各メモリの構成に柔軟に対応可能であるメモリBIST回路を備えた半導体装置を提供することを目的とする。

## 【0009】

またプロセステクノロジーの微細化により半導体装置の回路規模が増大すると共に全体の消費電力が大きくなり、特にリーク電流の占める割合が無視できないほど大きくなっている。これに対処するために、高速処理が必要ない時には、内部の電源電圧を下げたり、内部電源供給を停止させたりすることが行われる。このように内部の電源電圧を下げた場合、内部回路が正しく動作できるか否かが重要な問題となる。特に、電圧の影響を受け易いメモリ等は、電圧低下に従ってアクセスタイムが著しく悪化する場合があります。電圧低下時においてもメモリが正常動作することをプログラムで確認する手段が必要となっている。例えば特許文献3には、LSI内部の電源電圧を切り替える際に自立的にRAMの電源マージンテスト及びデータリテンションテストをする技術が示されている。このようなメモリ動作確認をメモリBIST回路を用いて実現できると効率的である。

## 【0010】

以上を鑑みて本発明は、メモリBIST回路を備えた半導体装置において、電圧変化時にメモリが正常動作することをメモリBIST回路を用いてプログラムで確認する方法を提供することを目的とする。

## 【課題を解決するための手段】

## 【0011】

本発明による半導体記憶装置は、CPUコア回路と、該CPUコア回路に接続されるバスと、該CPUコア回路から該バスを介して供給される命令に応じてメモリ試験を実行するメモリBIST回路と、アドレス信号を該メモリBIST回路からメモリに供給する第1の信号線と、データ信号を該メモリBIST回路からメモリに供給する第2の信号線と、読み出しデータをメモリから該メモリBIST回路に供給する第3の信号線と、該第1

10

20

30

40

50

乃至該第3の信号線の経路上に設けられるパイプラインレジスタを更に含み、該第1乃至第3の信号線は該バスとは別個に設けられ、該メモリBIST回路は、該CPUコア回路から該バスを介してアクセス可能なレジスタと、該レジスタの内容に応じて該メモリ試験の動作を制御する制御回路と、該制御回路の制御により前記アドレス信号を生成するアドレス生成回路と、該制御回路の制御により前記データ信号を生成するパターン生成回路と、メモリからの前記読み出しデータと期待値とを比較し比較結果を該レジスタに格納する信号解析回路を含み、前記信号解析回路では、前記パターン生成回路から供給される前記期待値について、複数段のバッファレジスタによりクロック同期してタイミングを遅らせ、該信号解析回路は、一連の前記読み出しデータと一連の前記期待値とについて、ビット位置に関係なく一度でも不一致があった場合に不一致があった時点で直ちに停止信号をアサートし、該制御回路、該アドレス生成回路、及び該パターン生成回路は該停止信号のアサートにตอบสนองして内部動作状態を保持したまま動作を停止し、前記動作を停止した回路から前記メモリ試験の対象となっているメモリを示す情報、前記不一致が発生した際のアドレス番地、及び実行中の前記メモリ試験の内容を示す情報を、前記CPUコア回路が前記レジスタを解して読み出すことを特徴とする。

10

【発明の効果】

【0014】

本発明による半導体装置によれば、従来のようなスキャンを使用することなくCPUコアの通常の命令によりメモリ動作を試験できるので、クロック切り替えの必要が無く、半導体装置の通常の動作周波数でのメモリ動作試験を容易に実現することができる。これにより、低速のクロックによる動作試験では顕在化しないコンタクト不良等の遅延性の不良を効果的に検出することが可能となる。また様々な種類のメモリ試験をレジスタ設定だけで容易に且つ高速に実行することが可能になると共に、プログラムによる設定だけで所望の動作試験のみを選択して必要十分な最低限の動作試験だけを実現することができる。また外部テストを使用することなく、オン・ボードでもメモリの動作試験を容易に実行することが可能となり、ボードに半導体装置が実装された実際の製品環境における検査が容易となる。ボード上では種々の要因による電源ノイズや電圧降下等が生じる場合があり、そのような場合に電圧にセンシティブなメモリの動作を実際の動作周波数で試験できることは動作保障の観点から効果がある。またパターン生成回路から供給される期待値について、複数段のバッファレジスタによりクロック同期してタイミングを遅らせる。このような構成により、パイプライン段数に対応したメモリ試験が可能となる。

20

30

【発明を実施するための最良の形態】

【0015】

以下に本発明の実施例を添付の図面を用いて詳細に説明する。

【0016】

図1は、本発明によるメモリBIST回路を組み込んだ半導体装置の第1の実施例の構成を示す図である。

【0017】

図1の半導体装置はPLL出力クロック等の高速な動作周波数で動作するプロセッサであり、メモリBIST回路1、CPUコア10、モジュール13、バスブリッジ16、オンチップバス17、内部周辺バス18、モジュール19、モジュール20、制御信号線21、書き込みデータ信号線22、及び読み出しデータ信号線23乃至26を含む。CPUコア10は、命令キャッシュRAM11及びデータキャッシュRAM12を含む。モジュール13は、モジュール内部RAM14及びモジュール内部RAM15を含む。メモリBIST回路1は、命令キャッシュRAM11、データキャッシュRAM12、モジュール内部RAM14、及びモジュール内部RAM15の動作試験をするために設けられる回路である。説明の都合上、メモリBIST回路1の動作に関係のないPLL回路やその他の回路については省略してある。

40

【0018】

50

メモリBIST回路1は、レジスタ2-1乃至2-4を含むレジスタセット2、制御回路6、アドレス生成回路7、パターン生成回路8、及び信号解析回路9を含む。メモリBIST回路1は、半導体装置内部の所定のブロックに設けられる。CPUコア10は、オンチップバス17、バスブリッジ16、及び内部周辺バス18を介してメモリBIST回路1のレジスタセット2をアクセスする。CPUコア10からプログラム命令によりレジスタセット2に所定の制御値を設定することで、CPUコア10からの命令に従いメモリBIST回路1を制御することができる。またレジスタセット2はメモリ動作試験の結果を格納する1つ又は複数の結果格納レジスタを含み、試験終了後にCPUコア10が結果格納レジスタのレジスタ値を参照するだけで、メモリ動作が正常か否かを容易に判定することができる。

10

**【0019】**

メモリBIST回路1は、半導体装置が動作する実際の高速周波数で動作し、各RAM11、12、14、及び15の動作試験を実行する。制御回路6はステートマシンであり、レジスタセット2のレジスタ値に基づいて、アドレス生成回路7、パターン生成回路8、及び信号解析回路9の動作を制御する。アドレス生成回路7は、RAMのアクセス位置を指定するアドレス信号及びライトイネーブルWE、チップイネーブルCE、及びDM信号等の各種制御信号を生成する。パターン生成回路8は、マーチ・パターン、チェッカーボード・パターン、ストライプ・パターン、データマスク機能試験パターン、ギャロップ・パターン等のテストパターンを生成する。生成されたテストパターンは、制御信号線21のアドレス信号により指定されるRAMのアドレスに、書き込みデータ信号線22を介して書き込まれる。

20

**【0020】**

その後、制御信号線21のアドレス信号により指定されるRAMのアドレスからデータを読み出し、読み出しデータ信号線23乃至26の何れかを介して信号解析回路9に取り込む。パターン生成回路8は、実施した動作試験に対応する期待値データを生成し、信号解析回路9に供給する。信号解析回路9は、RAMから読み出された読み出しデータとパターン生成回路8からの期待値データとを比較することで、RAMの動作が正常であるか否かを判定する。判定結果は、レジスタセット2のレジスタ2-1乃至2-4の何れかを結果格納レジスタとして、結果格納レジスタに格納される。CPUコア10は、結果格納レジスタのレジスタ値を読み出すことで、RAMの動作が正常であるか否かを知ることができる。

30

**【0021】**

結果格納レジスタは1つのレジスタでよく、又はRAM毎に設けられた複数のレジスタでもよい。1つの結果格納レジスタに全てのRAMの試験結果を格納する場合には、1つのRAMに1ビットを割り当て、レジスタ値の各ビットの“1/0”により正常/異常の判定することとしてもよい。

**【0022】**

ここで試験対象となるRAM11、12、14、及び15については、ステートマシンである制御回路6にメモリ選択制御用ステートを設けることにより、適宜選択して試験を実行することができる。この際、レジスタセット2の制御値の設定により、特定のRAMを指定して試験対象とすることができると共に、全メモリを自動的に順次試験していくことができる構成としてもよい。

40

**【0023】**

メモリBIST回路1は、回路規模削減のために半導体装置内部の特定の箇所に集約して設けてもよいし、従来のASIC等に対応し易いようにメモリ毎にラッパ回路として設けてもよい。

**【0024】**

以上説明した本発明によるメモリBIST回路によれば、従来のようなスキャンを使用することなくCPUコア10の通常の命令によりメモリ動作を試験できるので、クロック切り替えの必要が無く、半導体装置の通常の動作周波数でのメモリ動作試験を容易に実現

50

することができる。これにより、低速のクロックによる動作試験では顕在化しないコンタクト不良等の遅延性の不良を効果的に検出することが可能となる。また様々な種類のメモリ試験をレジスタ設定だけで容易に且つ高速に実行することが可能になると共に、プログラムによる設定だけで所望の動作試験のみを選択して必要十分な最低限の動作試験だけを実現することができる。また外部テストを使用することなく、オン・ボードでもメモリの動作試験を容易に実行することが可能となり、ボードに半導体装置が実装された実際の製品環境における検査が容易となる。ボード上では種々の要因による電源ノイズや電圧降下等が生じる場合があり、そのような場合に電圧にセンシティブなメモリの動作を実際の動作周波数で試験できることは動作保障の観点から効果がある。

#### 【 0 0 2 5 】

以下に、上記のメモリ B I S T 回路 1 のアドレス生成回路 7 及びパターン生成回路 8 の動作について更に詳細に説明する。

#### 【 0 0 2 6 】

前述のようにメモリ B I S T 回路をメモリ毎に設けるのは面積的にも好ましくなく、半導体装置内の 1 箇所集約することが望ましい。1つのメモリ B I S T 回路により半導体装置チップ内にある全てのメモリの試験をしようとした場合、各メモリのビット、ワード、コラム構成に柔軟に対応可能である必要がある。本発明によるメモリ B I S T 回路 1 においては、レジスタセット 2 に、アドレス信号のビット数、データ信号のビット幅、データマスク機能の有無、メモリの種類 ( 1 ポート、2 ポート等 ) を設定するレジスタを設け、アドレス生成回路 7 やパターン生成回路 8 が該レジスタ設定に応じてメモリの試験パターンを生成する。

#### 【 0 0 2 7 】

具体的には、例えばレジスタセット 2 中のレジスタにアドレス幅を示す値を設定する。このレジスタ設定値に基づいて、アドレス生成回路 7 が R A M のマーチ試験等のアドレス動作範囲を決定し、決定されたアドレス範囲に従ってアドレス信号を生成する。また例えばレジスタセット 2 中のレジスタにデータビット幅を示す値を設定する。このレジスタ設定値に基づいて、パターン生成回路 8 がテストパターンを生成する。

#### 【 0 0 2 8 】

図 2 は、アドレス生成回路 7 が生成するアドレスパターンの一例を示す図である。レジスタセット 2 中のレジスタ設定値が示すアドレス幅が 1 0 b i t であり試験方法がマーチ試験の場合、図 2 に示されるように、アドレス生成回路 7 は 0 番地から 1 0 2 3 番地までの範囲で順次増加するアドレス信号を生成する。図 3 は、アドレス生成回路 7 が生成するアドレスパターンの別の一例を示す図である。レジスタセット 2 中のレジスタ設定値が示すアドレス幅が 8 b i t であり試験方法がマーチ試験の場合、図 2 に示されるように、アドレス生成回路 7 は 0 番地から 2 5 5 番地までの範囲で順次増加するアドレス信号を生成する。なお図 2 及び図 3 において、W n は n 番目の書き込み、R n は n 番目の読み出しを示す。

#### 【 0 0 2 9 】

上記のように、メモリ動作試験のアドレス信号幅やデータ信号幅等の各種パラメータを設定できるようにすることで、半導体装置の品種に依存しない汎用的なメモリ B I S T 回路を提供することができると共に、単一のメモリ B I S T 回路を設ければよいため回路面積を最低限に抑えることが可能となる。

#### 【 0 0 3 0 】

以下に、メモリ B I S T 回路 1 の信号解析回路 9 の動作の変形例について説明する。

#### 【 0 0 3 1 】

例えば C P U コア 1 0 内部で使われるタグ - R A M 等において一部のビットが使われない場合や、データ R A M の最上位の数ビットが使われないといった場合に、信号解析回路 9 におけるデータ信号の任意のビット位置の期待値比較をマスクすることが好ましい。これを実現するために、メモリ B I S T 回路 1 のレジスタセット 2 にマスク制御用のレジスタを設ける。信号解析回路 9 は、R A M からの読み出しデータにおいて、レジスタ設定が

10

20

30

40

50

指定するビット位置を0又は1にマスクすると共に、期待値についてもレジスタ設定が指定するビット位置を0又は1にマスクする。

【0032】

図4は、マスク処理機能を備えた信号解析回路9の構成の一例を示す回路図である。

【0033】

図4の信号解析回路9は、エンコーダ31、マスク回路32及び33、EXOR回路34、OR回路35、フリップフロップ36、及びセクタ37を含む。エンコーダ31は、レジスタセット2の所定のレジスタからマスク設定値を受け取り、これをエンコードすることによりデータマスク信号を生成する。セクタは、読み出しデータ信号線23乃至26のうちから1つを選択して、対応する読み出しデータをマスク回路32に供給する。マスク回路32は、供給された読み出しデータを、エンコーダ31からのデータマスク信号を用いてマスクする。またマスク回路33は、パターン生成回路8から供給される期待値を、エンコーダ31からのデータマスク信号を用いてマスクする。

10

【0034】

マスク回路32及び33からのマスク処理済のデータは、EXOR回路34によりビット毎の排他的論理和が取られる。両データが完全に一致するときには、全てのビットがゼロとなる。OR回路35は、EXOR回路34からの出力nビットとフリップフロップ36からの出力nビットとをビット毎に論理和を取り、その結果であるnビットの出力をフリップフロップ36に供給する。このようにフリップフロップ36の出力をOR回路35にフィードバックさせることで、一連の読み出しデータと一連の期待値とについて、一度でも不一致があった場合にはフリップフロップ36の出力の対応ビットが“1”となる。これにより、試験対象のRAMが動作不良である旨を検出することができる。

20

【0035】

このようにデータマスク信号を使用して読み出しデータと期待値データとをマスクすることで、不良動作を検出する必要の無いビットについては試験を実行しないようにすることが可能となる。このようにして、動作に影響しないメモリ不良については検出することなく、半導体装置の歩留まりを向上させることができる。

【0036】

以下に、本発明による半導体装置の第2の実施例について説明する。

【0037】

従来のメモリBIST回路のようにメモリ周囲にラッパ回路として実装すると、メモリ入出力経路に少なくともセクタが1段挿入されることになる。例えばCPUのキャッシュRAMへのパス等においてこのようなセクタが挿入されると、只でさえタイミング的に厳しいクリティカルパスのタイミングを更に悪化させる恐れがある。また図1に示す第1の実施例のように、メモリBIST試験用に個別に信号線を設けることは、配線数の増加に繋がってしまう。そこで以下に説明する第2の実施例では、通常のパス中のタイミング的に厳しくない箇所のセクタを設け、テスト信号の極性の切り替えにより、メモリBIST回路からパイプライン的にメモリにアクセスできるように構成する。

30

【0038】

図5は、本発明によるメモリBIST回路を含む半導体装置の第2の実施例の構成の一例を示す図である。

40

【0039】

図5の半導体装置においては、CPUコア10内部にバスインターフェイス部38が設けられ、バスインターフェイス部38の内部にメモリBIST回路1が組み込まれている。バスインターフェイス部38は、バッファレジスタ101乃至106及びセクタ107乃至110を含む。CPUコア10は更に、命令キャッシュRAM11、データキャッシュRAM12、命令実効制御部39、データ演算処理部40、及びバッファレジスタ121乃至124を含む。

【0040】

通常動作時のデータ転送に使用するデータパスを、テスト動作時には各セクタにより

50

切り替えてメモリBIST回路1により使用する。命令キャッシュRAM11用の試験データは、メモリBIST回路1からセクタ107、バッファレジスタ102、命令実行制御部39、バッファレジスタ121を介して、命令キャッシュRAM11に書き込まれる。この際、各バッファレジスタをクロックに同期させることで、パイプライン動作を実現している。また命令キャッシュRAM11からの読み出しデータを、パイプライン動作を介してメモリBIST回路1で読めるような経路を設ける。データキャッシュRAM12の試験データは、メモリBIST回路1からセクタ109、バッファレジスタ104、データ演算処理部40、バッファレジスタ123を介して、データキャッシュRAM12に書き込まれる。またデータキャッシュRAM12からの読み出しデータを、パイプライン動作を介してメモリBIST回路1で読めるような経路を設ける。また同様にして、モジュール13のモジュール内部RAM14についても試験をすることができる。なおモジュール内部RAM14の入出力部分には、バッファレジスタ111及び112が設けられている。

10

**【0041】**

バスインターフェイス部38内部のセクタのセレクト信号は、メモリBIST回路1から生成される試験動作を示す信号等に基づいて生成される。

**【0042】**

また命令キャッシュRAM11の試験をする際に、通常のパスデータを流用しているため、RAM試験用のデータが命令実行制御部39の命令実行部に流入してハングアップ等の誤動作を引き起こす可能性がある。これを防ぐために、メモリ試験中はメモリBIST回路1からbusy信号をアサートして、命令実行制御部39では命令データのデコードを停止しておく。メモリ試験終了後にbusy信号がネゲートされた後に、命令データのデコードを再開すればよい。

20

**【0043】**

上記第2の実施例によれば、既存のデータパス中のタイミング的に厳しくない箇所にセクタを設けメモリBIST回路1にバスを切り替えるので、通常動作時のメモリアクセスタイミングを特に悪化させることがない。また既存のデータパスを可能な限り流用することで、メモリ試験専用のデータ信号線を減らすことが可能となり、レイアウト時の配線性を向上させると共に配線エリアを削減することが可能となる。また命令キャッシュRAM試験時にはbusy信号により命令実行部の動作を停止することで、CPUのハングアップを避けることができる。

30

**【0044】**

以下に、本発明による半導体装置の第3の実施例について説明する。

**【0045】**

半導体装置の動作周波数が数百MHzから数GHzと高速になると、メモリBIST回路1からメモリへのデータ転送やメモリからメモリBIST回路1への読み出しデータ転送が、クロック速度に対して相対的に長い時間かかるようになり、タイミング的に動作が難しくなる。特にメモリBIST回路1を1箇所に集約する構成ではメモリ位置まで距離があるために、この問題が顕在化する。そこで第3の実施例では、メモリBIST回路1からメモリへのデータ供給経路及びメモリからメモリBIST回路1へのデータ読み出し経路にバッファレジスタ(パイプラインレジスタ)を設け、パイプライン動作させる構成とする。

40

**【0046】**

図6は、本発明によるメモリBIST回路を含む半導体装置の第3の実施例の構成の一例を示す図である。図6において、図1と同一の構成要素は同一の番号で参照し、その説明は省略する。

**【0047】**

図6の半導体装置においては、制御信号線21及び書き込みデータ信号線22の信号経路にパイプラインレジスタ42を設けてある。また読み出しデータ信号線23乃至26の信号経路にパイプラインレジスタ42を設けてある。ここでモジュール13よりもCPU

50



コア10の方がメモリBIST回路1からの距離が遠いので、パイプラインレジスタ42の段数を多くしてある。このように信号経路にパイプラインレジスタ42を設け、各パイプラインレジスタ42において信号をクロックに同期させることで、信号受信端において信号遅延を気にすることなくクロック同期して信号を受信することができる。この際、信号経路に挿入されたパイプラインレジスタ42の段数に応じて受信端での信号受信のクロックタイミングは遅れることになるが、順次転送される一連のデータに対してパイプライン動作が実現されるので、連続した各クロックパルスのタイミングでメモリからのデータ読み出しを実現することができる。

【0048】

図7は、第3の実施例の場合の信号解析回路9の構成の一例を示す図である。図7において、図4と同一の構成要素は同一の番号で参照し、その説明は省略する。

10

【0049】

RAMから読み出したデータはパイプライン段数に応じて遅れることになるので、信号解析回路9の内部で比較する対象である期待値についても、その遅れに応じてタイミングを遅らせる必要がある。図7の信号解析回路9では、パターン生成回路8から供給される期待値について、複数段のバッファレジスタ44によりクロック同期してタイミングを遅らせる。各バッファレジスタ44からの出力であるタイミングが遅れた期待値と元のタイミングの期待値とを、セレクト43に入力する。セレクト43では、セレクト信号に応じて複数の入力のうちの1つを選択して出力する。このような構成により、任意のパイプライン段数に対応したメモリ試験が可能となる。

20

【0050】

なおセレクト43に対するセレクト信号は、レジスタセット2のレジスタにプログラム命令等によりパイプライン段数を設定し、この設定値に応じてセレクト信号を変化させる構成としてよい。

【0051】

以下に、信号解析回路9の更なる変形例について説明する。

【0052】

高速な動作周波数で動作しているメモリ内部のアドレス信号線の干渉等によるダイナミックな要因に基づく動作不良については、従来、効果的な不良解析手法が存在しない。従来においては、実際の製品での検証をすることができず、不良の原因を究明するためにはSPICEシミュレーション等を利用するしか方法がなかった。以下においては、高速な動作周波数で動作しているメモリの不良解析に適した信号解析回路9の構成について説明する。

30

【0053】

図8は、高速な動作周波数で動作しているメモリの不良解析に適した信号解析回路9の構成の一例を示す図である。図8において、図4と同一の要素は同一の番号で参照し、その説明は省略する。

【0054】

図4を参照して説明したように、フリップフロップ36の出力をOR回路35にフィードバックさせることで、一連の読み出しデータと一連の期待値とについて、一度でも不一致があった場合にはフリップフロップ36の出力の対応ビットが“1”となる。これにより、試験対象のRAMが動作不良である旨を検出することができる。図8の構成においては、更にOR回路46を設け、フリップフロップ36の出力全ビットの論理和をとり、その結果を1ビットの信号として出力する。この1ビットの出力信号は、一連の読み出しデータと一連の期待値とについて、ビット位置に関係なく一度でも不一致があった場合には、不一致があった時点で“1”となる信号である。

40

【0055】

この信号をBISTストップ信号として、メモリBIST回路1の制御回路6、アドレス生成回路7、及びパターン生成回路8に供給する。これらの各回路においては、BISTストップ信号が“1”にアサートされると、その時点で回路の動作を停止して回路状態

50

をそのまま保持する。

【 0 0 5 6 】

このようにしてメモリの不良を検出した時点で直ちにメモリ B I S T 回路 1 の動作を停止させることで、選択されているメモリ、アクセスされているアドレス番地、実行中の B I S T 試験の種類、制御ステートの状態信号を読み出すことにより、該当する B I S T 試験のどのステージの処理を実行中だったのか、R A M からの読み出しデータの値はどういう値であったのか等を知ることができる。レジスタセット 2 に故障解析用設定レジスタ及び故障解析用データ読み出しレジスタを設けることで、これらの結果を読み出すことができるように構成する。なお図 8 の構成において、マスク処理のためのマスク回路は削除してもよい。

10

【 0 0 5 7 】

またプログラム命令等によるレジスタセット 2 への設定により、メモリ動作試験を継続的に再開できるように構成してよい。またより詳細な不良解析を可能とするために、不良解析用の各種パラメータをプログラム命令等によりレジスタに設定することにより、メモリ B I S T 回路 1 において生成するパターンの基本単位（連続ライト、リード - ライト、ライト - リード、データマスク機能設定、ライトデータ設定、期待値設定等）を特定のアドレスに対して生成できるように構成してよい。また制御回路 6 の制御ステートと上記の各種パラメータとをプログラム命令等でレジスタに設定し、任意の状態から任意のメモリ動作試験を実行可能であるように構成してよい。

【 0 0 5 8 】

以下に、信号解析回路 9 の更なる変形例について説明する。

20

【 0 0 5 9 】

高速な動作周波数で動作するプロセッサ等には、タイミング的なデメリットの理由から、ロジック部分にスキャンを張らずに C P U の命令を実行させて出荷試験等を実行する試験方法を採用しているものがある。このような半導体装置に本発明のメモリ B I S T 回路を適用した場合、メモリ B I S T 回路自体の不良も検出できるようにしておかなければ、メモリ動作試験の信頼性が損なわれる。

【 0 0 6 0 】

メモリ B I S T 回路のパターン生成部や期待値生成部の回路自身が不良な場合には、正常に試験パターンを生成できなくなる等の現象が生じるので、期待値比較によってメモリ B I S T 回路自体の不良も結果的に検出することができる。しかし期待値比較器（例えば図 4 の E X O R 回路 3 4 ）が故障している場合には、適切なメモリ不良検出動作が全く不可能となるので、不良の箇所を全く特定できないことになる。そこで本実施例では、期待値比較器の不良を検出する機能を信号解析回路 9 に設ける構成とする。

30

【 0 0 6 1 】

図 9 は、期待値比較器の不良を検出する機能を備えた信号解析回路 9 の構成の一例を示す図である。図 9 において、図 4 と同一の構成要素は同一の番号で参照し、その説明は省略する。

【 0 0 6 2 】

図 9 の信号解析回路 9 は、故障設定回路 4 8 を含む。故障設定回路 4 8 は、故障設定制御信号を受け取る。この故障設定制御信号は、故障ビット位置を示すためだけの最低限のビット数だけあればよいが、読み出しデータが n ビットの場合には例えば故障設定用の n ビットのマスク信号を使用するのが簡単な実現方法である。特定のビットを“ 0 ”に故障させたければ、そのビットのみ“ 0 ”で他のビットは全て“ 1 ”であるマスク信号を生成し、故障設定回路 4 8 においてマスク対象となる R A M 読み出しデータに対してビット毎の A N D 演算を実行すればよい。これにより指定したビットにのみ“ 0 ”故障が設定されることになる。また“ 1 ”故障にしたければ、マスク信号の特定のビットのみ“ 1 ”として、A N D 演算の代わりに O R 演算を実行すればよい。

40

【 0 0 6 3 】

図 1 0 は、期待値比較器の不良を検出する機能を備えた信号解析回路 9 の構成の他の一

50

例を示す図である。図10において、図9と同一の構成要素は同一の番号で参照し、その説明は省略する。

【0064】

図10の信号解析回路9では、故障設定回路48を期待値側に設けている。これにより、パターン生成回路8から供給される期待値の特定のビットに対して、所望の故障を発生させることができる。図9の構成と図10の構成では、特に効果に違いは無いと考えられ、何れの構成を採用しても構わない。

【0065】

このように信号解析回路9に故障設定回路48を設けることで、メモリ動作試験の前に予め故障を故意に設定し、不良を正しく検出できるか否かを確認することができる。これによりメモリ試験の信頼性を高めることが可能となる。

10

【0066】

以下に、本発明によるメモリBIST回路を搭載した半導体記憶装置の第4の実施例について説明する。

【0067】

ASICのように製造業者が自ら回路設計するのではなく、顧客が設計して製造を依頼される回路の場合、メモリBIST回路を挿入するために全体の回路設計を変更することは困難である。従って、各メモリ周辺にメモリBISTラッパ回路を挿入する方式が望ましい。第4の実施例では、各メモリ周辺にメモリBISTラッパ回路を挿入した構成とする。

20

【0068】

図11は、本発明によるメモリBIST回路を搭載した半導体記憶装置の第4の実施例の構成の一例を示す図である。図11は、CPUコア10、モジュール13、及びメモリBIST制御回路200を含む。説明及び図面を簡単にするために、その他の回路については省略してある。

【0069】

メモリBIST制御回路200は、レジスタ2-2乃至2-5、制御回路6、パラレル・シリアル・インターフェース回路(I/F)61、シリアル・パラレル・インターフェース回路(I/F)62、及びセクタ70を含む。モジュール13は、モジュール内部RAM14、モジュール内部RAM15、メモリBISTラッパ回路49、及びメモリBISTラッパ回路55を含む。メモリBISTラッパ回路49は、シリアル・パラレル・インターフェース回路50、制御回路51、パターン生成回路52、判定回路53、パラレル・シリアル・インターフェース回路54、及びセクタ71を含む。またメモリBISTラッパ回路55は、シリアル・パラレル・インターフェース回路56、制御回路57、パターン生成回路58、判定回路59、パラレル・シリアル・インターフェース回路60、及びセクタ72を含む。図11に示す第4の実施例では、メモリBIST制御回路200及びメモリBISTラッパ回路49、50によってメモリBIST回路が構成される。

30

【0070】

このようにモジュール13内部にあるモジュール内部RAM14及びモジュール内部RAM15の周りに、それぞれメモリBISTラッパ回路49及びメモリBISTラッパ回路55を設ける。各メモリBISTラッパ回路49及び55内部において、パターン生成回路52及び58は図1のパターン生成回路8に対応し、制御回路51及び57により制御される。また判定回路53及び59は、対応するRAMから読み出される読み出しデータと期待値とを比較する。この期待値はパターン生成回路52及び58により生成される。

40

【0071】

メモリBISTラッパ回路49及びメモリBISTラッパ回路55の動作は、メモリBIST制御回路200により制御される。このメモリBIST制御回路200は、制御回路6による制御の下で動作し、メモリ試験動作全体を制御する。メモリBIST制御

50

回路200は、レジスタ2-2及び2-4の設定値に基づいて、パラレル・シリアル・インターフェース回路61から信号線63に制御データをシリアル送信する。

【0072】

メモリBISTラッパ回路49のシリアル・パラレル・インターフェース回路50は、メモリBIST制御回路200からの制御信号を受信する。この制御信号に基づいて、メモリBISTラッパ回路49の制御回路51が、モジュール内部RAM14に対するメモリ試験動作を制御する。セクタ71は、通常動作時には通常経路のデータを選択し、試験動作時にはパターン生成回路52からのデータを選択する。モジュール内部RAM14からの読み出しデータと期待値とに基づいて、判定回路53は、モジュール内部RAM14が不良であるか否かを判定する。この判定結果、判定終了信号、及び/又は故障解析時の各種読み出しデータが、パラレル・シリアル・インターフェース回路54から信号線64を介してメモリBIST制御回路200にシリアル送信される。メモリBISTラッパ回路55についても動作は同様である。

10

【0073】

メモリBIST制御回路200のセクタ70は、試験対象のRAMに対応する信号線64又は信号線65の何れかの信号を選択し、シリアル・パラレル・インターフェース回路62に供給する。動作試験の結果得られた種々の情報は、レジスタ2-3及び2-5に格納されて、CPUコア10からのアクセスにより読み出される。

【0074】

上記のメモリBISTラッパ回路49及び55は、モジュール内部RAM14及びモジュール内部RAM15の通常経路にセクタを挿入してメモリ動作試験を実現するので、モジュール13内部の論理には何ら変更を加える必要はない。従って、ASIC品種等の半導体装置にも容易に適用することができる。

20

【0075】

またシリアルインターフェイスを経由してメモリBIST制御回路200からの各種制御コマンドを1ビット乃至数ビットの少ない信号線数で配信でき、更に試験結果及び不良解析用の各種読み出しデータをシリアルインターフェイスを経由して数ビットの少ない信号線数で読み出すことが可能となる。これにより全体制御のためのメモリBIST制御回路200と各メモリBISTラッパ回路49及び55との間のインターフェイス信号数を、最小限に抑えることが可能となる。

30

【0076】

なおメモリBIST制御回路200の結果格納レジスタ2-3においては、各メモリに1ビットを割り当て、ラッパ回路からの試験終了信号がアサートされると、そのラッパ回路からの試験結果信号を結果格納レジスタ2-3の対応する1ビットに書き込むように構成してよい。また不良解析時の各種データ読み出しに関しては、メモリBIST制御回路200内部の制御レジスタの値に従って、読み出したいデータに関する情報をラッパ回路に送信するように構成してよい。この場合ラッパ回路においては、不良解析モードであること及び解析対象の読み出しデータを認識し、所望の試験動作をして得られる読み出しデータをメモリBIST制御回路200に送り返す。

【0077】

以下に、電圧変化時にメモリが正常動作することをメモリBIST回路を用いてプログラムで確認する方法について説明する。

40

【0078】

内部の電源電圧を下げると、半導体装置の回路を構成する各論理素子の遅延値が増大し、特にセンスアンプ等を有するメモリは大きな影響を受ける。この結果、メモリの正常な動作を保障できなくなる場合がある(例えばアクセス時間が要求を満たせなくなる)。そのような電圧制御後に、プログラム命令によるメモリアクセスのみでメモリの動作保障するには限界がある。従って、メモリの動作に問題が無いことをメモリ試験専用のメモリBIST回路を使用して確認することが望ましい。従来のスキャン手法に基づくメモリ試験では、CPUからのプログラム制御によりBIST回路を使ってメモリ試験することは

50

不可能であったが、本発明によるメモリ BIST 回路はプログラム制御可能であり、出荷試験等以外においても有効に活用することができる。

【 0 0 7 9 】

図 1 2 は、電圧変化時のメモリ動作確認方法を示すフローチャートである。

【 0 0 8 0 】

まずステップ S 1 において、電圧制御モードに遷移する。次にステップ S 2 において、レジスタの内容を退避する。即ち、電圧を下げたりした際に CPU コアのプログラム実行自体が停止してしまう場合に備えて、予め外部 SDRAM や不揮発性メモリに内部レジスタ等の各種データを退避しておく。

【 0 0 8 1 】

ステップ S 3 で電圧制御をする。例えば電圧を下降させる。上記説明では電圧下降時の問題点について主に説明したが、例えば電圧を上昇させた場合のメモリ動作について確認することが必要であれば、ステップ S 3 で電圧を上昇させればよい。この電圧制御は、半導体装置内部にプログラム命令で制御可能な電源制御部を設け、この電源制御部の設定に応じて可変電圧発生源を制御するように構成すればよい。

【 0 0 8 2 】

ステップ S 4 でタイムアウトとなったか否かを判断する。即ち、電圧制御部等に設けられたウォッチドッグ・タイマ等によりタイムアウトを検出することで、ハングアップしたことを検出する。タイムアウトした場合には、ステップ S 8 でタイマーをリセットする。これにより自動的に内部リセットをかけ、ブート処理ルーチンにおいて、電圧制御関連のレジスタでタイムアウトが発生したことを示すフラグ等を認識する。ステップ S 9 で、外部メモリの待機状態（例えば SDRAM のセルフリフレッシュモード）を解除し、各種データをレジスタに復帰させる。その後ステップ S 3 に戻り、必要に応じて再度緩い条件で電圧制御を実行する。

【 0 0 8 3 】

ステップ S 4 でタイムアウトしない場合には、ステップ S 5 で、メモリ BIST 試験を実行する。ステップ S 6 で、メモリ試験の結果、メモリに不良がないか否かを判定する。メモリに不良が発見された場合には、ステップ S 3 に戻り、必要に応じて再度緩い条件で電圧制御を実行する。

【 0 0 8 4 】

メモリに不良が発見されなかった場合には、ステップ S 7 で、通常動作に復帰する。即ち、電圧設定やクロック周波数設定等が安定な条件で、アプリケーション等の動作を再開させる。

【 0 0 8 5 】

なお電圧を制御する際には、予め CPU コア内部の命令キャッシュやデータキャッシュを使用しないキャッシュ・オフの状態に設定しておく。電圧を切り替えた後にメモリ BIST 試験の結果、メモリが正常動作することが判明すれば、その内部電圧で正常動作することが確認できているので、CPU の命令キャッシュやデータキャッシュ等をオン状態にして通常動作を再開する。

【 0 0 8 6 】

また本発明のメモリ BIST 回路を使用して、データリテンション試験を実行することも可能である。これを実現するためには、メモリ BIST 回路の動作中の設定された箇所 BIST 動作を停止させ、後にプログラム命令等によりその停止状態から BIST 動作を再開させるようにすればよい。

【 0 0 8 7 】

例えば RAM の動作試験の場合、具体的なシーケンスは以下のようになる。

【 0 0 8 8 】

まず RAM - BIST 試験の途中でメモリ BIST 回路の動作を一旦停止させる。例えば、マーチャやチェッカーボード試験のデータ書き込み動作が終了した時点で、メモリ BIST 回路の動作を停止させる。これにより、RAM にはデータが書き込まれた状態になる

10

20

30

40

50

## 【0089】

次に、そのままの状態プログラム制御等により電圧を変動させる。その後一定期間経過した後、プログラム制御等により電圧を元の電圧値まで戻し、一時停止させているRAM-BISTの動作を再開する。再開された試験動作により、書き込まれたデータが正常に読めるかどうかの試験をする。これによりデータリテンション試験が実現される。

## 【0090】

上記のようにして、本発明による電圧変化時のメモリ動作確認方法は、メモリBIST回路を用いて内部電源電圧制御時のメモリ動作試験をプログラムで確認できるので、電源電圧に影響され易いメモリの試験を各設定電圧値毎に実行して、電源電圧を制御した場合の半導体装置の動作を確実に保障することができる。このようなメモリ動作確認方法は、大規模集積回路における低消費電力化を図るうえで有用である。

## 【0091】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

## 【0092】

なお本発明は以下の内容を含むものである。

(付記1) CPUコア回路と、

該CPUコア回路に接続されるバスと、

該CPUコア回路から該バスを介して供給される命令に応じてメモリ試験を実行するメモリBIST回路

を含むことを特徴とする半導体装置。

(付記2) CPUコア回路と、

該CPUコア回路内部のバスに接続され、該バスを介して供給される命令に応じてメモリ試験を実行するメモリBIST回路

を含むことを特徴とする半導体装置。

(付記3) 該メモリBIST回路は、

該CPUコア回路から該バスを介してアクセス可能なレジスタと、

該レジスタの内容に応じて該メモリ試験の動作を制御する制御回路

を含むことを特徴とする付記1又は2記載の半導体装置。

(付記4) 該メモリBIST回路は、

該制御回路の制御によりアドレス信号を生成するアドレス生成回路と、

該制御回路の制御によりデータ信号を生成するパターン生成回路と、

メモリからの読み出しデータと期待値とを比較し比較結果を該レジスタに格納する信号解析回路

を更に含むことを特徴とする付記3記載の半導体装置。

(付記5) 該アドレス信号を該メモリBIST回路からメモリに供給する第1の信号線と、

該データ信号を該メモリBIST回路からメモリに供給する第2の信号線と、

該読み出しデータをメモリから該メモリBIST回路に供給する第3の信号線、

を更に含み、該第1乃至第3の信号線は該バスとは別個に設けられることを特徴とする付記4記載の半導体装置。

(付記6) 該第1乃至第3の信号線の経路上に設けられるパイプラインレジスタを更に含むことを特徴とする付記5記載の半導体装置。

(付記7) 該信号解析回路は、

該読み出しデータと該期待値とを比較する比較回路と、

該比較回路に供給する該期待値のタイミングを該パイプラインレジスタの段数に応じて調整するタイミング調整回路

を含むことを特徴とする付記6記載の半導体装置。

(付記8) 該メモリBIST回路は該バスを介して該アドレス信号及び該データ信号をメ

10

20

30

40

50

メモリに供給し、該バスを介してメモリからの該読み出しデータを受け取ることを特徴とする付記 4 記載の半導体装置。

(付記 9) 該メモリ B I S T 回路は該メモリ試験を実行する際にビジー信号をアサートし、該ビジー信号のアサートに応じて該 C P U コア回路は命令実行動作を停止することを特徴とする付記 8 記載の半導体装置。

(付記 10) 該アドレス生成回路及び該パターン生成回路は複数のメモリの各々に対して設けられ、該制御回路から複数の該アドレス生成回路及び該パターン生成回路へ制御信号を送信するシリアルインターフェースを更に含むことを特徴とする付記 4 記載の半導体装置。

(付記 11) 該信号解析回路は複数のメモリの各々に対して設けられ、複数の該信号解析回路から該レジスタヘデータを送信するシリアルインターフェースを更に含むことを特徴とする付記 4 記載の半導体装置。

10

(付記 12) 該信号解析回路は該読み出しデータ及び該期待値をマスクするマスク回路を更に含むことを特徴とする付記 4 記載の半導体装置。

(付記 13) 該信号解析回路は該読み出しデータ又は該期待値に故障値を設定する故障設定回路を更に含むことを特徴とする付記 4 記載の半導体装置。

(付記 14) 該信号解析回路は該読み出しデータと該期待値とが不一致の場合に直ちに停止信号をアサートし、該制御回路、該アドレス生成回路、及び該パターン生成回路は該停止信号のアサートに応じて内部動作状態を保持したまま動作を停止することを特徴とする付記 4 記載の半導体装置。

20

(付記 15) 該 C P U コア回路は該レジスタを介して該内部動作状態を読み出し可能であることを特徴とする付記 14 記載の半導体装置。

(付記 16) 該内部動作状態を保持したまま動作を停止した状態から該メモリ B I S T 回路は動作を再開することが可能であることを特徴とする付記 14 記載の半導体装置。

(付記 17) C P U コア回路と、該 C P U コア回路に接続されるバスと、該 C P U コア回路から該バスを介して供給される命令に応じてメモリ試験を実行するメモリ B I S T 回路を含む半導体装置において、

電圧制御モードに推移し、

該電圧制御モードに推移した後に内部電源電圧の電圧を変化させ、

該内部電源電圧を変化させた後に変化後の該内部電源電圧においてメモリ動作が正常であるか否かを該メモリ B I S T 回路により判定し、

30

該判定の結果として該メモリ動作が正常でない場合には該内部電源電圧を変化させ再度該判定を実行し、

該判定の結果として該メモリ動作が正常である場合に該電圧制御モードから通常動作に復帰する

各段階を含むことを特徴とする電圧制御方法。

(付記 18) 該内部電源電圧を変化させる前にレジスタの内容を退避させ、

該内部電源電圧を変化させた後にハングアップしたか否かを検出し、

ハングアップしたことを検出した場合に該レジスタの内容を復帰させる

各段階を含むことを特徴とする付記 17 記載の電圧制御方法。

40

【図面の簡単な説明】

【0093】

【図 1】本発明によるメモリ B I S T 回路を組み込んだ半導体装置の第 1 の実施例の構成を示す図である。

【図 2】アドレス生成回路が生成するアドレスパターンの一例を示す図である。

【図 3】アドレス生成回路が生成するアドレスパターンの別の一例を示す図である。

【図 4】マスク処理機能を備えた信号解析回路の構成の一例を示す回路図である。

【図 5】本発明によるメモリ B I S T 回路を含む半導体装置の第 2 の実施例の構成の一例を示す図である。

【図 6】本発明によるメモリ B I S T 回路を含む半導体装置の第 3 の実施例の構成の一例

50

を示す図である。

【図7】第3の実施例の場合の信号解析回路の構成の一例を示す図である。

【図8】高速な動作周波数で動作しているメモリの不良解析に適した信号解析回路の構成の一例を示す図である。

【図9】期待値比較器の不良を検出する機能を備えた信号解析回路の構成の一例を示す図である。

【図10】期待値比較器の不良を検出する機能を備えた信号解析回路の構成の他の一例を示す図である。

【図11】本発明によるメモリBIST回路を搭載した半導体記憶装置の第4の実施例の構成の一例を示す図である。

10

【図12】電圧変化時のメモリ動作確認方法を示すフローチャートである。

【符号の説明】

【0094】

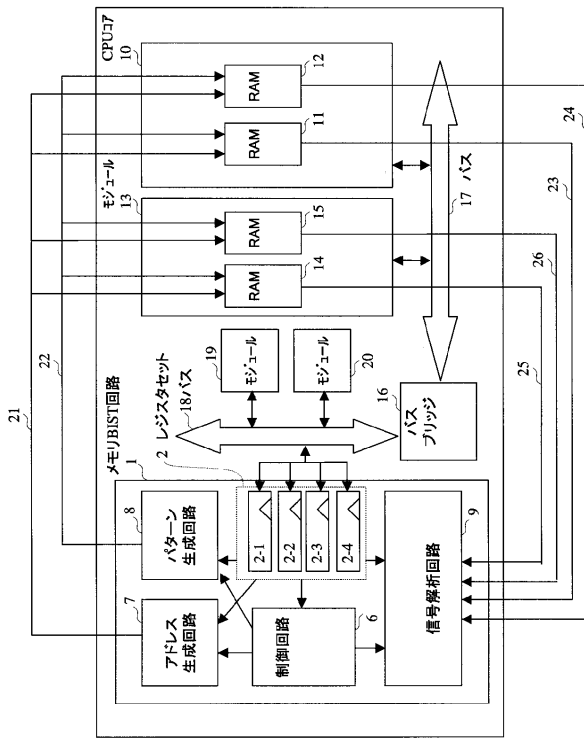
- 1 メモリBIST回路
- 2 レジスタセット
- 6 制御回路
- 7 アドレス生成回路
- 8 パターン生成回路
- 9 信号解析回路
- 10 CPUコア
- 13 モジュール
- 16 バスブリッジ
- 17 オンチップバス
- 18 内部周辺バス
- 19 モジュール
- 20 モジュール
- 21 制御信号線
- 22 書き込みデータ信号線
- 23 ~ 26 読み出しデータ信号線

20



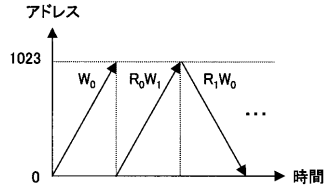
【図1】

本発明によるメモリBIST回路を組み込んだ半導体装置の第1の実施例の構成を示す図



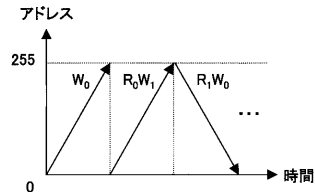
【図2】

アドレス生成回路が生成するアドレスパターンの一例を示す図



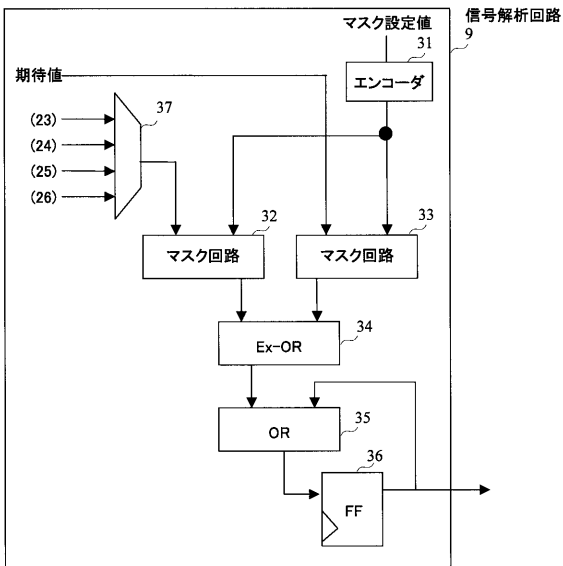
【図3】

アドレス生成回路が生成するアドレスパターンの別の一例を示す図



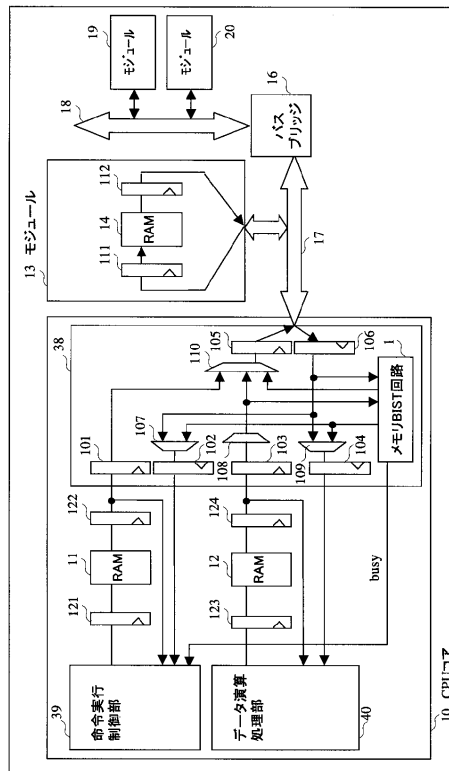
【図4】

マスク処理機能を備えた信号解析回路の構成の一例を示す回路図



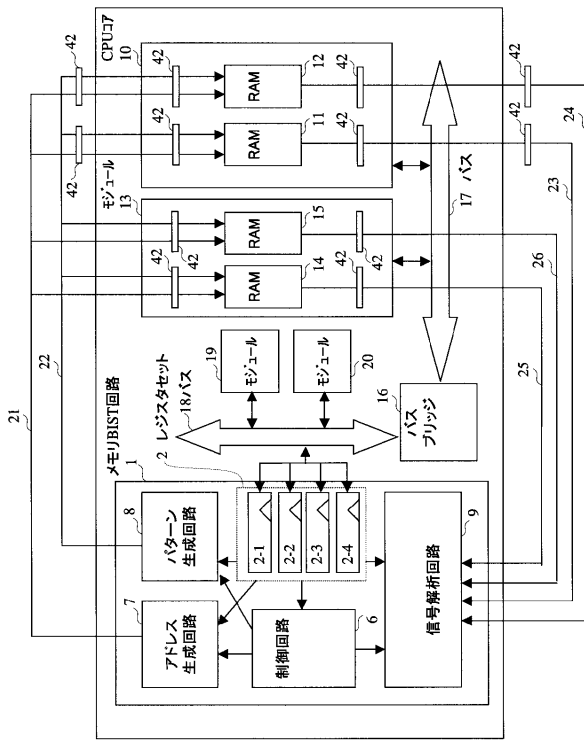
【図5】

本発明によるメモリBIST回路を含む半導体装置の第2の実施例の構成の一例を示す図



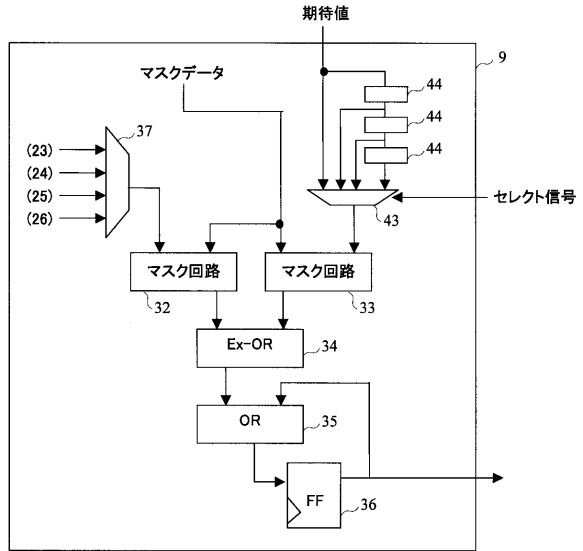
【図6】

本発明によるメモリBIST回路を含む半導体装置の第3の実施例の構成の一例を示す図



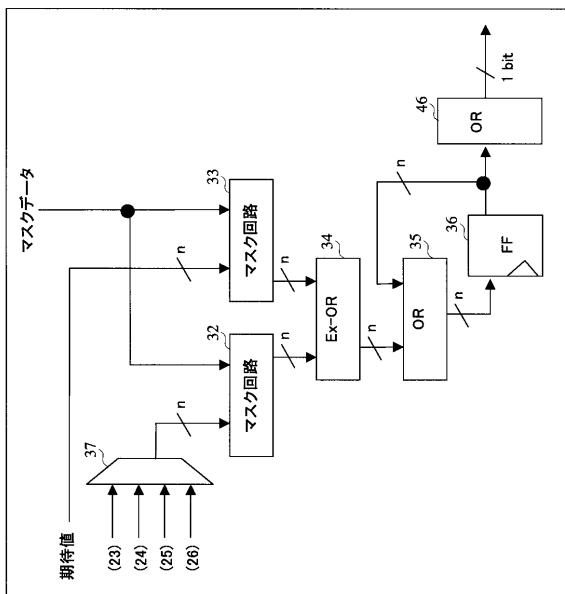
【図7】

第3の実施例の場合の信号解析回路の構成の一例を示す図



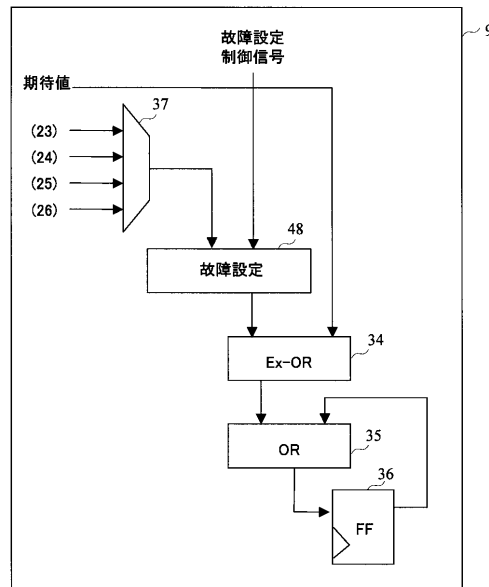
【図8】

高速な動作周波数で動作しているメモリの不良解析に適した信号解析回路の構成の一例を示す図



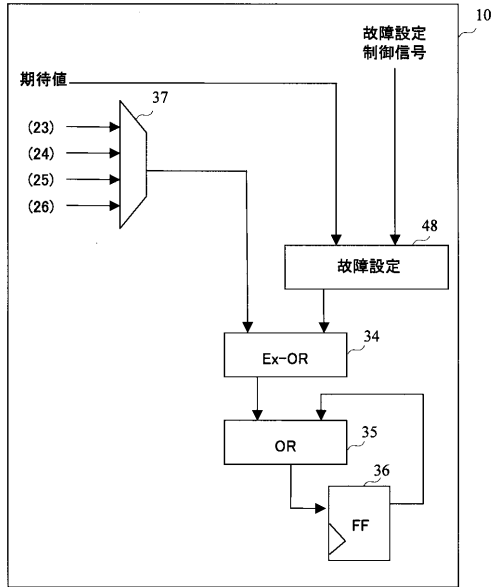
【図9】

期待値比較器の不良を検出する機能を備えた信号解析回路の構成の一例を示す図



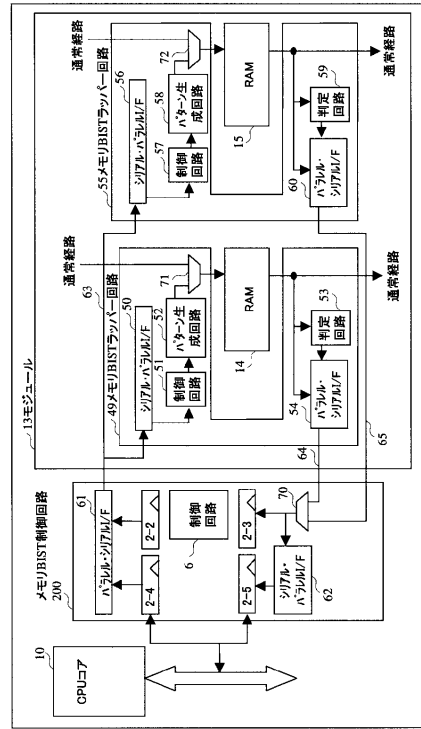
【図10】

期待値比較器の不良を検出する機能を備えた信号解析回路の構成の他の一例を示す図



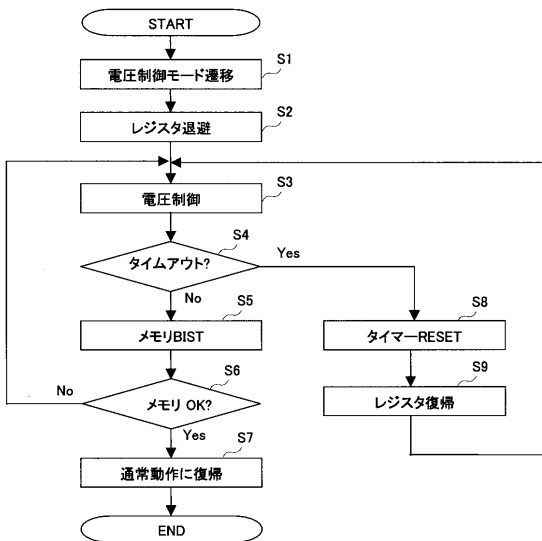
【図11】

本発明によるメモリBIST回路を搭載した半導体記憶装置の第4の実施例の構成の一例を示す図



【図12】

電圧変化時のメモリ動作確認方法を示すフローチャート



---

フロントページの続き

- (56)参考文献 特開平10 - 241399 (JP, A)  
特開平11 - 213700 (JP, A)  
特開2000 - 285700 (JP, A)  
特開2000 - 285699 (JP, A)  
特開2003 - 208797 (JP, A)  
特開2003 - 229000 (JP, A)  
特開平9 - 62588 (JP, A)  
特開2001 - 35192 (JP, A)  
特開平09 - 145790 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 29/12  
G01R 31/28  
G11C 11/401