401585

申請日期：89.9.29	案號：87116147
類別：H01L 21/00	

（以上各欄由本局填註）

發明專利說明書

401585

一、發明名稱	中文	包含用以覆蓋閘極及源-汲擴散層而形成之金屬矽化物膜之半導體裝置及其製造方法
	英文	SEMICONDUCTOR DEVICE COMPRISING METAL SILICIDE FILMS FORMED TO COVER GATE ELECTRODE AND SOURCE-DRAIN DIFFUSION LAYERS AND METHOD OF MANUFACTURING THE SAME
二、發明人	姓名（中文）	1. 宮下　桂 2. 吉村　尚郎 3. 高木　萬里子
	姓名（英文）	1. KATSURA MIYASHITA 2. HISAO YOSHIMURA 3. MARIKO TAKAGI
	國籍	1. 日本 2. 日本 3. 日本
	住、居所	1. 日本國神奈川縣藤澤市南藤澤14-3-601 2. 日本國神奈川縣川崎市宮前區有馬7-10-7-206 3. 日本國神奈川縣川崎市幸區塚越2-195-26
三、申請人	姓名（名稱）（中文）	1. 日商東芝股份有限公司
	姓名（名稱）（英文）	1. KABUSHIKI KAISHA TOSHIBA
	國籍	1. 日本
	住、居所（事務所）	1. 日本國神奈川縣川崎市幸區堀川町72番地
	代表人姓名（中文）	1. 西室　泰三
	代表人姓名（英文）	1.

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1997/10/01	特願平9-268513	有

有關微生物已寄存於　　寄存日期　　寄存號碼

五、發明說明 (1)

發明背景

本發明係關於MIS(金屬-絕緣體-半導體)結構之半導體裝置，特別係關於包含形成金屬矽化物膜覆蓋閘極及源-汲擴散層之半導體裝置及其製法。

近年來屬於典型MIS結構之CMOS(互補金屬氧化半導體)結構之半導體裝置藉由尺寸縮小而於積體程度及作業速度上達到顯著改良。

隨著尺寸縮小之進展，特別四分之一微米或以下，由寄生元件如電阻及電容引起的延遲占電晶體之延遲特性成份比增高，因此絕對需要降低源-汲區及閘極電阻俾達成裝置之高速作業。

至於降低電阻之手段，已知矽化物結構其中選擇性形成矽化物膜而覆蓋源-汲擴散層及閘極。為了形成矽化物結構，具有高熔點金屬如鈦，鈷或鎳藉例如濺散方法沉積於具有源-汲擴散層及閘極形成其上之半導體基材，接著對基材施加退火處理而將沉積於源-汲擴散層及閘極上之高熔點金屬轉成矽化物，及隨後選擇性去除未反應之高熔點金屬。結果藉由自行對正而選擇性於源-汲擴散層及閘極上形成低電阻率之矽化物膜。藉形成矽化物膜之方法形成之結構稱作矽化物結構。

圖1為剖面圖示例說明使用矽化物結構之MOS結構之場效電晶體(MOS-FET)之基本構造。如圖所示，一阱108形成於矽半導體基材101內部。由多晶矽組成之閘極103形成於阱108表面而閘氧化膜102夾置於其間。矽化物膜組成之閘側

五、發明說明 (2)

壁膜104形成於閘極103側面上。

又於閘側壁膜104下方形成淺源-汲擴散層105及深源-汲擴散層106。又復矽化物膜107形成於深源-汲擴散層106上及閘極103上。

矽化物膜107係如下形成。特定言之，形成深源-汲擴散層106後，具高熔點之金屬膜以約30毫微米厚度沉積於包含深源-汲擴散層106及閘極103之半導體基材上。然後對深源-汲擴散層106及閘極103上之金屬膜施加退火處理而將金屬層轉成矽化物層，接著選擇性去除未反應之高熔點金屬。結果矽化物膜107藉由自行對正選擇性於深源-汲擴散層106及閘極103上形成。

圖1所示採用習知矽化物結構之半導體裝置中，需要將源-汲擴散層形成於深層。若源-汲擴散層形成於淺層時，源-汲擴散層之矽於形成矽化物結構之矽化物步驟中被消耗，結果產生接面之滲漏。於形成矽化物步驟被消耗之矽化物膜厚度對金屬膜單位厚度之比於形成矽化鈦($TiSi_2$)之例為2.27，於形成矽化鈷($CoSi_2$)之例為3.64及於形成矽化鎳(NiSi)之例為1.83。

需注意若使用習知矽化物膜於MOS-FET形成淺接面作為源-汲擴散層，則於淺接面部產生接面滲漏。為了防止接面滲漏，需要形成深接面作為源-汲擴散層。

現在敘述待藉解決之問題。

如前述若深接面形成作為源-汲擴散層，則產生短通路效應於MOS-FET變顯著。結果需要確保閘側壁膜之寬度足

五、發明說明 (3)

夠，如此妨礙半導體裝置之微型化。

於使用矽化物結構之例，矽化物膜與矽層間之介面之接觸電阻及淺接面部電阻相對於於源-汲擴散層之整體寄生電阻占有相當大比值。如此即使形成於擴散層上之矽化物膜之片電阻改變，寄生電阻也未顯著變化。接著若寄生電阻設定為約5%特性電阻，則可縮小形成於擴散層上之矽化物膜厚度，但隨著半導體裝置微型化之進展需要消除寄生電阻。

它方面，為了達到高速作業，需要縮短例如CMOS反相器之閘延遲時間。為了達到該目的，需要形成一低電阻閘極。

圖2顯示對各代半導體之閘長度要求設置於源-汲擴散層上及閘極上之矽化物膜之片電阻。

它方面，若為了簡化起見假定矽化物膜之電阻率與尺寸無關，亦即若假定所謂之"細線效應"不存在，如此矽化物膜之電阻率不會隨著膜變薄而改變，則矽化物膜之片電阻係與矽化物膜厚度成反比。則需於未來隨著閘長度之縮短增加設置於閘極上之矽化物膜厚度。

發明概述

鑑於前述情況已經達成之本發明之目的係提供一種半導體裝置具有矽化物結構，其中沉積於閘極上之矽化物膜製成比設置於源-汲擴散層上之矽化物膜更厚，故可促進半導體裝置之微型化及提高作業速度。

另一目的係提供一種製造具有矽化物結構之半導體裝置

五、發明說明（4）

之方法，該方法允許製造設置於閘極上之矽化物膜比設置於源-汲擴散層上之矽化物膜更厚。

根據本發明之一方面，意圖達成前述目的，提供一種半導體裝置包含一源-汲擴散層形成於半導體基材，一第一矽化物膜形成於源-汲擴散層上，一閘極形成於設置於半導體基材上之閘絕緣膜上，及一第二矽化物膜設置於閘極上且比第一矽化物膜更厚。

特殊構造之半導體裝置中，設置於閘極上之矽化物膜比設置於源-汲擴散層上之矽化物膜更厚，因此可促進半導體裝置之微型化及增高作業速度。

根據本發明之另一方面，提供一種製造半導體裝置之方法包含形成一閘絕緣膜於半導體基材上之步驟，形成一閘極於閘絕緣膜上之步驟，形成一源-汲擴散層於半導體基材之步驟，選擇性引進可抑制矽化反應之原子至源-汲擴散層之步驟，形成具有高熔點金屬膜於閘極上及於源-汲擴散層上之步驟，及轉換高熔點金屬膜成為矽化物膜而選擇性於閘極上及源-汲擴散層上形成矽化物膜之步驟。

本發明之製造半導體裝置之方法中，抑制矽化原子選擇性引進源-汲擴散層而延遲矽化物膜形成於源-汲擴散層上，結果設置於閘極上之矽化物膜變成比設置於源-汲擴散層上之矽化物膜更厚。

根據本發明之另一方面，提供一種製造半導體裝置之方法包含形成一閘絕緣膜於半導體基材上之步驟，形成一閘極於閘絕緣膜上之步驟，形成一源-汲擴散層於半導體基

五、發明說明 (5)

材之步驟，形成可抑制矽化物膜於源-汲擴散層上之步驟，形成具有高熔點金屬膜於閘極上及於源-汲擴散層上之步驟，及轉換高熔點金屬膜成為矽化物膜而選擇性於閘極上及源-汲擴散層上形成矽化物膜之步驟。

根據本發明之特定製法，可抑制矽化之膜例如氧化物膜選擇性形成於源-汲擴散層上而延遲設置於源-汲擴散層上之高熔點金屬膜之矽化。故設置於閘極上之矽化物膜製作成比設置於源-汲擴散層上之矽化物膜更厚。

根據本發明之另一方面，提供一種製造半導體裝置之方法包含形成一閘絕緣膜於半導體基材上之步驟，形成一閘極於閘絕緣膜上之步驟，形成一源-汲擴散層於半導體基材之步驟，形成絕緣膜於閘極上及於源-汲擴散層上之步驟，減薄絕緣膜而暴露閘極表面但源-汲擴散層仍保持以絕緣膜覆蓋之步驟，於閘極表面周圍區引進原子而使閘極上部變成非晶性之步驟，去除設置於源-汲擴散層上之絕緣膜之步驟，形成具有高熔點金屬膜於閘極上及於源-汲擴散層上之步驟，及將高熔點金屬膜轉成矽化物膜而選擇性於閘極上及於源-汲擴散層上形成矽化物膜之步驟。

根據本發明之特定製法，非晶性層選擇性形成於閘極上部上因而促進閘極上部之矽化。如此設置於閘極上之矽化物膜可製作成比設置於源-汲擴散層上之矽化物膜更厚。

根據本發明之另一方面，提供一種製造半導體裝置之方法，包含形成閘極絕緣膜於半導體基材上之步驟，形成具有閘極形狀之非晶性矽膜於閘極絕緣膜上之步驟，形成源

五、發明說明 (6)

-汲擴散層於半導體基材之步驟，形成具有高熔點金屬膜於非晶性矽膜上及於源-汲擴散層上之步驟，及將高熔點金屬膜轉成矽化物膜而選擇性於非晶性矽膜上及於源-汲擴散層上形成矽化物膜之步驟。

根據本發明之特殊方法，閘極係使用非晶性矽形成。結果於閘極上形成矽化物之速率增進，因而使設置於閘極上之矽化物膜變成比設置於源-汲擴散層上之矽化物膜更厚。

根據本發明之另一方面，提供一種製造半導體裝置之方法，包含形成閘絕緣膜於半導體基材上之步驟，形成閘極於閘絕緣膜上步驟，於半導體基材形成源-汲擴散層之步驟，選擇性形成矽化物膜於閘極及於源-汲擴散層上之步驟，形成絕緣膜於設置於閘極上及源-汲擴散層上之矽化物膜上之步驟，減薄絕緣膜而暴露出設置於閘極上之矽化物膜表面，但設置於源-汲擴散層上之矽化物膜保持以絕緣膜覆蓋之步驟，及進一步於暴露矽化物膜表面上形成矽化物膜之步驟。

本發明之特殊製法中，矽化物膜係藉已知方法形成，接著以絕緣膜覆蓋半導體基材全表面。然後設置於閘極上之矽化物膜表面選擇性暴露於外側，接著進一步於設置於閘極上之暴露矽化物膜上選擇性形成矽化物膜。結果設置於閘極上之矽化物膜變成比設置於源-汲擴散層上之矽化物膜更厚。

又根據本發明之又另一方面，提供一種製造半導體裝置

五、發明說明 (7)

之方法，包含形成閘極絕緣膜於半導體基材上之步驟，形成閘極於閘絕緣膜上之步驟，形成源-汲擴散層於半導體基材之步驟，形成具高熔點金屬膜於閘極上及源-汲擴散層上之步驟，將高熔點金屬轉成矽化物膜而選擇性形成矽化物膜於閘極及於源-汲擴散層上之步驟，形成絕緣膜於設置於閘極上及源-汲擴散層上之矽化物膜上之步驟，減薄絕緣膜而暴露出設置於閘極上之矽化物膜表面但設置於源-汲擴散層上之矽化物膜保持以絕緣膜覆蓋之步驟，形成高熔點金屬膜於設置於閘極上之矽化物膜上之步驟，及將高熔點金屬膜轉成矽化物膜而於先前形成於閘極上之矽化物膜上選擇性形成矽化物膜之步驟。

本發明之特殊製法中，矽化物膜係藉已知方法形成，接著以絕緣膜覆蓋半導體基材全表面。然後設置於閘極上之矽化物膜表面選擇性暴露於外側，接著進一步選擇性形成矽化物膜於先前形成於閘極上之矽化物膜上。如此設置於閘極上之矽化物膜可變成比設置於源-汲擴散層上之矽化物膜更厚。

本發明之其他目的及優點將陳述於後文說明，部分將由說明中顯然自明或可經由實施本發明習得。本發明之目的及優點可利用後文特別指出之設備及組合實現及獲得。

圖式之簡單說明

併述於此構成本說明書之一部分之附圖示例說明本發明之目前較佳具體例，連同前文概略說明及後文較佳具體例之詳細說明用於解釋本發明之原理。





五、發明說明 (8)

圖1為剖面圖舉例說明使用矽化物技術具有MOS結構之半導體裝置之基本構造；

圖2為線圖顯示各代半導體之閘長度要求之設置於源-汲擴散層上及閘極上之矽化物膜之片電阻；

圖3為線圖顯示為各代半導體之閘長度要求之設置於源-汲擴散層上及閘極上之矽化物膜之厚度；

圖4為剖面圖顯示根據本發明之第一具體例具有矽化物結構之半導體裝置之構造；

圖5為線圖顯示閘極電阻對0.25微米代半導體裝置之閘延遲時間之影響；

圖6為剖面圖顯示根據本發明之第一具體例之修改具有矽化物結構之半導體裝置；

圖7為剖面圖顯示根據本發明之第二具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之步驟；

圖8為剖面圖顯示根據本發明之第二具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之另一步驟；

圖9為剖面圖顯示根據本發明之第二具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之另一步驟；

圖10為剖面圖顯示根據本發明之第二具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之另一步驟；

圖11為剖面圖顯示根據本發明之第二具體例包含於製造

具有圖4所示矽化物結構之半導體裝置之方法之另一步驟；

圖12為剖面圖顯示根據本發明之第二具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之又另一步驟；

圖13為剖面圖顯示根據本發明之第三具體例包含於製造具有圖6所示矽化物結構之半導體裝置之方法之步驟；

圖14為剖面圖顯示根據本發明之第三具體例包含於製造具有圖6所示矽化物結構之半導體裝置之方法之另一步驟；

圖15為剖面圖顯示根據本發明之第三具體例包含於製造具有圖6所示矽化物結構之半導體裝置之方法之另一步驟；

圖16為剖面圖顯示根據本發明之第三具體例包含於製造具有圖6所示矽化物結構之半導體裝置之方法之另一步驟；

圖17為剖面圖顯示根據本發明之第三具體例包含於製造具有圖6所示矽化物結構之半導體裝置之方法之另一步驟；

圖18為剖面圖顯示根據本發明之第三具體例包含於製造具有圖6所示矽化物結構之半導體裝置之方法之又另一步驟；

圖19為剖面圖顯示根據本發明之第四具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之步驟；



圖20為剖面圖顯示根據本發明之第四具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之另一步驟；

圖21為剖面圖顯示根據本發明之第四具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之另一步驟；

圖22為剖面圖顯示根據本發明之第四具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之另一步驟；

圖23為剖面圖顯示根據本發明之第四具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之另一步驟；

圖24為剖面圖顯示根據本發明之第四具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之又另一步驟；

圖25為剖面圖顯示根據本發明之第五具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之步驟；

圖26為剖面圖顯示根據本發明之第五具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之另一步驟；

圖27為剖面圖顯示根據本發明之第五具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之又另一步驟；

圖28為剖面圖顯示根據本發明之第六具體例包含於製造



五、發明說明 (11)

具有圖4所示矽化物結構之半導體裝置之方法之步驟；

圖29為剖面圖顯示根據本發明之第六具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之另一步驟；

圖30為剖面圖顯示根據本發明之第六具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之另一步驟；

圖31為剖面圖顯示根據本發明之第六具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之另一步驟；及

圖32為剖面圖顯示根據本發明之第六具體例包含於製造具有圖4所示矽化物結構之半導體裝置之方法之又另一步驟。

發明之詳細說明

現在參照附圖敘述本發明之若干具體例。

[第一具體例]

現在說明具有矽化物結構之半導體裝置作為本發明之第一具體例。

特別圖4為剖面圖顯示具有矽化物結構之半導體裝置之構造。如圖所示，元件隔離區4形成於矽半導體基材2上，及阱6形成於界定於二毗鄰元件隔離區4間之元件形成區。又由矽化物膜組成之閘絕緣膜8形成於包含於元件形成區之主動元件區。

由多晶矽膜10及矽化物膜12形成於多晶矽膜10上組成之

多晶矽化物型閘極係形成於閘絕緣膜8上。矽化物膜12包含例如矽化鈦($TiSi_2$)膜，矽化鈷($CoSi_2$)膜或矽化鎳(NiSi)膜。又各自由氮化矽膜組成之閘側壁膜14係於閘極二側壁上形成。

作為源區或汲區之淺擴散層16形成於阱6內而位於閘側壁膜14下方。又也作為源區或汲區之深擴散層18係相對於閘極形成於淺擴散層16外側。又復矽化物膜20係形成於深擴散層18上。矽化物膜20例如係由矽化鈦($TiSi_2$)膜，矽化鈷($CoSi_2$)膜或矽化鎳(NiSi)膜組成。

前述具矽化物結構之半導體裝置中，形成於含括於閘極之多晶矽膜10上之矽化物膜12之厚度至少為形成於構成源或汲區之深擴散層18上之矽化物膜20厚度之1.2倍，較佳至少2倍。例如含括於閘極之矽化物膜12厚度設定為60毫微米或以上，形成於深擴散層18之矽化物膜20厚度設定為50毫微米或以下。

製作含括於閘極之矽化物膜12厚度至少為位於深擴散層18之矽化物膜20之厚度之1.2倍之理由如下。

特定言之，圖5為線圖顯示於0.25微米半導體代(使用"Sakurai模式"計算)由閘極電阻對閘延遲時間產生的影響。線圖橫軸為含括於閘極之矽化物膜厚度對位於源-汲擴散層上之矽化物膜厚度之比，亦即Tg/Tsd，包括位於源-汲擴散層上之矽化物膜電阻固定於100［歐姆/平方］之例。它方面作圖於線圖縱軸為閘延遲時間劣化($\Delta \tau pd/\tau pd$)。“閘延遲時間劣化”表示因閘電極電阻引起電晶

五、發明說明 (13)

體之特性閘延遲時間之劣化速率。計算條件為：$\Delta \tau pd/\tau pd=(1/3)\times(Rg\times Cg/\tau pd)^2$，$\tau pd=30$ ps，$Cg=L\times W\times 6$ fF/平方微米，W=15微米，L=0.25微米及$\rho sd=10$歐姆/平方。

假設設計電路時最大通路寬度W設定為例如15微米。此種情況下需瞭解含括於閘極之矽化物膜厚度須至少為位於源-汲擴散層上之矽化物膜厚度之1.2倍俾抑制因閘極電阻引起之劣化於5% (0.05)或以下。

前述"Sakurai模式"敘述於“IEEE Trans. on ED, ED-32, 2, Feb. 1985, pp. 370-374, ’於VLSI之閘極RC延遲效應’，作者T. Sakurai及T. Iizuka”。

本發明之第一具體例中，矽化物膜12及矽化物膜20可為前述矽化鈦膜，矽化鈷膜及矽化鎳膜中之任一者。也可使此等矽化物膜12及20由具高熔點之金屬矽化物組成。

前述具體例中閘絕緣膜8係由矽氧化物膜組成。另外另一絕緣膜如矽氮化物膜或矽氧氮化物膜也可用作閘絕緣膜8。又矽半導體基材2可具有p-型或n-型導電率之任一者。

如前述，本發明之第一具體例中，含括於閘極之矽化物膜12形成為比廣泛用於習知半導體裝置之膜更厚。又位於源-汲擴散層上之矽化物膜20形成為比廣用於習知半導體裝置之膜更薄。也需注意根據本發明之第一具體例之半導體裝置包括矽化物結構，其中矽化物膜12之厚度至少為矽化物膜20之1.2倍。本發明之第一具體例使用之特殊構造可降低閘極電阻，同時抑制於淺源-汲擴散層接面之漏電

流。如此可提供可以高速作業之微型化MIS電晶體。

現在描述具有矽化物結構之另一半導體裝置作為本發明之第一具體例之修改。

特定言之，圖6顯示具有矽化物結構之半導體裝置之構造，其為本發明之第一具體例之修改。圖4所示第一具體例中，閘側壁膜14形成為覆蓋由矽氮化物膜組成之閘極兩側面。圖6所示修改中，形成由矽氧化物膜組成之閘側壁膜22替代含括於圖4所示半導體裝置之閘側壁膜14，該膜係由矽氮化物膜組成。圖6所示半導體裝置之其他部分等於圖4所示裝置。因此對圖4及6之此等部分給予相同參考編號而刪除其說明。

圖6所示修改中，含括於閘極之矽化物膜12形成為比較廣用於習知半導體裝置之膜更厚。又位於閘極擴散層上之矽化物膜20形成為比廣用於習知半導體裝置之膜更薄。也需注意，根據圖6所示修改之半導體裝置包括矽化物結構，其中矽化物膜12厚度至少為矽化物膜20之1.2倍。本修改使用之特定構造可降低閘極電阻同時抑制於淺源-汲擴散層接面之漏電流。如此可提供可高速作業之微型化MIS電晶體。

假設於本修改例設計電路時最大通路寬度W設定為例如15微米。此種情況下由圖5可知含括於閘極之矽化物膜12厚度要求至少為位於源-汲擴散層上之矽化物膜20之1.2倍俾如同第一具體例，抑制因閘極電阻引起之劣化於5%(0.05)或以下。因此含括於閘極之矽化物膜12形成為位

五、發明說明（15）

於源-汲擴散層上之矽化物膜12之至少1.2倍厚。

[第二具體例]

現在說明製造圖4所示第一具體例之半導體裝置其具有矽化物結構作為本發明之第二具體例之方法。第二具體例中，各矽化物膜12及20係由矽化鈦組成。又矽半導體基材2具有p-型導電率。

圖7至12為剖面圖合併顯示根據本發明之第三具體例之半導體裝置之製法。本發明之第二具體例之方法中製造根據本發明之第一具體例及具有矽化物結構且如圖4所示之半導體裝置。

第一步驟中，元件隔離區4係藉埋置元件分隔方法形成於p-型矽半導體基材2A上形成於深度約300毫微米，如圖7所示。然後緩衝氧化物膜以厚度約10毫微米形成於位於毗鄰元件隔離區4間之元件形成區之p-型矽半導體基材2A上。

於緩衝氧化物膜形成後，n-阱6，p-阱24及通路藉離子植入方法形成於p-型矽半導體基材2A上之元件形成區。離子植入係於尋常用於形成此等區之條件下進行。例如為了形成n-型阱6，磷離子(P^-)係於500 keV之加速能及於3×10^{13}厘米$^{-2}$劑量下植入。為了於n-型阱6形成通路區，硼離子(B^+)係於50 keV之加速能及於1.5×10^{13}厘米$^{-2}$劑量下植入。為了形成p-型阱24，硼離子(B^+)係於260 keV之加速能及於2×10^{13}厘米$^{-2}$劑量下植入。又為了於p-型阱24形成通路區，磷離子(P^-)係於130 keV之加速能及於1.0×10^{13}

厘米$^{-2}$劑量下植入。

離子植入步驟後，緩衝氧化物膜被去除，接著藉熱氧化方法或LPCVD方法形成厚2.5毫微米至6.0毫微米之由矽氧化物膜組成之閘氧化物8。然後形成閘極之多晶矽膜10藉LPCVD方法以200毫微米厚度形成於閘絕緣膜8上，接著藉例如LPCVD方法以30毫微米厚度形成矽化物膜26作為閘極保護膜。

又矽化物膜26塗布以光化抗蝕膜，接著藉微影術方法、X-光照相術方法或電子束曝光方法對光化抗蝕膜製作圖樣，接著藉反應性離子蝕刻(RIE)方法蝕刻矽氧化物膜26及多晶矽膜10而形成閘極。

又作為源區及汲區之淺擴散層16,28係藉離子植入方法形成因而製備圖7所示結構。離子植入係於尋常條件下進行。例如為了形成淺擴散層16，BF_2^+離子係於10 keV之加速能及於5.0×10^{14}厘米$^{-2}$劑量下植入。它方面為了形成淺擴散層28，砷離子(As^+)係於15 keV加速能及於5.0×10^{14}厘米$^{-2}$劑量下植入。

於次一步驟，矽氮化物膜係藉LPCVD方法沉積於p-型矽半導體基材2A之全表面上，接著經由RIE方法各向異性蝕刻矽氮化物膜而形成閘側壁膜14於閘極側面上，如圖8所示。然後深擴散層18及30藉離子植入方法分別形成於n-型阱6及p-型阱24。離子植入係於尋常條件下進行。例如用於形成深擴散層18，BF_2^+離子係於30 keV加速能及於4.0×10^{15}厘米$^{-2}$劑量下植入。它方面為了形成淺擴散層30，砷離

五、發明說明 (17)

子(As^+)係於50 keV加速能及於4.0×10^{15}厘米$^{-2}$劑量下植入。

離子植入步驟中，作為閘極之多晶矽膜10也透過矽氧化物膜26以雜質攙雜。因此攙雜的雜質藉由RTA施加激發退火處理而激發，結果各該深擴散層18，30及形成閘極之多晶矽膜10允許具有雜質濃度至少1.0×10^{20}厘米$^{-3}$。圖8顯示於形成深擴散層18及30之離子植入步驟後之結構。

次一步驟中，氟離子係於低加速能下分別植入深擴散層18及30之表面區18a及30a。於此步驟可植入氮離子或氧離子替代氟離子。離子植入係於3至10 keV之加速能及約1.0×10^{14}至1.0×10^{15}厘米$^{-2}$劑量下進行。注意位於深擴散層18，30上之閘氧化物膜8被去除或於形成閘側壁膜14之步驟藉各向蝕刻顯著變薄，結果為了形成表面區18a，30a之氟離子植入並未受閘氧化物膜8抑制。它方面因多晶矽膜10以矽氧化物膜26覆蓋，故氟離子並未植入形成閘極之多晶矽膜10內。

業界已知含於矽層之氟、氮及氧原子抑制矽層之矽化作用。如此植入深擴散層18，30之表面區18a，30a之氟，氮或氧原子用於延遲於隨後步驟矽化物膜於深擴散層18之表面區18a及深擴散層30之表面區30a形成。圖9顯示形成深擴散層18及30分別之表面區18a及30a後之結構。

次一步驟中作為閘極保護膜之矽氧化物膜26係藉濕式蝕刻法去除，如圖10所示。然後，鈦層32以40毫微米厚度藉濺散方法形成於全表面，如圖11所示，接著藉RTA於700℃

五、發明說明 (18)

施加加熱處理歷30秒。藉由此種加熱處理，位於作為閘極之多晶矽膜10上及位於深擴散層18及30上之鈦層被轉成矽化鈦層。然後未反應鈦如圖12所示經由以由硫酸及過氧化氫組成之混合溶液處理而選擇性去除，接著藉RTA於850℃施加加熱處理歷20秒。結果矽化鈦膜12及20分別選擇性形成於作為閘極之多晶矽膜10上及深擴散層18，30之表面區18a，30a。

如前述，抑制金屬矽化之氟原子分別含於深擴散層18，30之表面區18a，30a因而降低矽化鈦膜20於表面區18a，30a形成速率。它方面，位於多晶矽膜10上之鈦層之矽化作用未受延遲，如此矽化鈦膜12以尋常形成速率形成於多晶矽膜10上。如此允許位於多晶矽膜10之矽化鈦膜12具有厚度至少為位於深擴散層18，30上之矽化鈦膜20厚度之1.2倍。

根據本發明之第一具體例顯示於圖4之具有矽化物結構之半導體裝置可藉前述步驟製備。相信MOS-FET之尋常製法可用於隨後製造半導體裝置之各步驟。

如前述，本發明之第二具體例中，抑制矽化之原子選擇性植入單獨源-汲擴散層之表面區因而延遲矽化物膜於源-汲擴散層之形成，而可製備具有矽化物結構之半導體裝置，其中該位於源-汲擴散層上之矽化物膜係比位於閘極之矽化物膜更薄。如前述，要緊地於本發明位於閘極之矽化物膜厚度至少為位於源-汲擴散層之矽化物膜之1.2倍。

前述第二具體例中，各該含括於閘極之矽化物膜12及位

於源-汲擴散層上之矽化物膜20係由矽化鈦組成。但此等矽化物膜無需限於矽化鈦膜。特別此等矽化物膜可由具有高熔點金屬如鈷或鎳之矽化物組成。

又前述第二具體例中閘絕緣膜8包含矽氧化物膜。但其他絕緣膜如矽氮化物膜或矽氧氮化物膜可用於替代矽氧化物膜供形成閘絕緣膜8。又p-型矽半導體基材用於前述第二具體例。但也可使用n-型矽半導體基材。

[第三具體例]

本發明之第三具體例係關於圖6所示具有矽化物結構之半導體裝置之製造，其為根據本發明之第一具體例之半導體裝置之修改。第三具體例中如第二具體例，矽化物膜12及20係由矽化鈦膜組成。又用於第三具體例之矽半導體基材2A屬於p-型導電率。

圖13至18為剖面圖合併顯示根據本發明之第三具體例之半導體裝置之製法。第三具體例係有關具有圖6所示矽化物結構之半導體裝置之製造，其為根據本發明之第一具體例之半導體裝置之修改。

第一步驟中，元件隔離區4藉由如圖13所示之埋置元件隔離方法如同第二具體例形成於p-型矽半導體基材2A上於約300毫微米深度。然後緩衝氧化物膜以約10毫微米厚度形成於p-型矽半導體基材2A表面上於位於二毗鄰元件隔離區4間之元件形成區。

於形成緩衝氧化物膜後，n-型阱6，p-型阱24及通路區係藉離子植入方法於p-型矽半導體基材2A上之元件形成區

五、發明說明 (20)

形成。離子植入係如同第二具體例於尋常條件下進行。然後去除緩衝氧化物膜，接著藉熱氧化方法或LPCVD方法形成厚度2.5毫微米至6.0毫微米之由矽氧化物膜組成之閘絕緣膜8。又作為閘極之多晶矽膜10係藉LPCVD方法形成於閘絕緣膜8上，接著藉例如LPCVD方法形成厚度30毫微米之矽氮化物膜40用以保護閘極。

如此形成之矽氮化物膜40塗布以光化抗蝕膜，接著藉微影術方法、X-光照相術方法或電子束曝光方法對光化抗蝕膜製作圖樣。然後矽氮化物膜40及多晶矽膜10利用反應性離子蝕刻(RIE)方法蝕刻而形成閘極。

閘極形成後，作為源-汲區之淺擴散層16及28係藉離子植入法分別於n-型阱6及p-型阱24形成。如第二具體例，離子植入係於尋常條件下進行。圖13顯示所得結構。

次一步驟中，矽氧化物膜藉LPCVD方法沉積於p-型矽半導體基材2A全表面上，接著利用RIE方法應用各向異性蝕刻至矽氧化物膜而形成閘側壁膜22於閘極側面上，如圖14所示。然後作為源-汲區之深擴散層18及30係藉離子植入法分別於n-型阱6及p-型阱24形成。離子植入如第二具體例係於尋常條件下進行。

須注意作為閘極之多晶矽膜10也透過矽氮化物膜40於離子植入步驟以雜質攙雜用以形成深擴散層18及30。因此攙雜雜質藉RTA經由激發退火處理而激發，結果各該深擴散層18，30及作為閘極之多晶矽膜10允許具有雜質濃度至少1.0×10^{20}厘米$^{-3}$。圖14顯示所得結構。

五、發明說明 (21)

次一步驟中，如圖15所示矽氧化物膜42藉熱氧化法或化學氧化法以3.0毫微米至5.0毫微米厚度形成於深擴散層18及30上。然後用於保護閘極之矽氮化物膜40如圖16所示使用例如熱磷酸藉濕式蝕刻去除。此種條件下僅微量天然氧化物膜單獨存在於作為閘極之多晶矽膜10上。它方面，矽氧化物膜42保持於擴散層18及30上未被去除。

又如圖17所示，鈦層44係以40毫微米厚度藉濺散法沉積於全表面上，接著於700℃藉RTA經由施加加熱處理歷30秒。藉此加熱處理，位於作為閘極之多晶矽膜10上及位於深擴散層18及30上之鈦層轉成矽化鈦膜。然後未反應鈦層如圖18所示使用硫酸及過氧化氫組成之混合溶液藉選擇性去除法選擇性去除，接著藉RTA於850℃施加熱處理歷20秒。結果矽化鈦膜12及20選擇性形成於作為閘極之多晶矽膜10上及單獨形成於深擴散層18，30上。

如前述，厚矽氧化物膜42形成於深擴散層18及30，結果鈦層44被消耗至某種程度用以還原矽氧化物膜42所含氧。接著矽化鈦膜20以低速率於深擴散層18及30上形成。它方面位於多晶矽膜10上之鈦層44之矽化反應未受抑制，結果矽化鈦膜12係以尋常速率形成。如此允許形成於多晶矽膜10上之矽化鈦膜12具有厚度至少為形成深擴散層18及30上之矽化鈦膜20厚度之1.2倍。

如圖6所示具有矽化物結構之半導體裝置係為根據第一具體例之半導體裝置之修改係藉由前述步驟製備。相信尋常MOS-FET製法可用於隨後製造半導體裝置之各步驟。

五、發明說明 (22)

如前述，根據本發明之第三具體例，氧化物膜選擇性單獨形成於源-汲擴散層上。結果位於氧化物膜上之鈦層被部分消耗供還原氧化物膜所含氧，因而延遲矽化鈦膜於源-汲擴散層上形成。接著可製備矽化物結構之半導體裝置，其中形成於閘極上之矽化物膜比形成於源-汲擴散層上之矽化物膜更厚。注意形成於閘極上之矽化物膜至少為形成於源-汲擴散層上之矽化物膜厚度之1.2倍。

相反地，可形成矽氧化物膜於作為閘極之多晶矽膜10上及使用矽氮化物膜用以形成閘側壁膜22。此種例中，形成於多晶矽膜10上之矽氧化物膜係於形成矽氮化物膜於深擴散層18及30上後藉濕式蝕刻去除，俾使用於深擴散層18及30上之矽氮化物膜作為抑制鈦層矽化之膜。

前述第三具體例中，各該含括於閘極之矽化物膜12及位於源-汲擴散層上之矽化物膜20係由矽化鈦組成。但此等矽化物膜無需限於矽化鈦膜。特別此等矽化物膜可由具有高熔點金屬如鈷或鎳之矽化物組成。

又前述第三具體例中閘絕緣膜8包含矽氧化物膜。但其他絕緣膜如矽氮化物膜或矽氧氮化物膜可用於替代矽氧化物膜供形成閘絕緣膜8。又p-型矽半導體基材用於前述第二具體例。但也可使用n-型矽半導體基材。

[第四具體例]

本發明之第四具體例係關於製造具有圖4所示矽化物結構之半導體裝置，其乃根據本發明之第一具體例之半導體裝置。第四具體例中，如同第二具體例，矽化物膜12及20





五、發明說明 (23)

係由矽化鈦膜組成。又用於第四具體例之矽半導體基材2A屬於p-型導電率。

圖19至24為剖面圖合併顯示根據本發明之第四具體例之半導體裝置之製法。第四具體例係關於具有圖4所示矽化物結構之半導體裝置之製造，該結構為根據本發明之第一具體例之半導體裝置。

第一步驟中，元件隔離區4係如圖19所示藉埋置元件分隔方法形成於p-型矽半導體基材2A於約300毫微米深度。然後緩衝氧化物膜係以約10毫微米厚度形成於p-型矽半導體基材2A表面上於位於二毗鄰元件隔離區4間之元件形成區。

於形成緩衝氧化物膜後，n-型阱6、p-型阱24及通路區係藉離子植入於元件形成區於p-型矽半導體基材2A上形成。離子植入如同第二具體例係於尋常條件下進行。然後緩衝氧化物膜被去除，接著藉熱氧化法或LPCVD法形成厚度為2.5毫微米至6.0毫微米之由矽氧化物膜組成之閘絕緣膜8。又作為閘極之多晶矽膜10係以200毫微米厚度藉LPCVD法形成於閘絕緣膜8上。

如此形成之多晶矽膜10塗布以光化抗蝕膜，接著藉微影術方法、X-光照相法或電子束曝光法對光化抗蝕膜製作圖樣。然後多晶矽膜10利用反應性離子蝕刻(RIE)方法蝕刻而形成閘極。

形成閘極後，作為源-汲區之淺擴散層16及28藉離子植入法分別形成於n-型阱6及p-型阱24。離子植入如同第二

五、發明說明 (24)

具體例係於尋常條件下進行。

次一步驟中，矽氮化物膜係藉LPCVD方法沉積於p-型矽半導體基材2A全表面上，接著利用RIE方法對矽氮化物膜施加各向異性蝕刻而形成閘側壁膜14於閘極側面上。然後作為源-汲區之深擴散層18及30藉離子植入法分別形成於n-型阱6及p-型阱24。離子植入如同第二具體例係於尋常條件下進行。

須注意離子植入係直接施用於作為閘極之多晶矽膜10，結果多晶矽膜10被高濃度雜質攙雜。因此攙雜雜質係藉RTA之激發退火處理激發，結果各該深擴散層18，30及作為閘極之多晶矽膜10含雜質濃度至少1.0×10^{20}厘米$^{-3}$。圖19顯示所得結構。

次一步驟中例如由BPSG組成之絕緣膜50藉LPCVD方法以約600毫微米厚度形成於全表面上，如圖20所示。然後絕緣膜50表面藉CMP(化學機械拋光)方法平坦化，接著藉CMP方法或RIE方法進行回蝕刻而以多晶矽膜10作為止層。結果多晶矽膜10表面選擇性暴露於表面，如圖21所示。

次一步驟中，鍺離子藉離子植入法選擇性植入作為閘極之多晶矽膜10之表面區，該離子植入法如圖22所示係於低加速能下進行。相信可植入硼、矽、砷或銻離子替代鍺離子。此步驟之離子植入係於加速能3至10 keV於約1.0×10^{14}至1.0×10^{15}厘米$^{-2}$劑量進行。結果多晶矽膜10表面需變成非晶性而形成非晶性層52。須注意多晶矽膜10以外區域覆蓋以絕緣膜50，如此則離子未植入特定區。

五、發明說明（25）

業界已知金屬之矽化反應於矽層具非晶性表面之例被增進。如此形成於作為閘極之多晶矽膜10上之非晶性表層52可於隨後步驟促進矽化物膜形成於多晶矽膜10。圖22顯示所得半導體裝置結構。

如圖23所示，絕緣膜50係於隨後步驟使用氟化銨藉濕式蝕刻去除。須注意於形成非晶性表層52後未施加熱處理，結果多晶矽膜10表面區保持非晶性。

次一步驟中，鈦層藉濺散法以40毫微米厚度沉積於包括多晶矽膜10之全表面上，接著於700℃藉RTA施加熱處理歷30秒。藉此熱處理，位於作為閘極之多晶矽膜10上及位於深擴散層18及30上之鈦層被轉成矽化鈦膜。然後未反應之鈦層使用硫酸及過氧化氫組成之混合溶液藉選擇性去除法選擇性去除，接著藉RTA於850℃施加加熱處理歷20秒。結果矽化鈦膜12及20分別選擇性形成於作為閘極之多晶矽膜10上及深擴散層18，30上。

須注意，如前述作為閘極之多晶矽膜10包括非晶性表層52，因而促進矽化鈦膜12於多晶矽膜10上形成。它方面，未特別增進位於深擴散層18及30上之鈦層之矽化反應。換言之，位於深擴散層18及30上之矽化物鈦膜20係以尋常速率形成。如此位於多晶矽膜10上之矽化鈦膜12製作成至少為位於深擴散層18，20上之矽化鈦膜20厚度之1.2倍。

具有圖4所示矽化物結構之半導體裝置，其為根據第一具體例之半導體裝置係藉前述步驟製備。相信MOS-FET之尋常製法可用於製備半導體裝置之隨後各步驟。

五、發明說明（26）

如前述根據本發明之第四具體例，一非晶性層選擇性形成於作為閘極之多晶矽膜10之上表面區而單獨促進閘極之矽化。結果可製備矽化物結構之半導體裝置，其中形成於閘極上之矽化物膜比形成於源-汲擴散層上之矽化物膜更厚。特定言之，形成於閘極之矽化物膜至少為形成於源-汲擴散層上之矽化物膜厚度之1.2倍。

前述第四具體例中，含括於閘極之矽化物膜12及位於源-汲擴散層之矽化物膜20係由矽化鈦組成。但此等矽化物膜無需限於矽化鈦膜。特別矽化物膜係由具高熔點金屬如鈷或鎳之矽化物組成。

又閘絕緣膜8係於前述第四具體例由矽氧化物膜組成。但其他絕緣膜例如矽氮化物膜或矽氧氮化物膜可用於替代矽氧化物膜供形成閘絕緣膜8。又p-型矽半導體基材用於前述第二具體例。但也可使用n-型矽半導體基材。

[第五具體例]

本發明之第五具體例係關於製造具有圖4所示矽化物結構之半導體裝置，其乃根據本發明之第一具體例之半導體裝置。第五具體例中，如同第二具體例，矽化物膜12及20係由矽化鈦膜組成。又用於第四具體例之矽半導體基材2A屬於p-型導電率。

圖25至27為剖面圖合併顯示根據本發明之第五具體例之半導體裝置之製法。第五具體例係關於具有圖4所示矽化物結構之半導體裝置之製造，該結構為根據本發明之第一具體例之半導體裝置。

五、發明說明 (27)

第一步驟中，元件隔離區4係如圖25所示藉埋置元件分隔方法形成於p-型矽半導體基材2A於約300毫微米深度。然後緩衝氧化物膜係以約10毫微米厚度形成於p-型矽半導體基材2A表面上於位於二毗鄰元件隔離區4間之元件形成區。

於形成緩衝氧化物膜後，n-型阱6、p-型阱24及通路區係藉離子植入於元件形成區於p-型矽半導體基材2A上形成。離子植入如同第二具體例係於尋常條件下進行。然後緩衝氧化物膜被去除，接著藉熱氧化法或LPCVD法形成厚度為2.5毫微米至6.0毫微米之由矽氧化物膜組成之閘絕緣膜8。又作為閘極之非晶性矽膜60係以200毫微米厚度藉LPCVD法形成於閘絕緣膜8上。

如此形成之非晶性矽膜60塗布以光化抗蝕膜，接著藉微影術方法、X-光照相法或電子束曝光法對光化抗蝕膜製作圖樣。然後非晶性矽膜60利用反應性離子蝕刻(RIE)方法蝕刻而形成閘極。

形成閘極後，作為源-汲區之淺擴散層16及28藉離子植入法分別形成於n-型阱6及p-型阱24。離子植入如同第二具體例係於尋常條件下進行。

次一步驟中，矽氮化物膜係藉LPCVD方法沉積於p-型矽半導體基材2A全表面上，接著利用RIE方法對矽氮化物膜施加各向異性蝕刻而於作為閘極之非晶性矽膜60側面上形成閘側壁膜14。然後作為源-汲區之深擴散層18及30藉離子植入法分別形成於n-型阱6及p-型阱24。離子植入如同

五、發明說明（28）

第二具體例係於尋常條件下進行。

須注意為了防止非晶性矽膜60轉成多晶矽膜，於沉積非晶性矽層60後須儘可能避免加熱處理步驟。圖25顯示所得半導體裝置結構。

次一步驟中，鈦層62藉濺散方法以40毫微米厚度沉積於包括之非晶性矽層60全表面上，接著於700℃藉RTA施加熱處理歷30秒。藉此熱處理，位於作為閘極之非晶性矽層60上及位於深擴散層18及30上之鈦層被轉成矽化鈦膜。然後未反應之鈦層使用硫酸及過氧化氫組成之混合溶液藉選擇性去除法選擇性去除，接著藉RTA於850℃施加加熱處理歷20秒。結果矽化鈦膜12及20分別選擇性形成於作為閘極之非晶性矽層60上及深擴散層18，30上。須注意，藉RTA之第二熱處理，非晶性矽層60被轉成多晶矽膜，及含於深擴散層18及30上之攙雜劑被激發。

須注意因閘極如前述由非晶性矽層60形成，矽化鈦膜12係以高速於非晶性矽層60組成之閘極上形成。它方面，位於深擴散層18及30上之鈦層之矽化未被促進，結果矽化鈦膜20係以尋常速率形成。如此位於非晶性矽層60上之矽化鈦膜12製作成至少為位於深擴散層18，30上之矽化鈦膜20厚度之1.2倍。

具有圖4所示矽化物結構之半導體裝置，其為根據第一具體例之半導體裝置係藉前述步驟製備。相信MOS-FET之尋常製法可用於製備半導體裝置之隨後各步驟。

如前述根據本發明之第五具體例，閘極係由非晶性矽形

成，結果位於閘極上之鈦層之矽化反應被促進。結果可製備矽化物結構之半導體裝置，其中形成於閘極上之矽化物膜比形成於源-汲擴散層上之矽化物膜更厚。特定言之，形成於閘極之矽化物膜至少為形成於源-汲擴散層上之矽化物膜厚度之1.2倍。

前述第五具體例中，含括於閘極之矽化物膜12及位於源-汲擴散層之矽化物膜20係由矽化鈦組成。但此等矽化物膜無需限於矽化鈦膜。特別矽化物膜係由具高熔點金屬如鈷或鎳之矽化物組成。

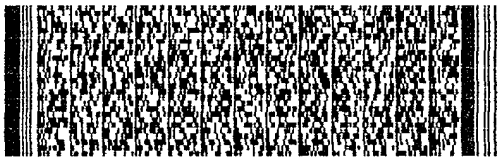
又閘絕緣膜8係於前述第五具體例由矽氧化物膜組成。但其他絕緣膜例如矽氮化物膜或矽氧氮化物膜可用於替代矽氧化物膜供形成閘絕緣膜8。又p-型矽半導體基材用於前述第五具體例。但也可使用n-型矽半導體基材。

[第六具體例]

本發明之第六具體例係關於製造具有圖4所示矽化物結構之半導體裝置，其乃根據本發明之第一具體例之半導體裝置。第六具體例中，如同第二具體例，矽化物膜12及20係由矽化鈦膜組成。又用於第四具體例之矽半導體基材2A屬於p-型導電率。

圖28至32為剖面圖合併顯示根據本發明之第六具體例之半導體裝置之製法。第六具體例係關於具有圖4所示矽化物結構之半導體裝置之製造，該結構為根據本發明之第一具體例之半導體裝置。

第一步驟中，元件隔離區4係如圖28所示藉埋置元件分





五、發明說明 (30)

隔方法形成於p-型矽半導體基材2A於約300毫微米深度。然後緩衝氧化物膜係以約10毫微米厚度形成於p-型矽半導體基材2A表面上於位於二毗鄰元件隔離區4間之元件形成區。

於形成緩衝氧化物膜後，n-型阱6、p-型阱24及通路區係藉離子植入於元件形成區於p-型矽半導體基材2A上形成。離子植入如同第二具體例係於尋常條件下進行。然後緩衝氧化物膜被去除，接著藉熱氧化法或LPCVD法形成厚度為2.5毫微米至6.0毫微米之由矽氧化物膜組成之閘絕緣膜8。又作為閘極之多晶矽膜10係以200毫微米厚度藉LPCVD法形成於閘絕緣膜8上。

如此形成之多晶矽膜10塗布以光化抗蝕膜，接著藉微影術方法、X-光照相法或電子束曝光法對光化抗蝕膜製作圖樣。然後多晶矽膜10利用反應性離子蝕刻(RIE)方法蝕刻而形成閘極。

形成閘極後，作為源-汲區之淺擴散層16及28藉離子植入法分別形成於n-型阱6及p-型阱24。離子植入如同第二具體例係於尋常條件下進行。

次一步驟中，矽氮化物膜係藉LPCVD方法沉積於p-型矽半導體基材2A全表面上，接著利用RIE方法對矽氮化物膜施加各向異性蝕刻而形成閘側壁膜14於作為閘極之非晶性矽膜60側面上。然後作為源-汲區之深擴散層18及30藉離子植入法分別形成於n-型阱6及p-型阱24。離子植入如同第二具體例係於尋常條件下進行。

五、發明說明（31）

須注意雜質離子係直接植入作為閘極之多晶矽膜10，結果多晶矽膜10被高濃度雜質攙雜。因此攙雜雜質係藉RTA之激發退火處理激發，結果各該深擴散層18，30及作為閘極之多晶矽膜10含雜質濃度至少1.0×10^{20}厘米$^{-3}$。

次一步驟中，鈦層以20至30毫微米厚度藉濺散法沉積於全表面上，接著於700℃藉RTA加熱處理歷30秒。藉此加熱處理，位於作為閘極之多晶矽膜10上及位於深擴散層18及30上之鈦層被轉成矽化鈦膜。然後未反應鈦層藉由選擇性去除法使用硫酸及過氧化氫組成之混合溶液選擇性去除，接著藉RTA於850℃施加熱處理歷20秒。結果矽化鈦膜70及20選擇性形成於作為閘極之多晶矽膜10上及形成於深擴散層18，30上。

矽化鈦膜70及20厚度大致彼此相等係藉前述矽化物結構之概略製法於作為閘極之多晶矽膜10上及深擴散層18及30上形成。但須注意沉積於多晶矽膜10及深擴散層18及30上之鈦層係比形成於前述其他具體例之層更薄。結果於第六具體例形成之矽化鈦膜70及20比先前所述其他具體例形成之矽化鈦膜更薄。圖28顯示所得半導體裝置結構。

次一步驟中，例如由BPSG組成之絕緣膜72藉LPCVD方法以約600毫微米厚度沉積p-型矽半導體基材2A之全表面上，如圖29所示。然後絕緣膜72表面藉化學機械拋光（CMP）方法平坦化，接著藉CMP方法或RIE方法使用多晶矽膜10作為止層而回蝕刻絕緣膜，如此選擇性單獨暴露出矽化鈦膜70表面，如圖30所示。

五、發明說明 (32)

然後鈦層74係以40毫微米厚度藉濺散法沉積，如圖31所示，接著於700℃藉RTA經由施加加熱處理歷30秒。藉此加熱處理，位於形成於多晶矽膜10上之矽化鈦膜70上之鈦層被轉成矽化鈦層。然後未反應鈦層使用硫酸及過氧化氫組成之混合溶液藉選擇性去除法選擇性去除，如圖32所示，接著藉RTA於850℃施加熱處理歷20秒。結果矽化鈦膜12進一步形成於矽化鈦膜70上。

如前述，額外矽化鈦膜選擇性形成於位於作為閘極之多晶矽膜10上之矽化鈦膜70上。如此位於多晶矽膜10上之矽化鈦膜12變成至少為位於深擴散層18及30上之矽化鈦膜20厚度之1.2倍。

具有矽化物結構之半導體裝置顯示於圖4，此乃根據第一具體例之半導體裝置且係經由前述步驟製備。相信MOS-FET之尋常製法可用於隨後半導體裝置之各製造步驟。

如前述，根據本發明之第六具體例，矽化物結構係藉尋常製法製備，接著選擇性暴露位於閘極之矽化物膜表面，而其他區以絕緣膜覆蓋。此種情況下，矽化物膜係剛形成於位於閘極之矽化物膜上。如此可製造一種矽化物結構之半導體裝置，其中位於閘極之矽化物膜製作成比位於源-汲擴散層之矽化物膜相對更厚。須注意位於閘極之矽化物膜厚度至少為位於源-汲擴散層之矽化物膜厚度之1.2倍。

前述第六具體例中，含括於閘極之矽化物膜12及位於源-汲擴散層之矽化物膜20係由矽化鈦組成。但此等矽化物

五、發明說明 (33)

膜無需限於矽化鈦膜。特別矽化物膜係由具高熔點金屬如鈷或鎳之矽化物組成。

又，閘絕緣膜8係於前述第六具體例由矽氧化物膜組成。但其他絕緣膜例如矽氮化物膜或矽氧氮化物膜可用於替代矽氧化物膜供形成閘絕緣膜8。又p-型矽半導體基材用於前述第五具體例。但也可使用n-型矽半導體基材。

如前述為了於具有矽化物結構之MIS結構之半導體裝置達成高速作業，需要縮短閘延遲時間。為了達成此目的絕對必須降低閘極電阻。如此需要降低位於閘極之矽化物膜之片電阻。因此需加厚位於閘極之矽化物膜厚度。

它方面，於形成尋常厚度之矽化物膜或比尋常矽化物膜更厚之矽化物膜之例，必須形成源-汲擴散層而組成深接面俾便防止於源-汲擴散層接面之漏電流。結果可使短通路效應變顯著，因而妨礙半導體裝置之微型化。

須注意就此方面而言，於位於源-汲擴散層之矽化物膜中，矽化物膜之片電阻相對於總寄生電阻僅占小比例，結果即使矽化物膜製作成比習知半導體裝置使用之矽化物膜更薄俾便微縮半導體裝置也不會造成問題。

它方面，本發明方法可於閘極上形成矽化物膜，其係比習知裝置使用膜更厚；及可形成矽化物膜於源-汲擴散層上其係比習知裝置使用者更薄。換言之本發明方法可解決習知方法固有之兩種問題。特定言之，本發明可同時增加位於閘極之矽化物膜厚度及縮小位於源-汲擴散層之矽化物膜厚度。

五、發明說明 (34)

重複言之，本發明提供一種矽化物裝置包含具有矽化物結構之MIS電晶體，其中位於閘極之矽化物膜製作成至少為位於源-汲擴散層之矽化物膜之1.2倍厚。本發明之特定半導體裝置可微型化及可以高速作業。本發明也提供一種製造特定半導體裝置之方法。

如前述本發明係針對具有矽化物結構之半導體裝置，及提供一種半導體裝置其中位於閘極之矽化物膜製作成比位於源-汲擴散層之矽化物膜厚度厚，因而可微型化半導體裝置及達成高速作業。

本發明也提供一種製造具有矽化物結構之半導體裝置之方法，其中位於閘極之矽化物膜製作成比位於源-汲擴散層之矽化物膜更厚。

其他優點及修改對業界人士顯然易知。因此就廣義而言本發明並非限於此處所示及所述之特定細節。如此可未悖離如隨附之申請專利範圍及其相當例界定之本發明之概略構想之精髓及範圍做出多種修改。

四、中文發明摘要 （發明之名稱：包含用以覆蓋閘極及源-汲擴散層而形成之金屬矽化物膜之半導體裝置及其製造方法）

本發明提供一種半導體裝置，包含一半導體基材，一閘絕緣膜形成於半導體基材上，一閘極形成於閘絕緣膜上，及一源-汲擴散層形成於半導體基材內部於閘極附近。矽化物膜形成於各閘極及源-汲擴散層。位於閘極之矽化物膜比位於源-汲擴散層之矽化物膜更厚。本發明也提供一種半導體裝置之製法，其中係使閘極形成於覆蓋半導體基材之閘絕緣膜上，接著形成源-汲擴散層於半導體基材內部。然後，將抑制矽化反應之原子選擇性引進源-汲擴散層，接著形成具有高熔點之金屬膜於各閘極及源-汲擴散層上。而後，將高熔點金屬膜轉成矽化物膜而形成選擇性於閘極及源-汲擴散層上之矽化物膜。此特殊方法可允許矽化物膜於源-汲擴散層上延遲形成，故可獲得形成於閘

英文發明摘要 （發明之名稱：SEMICONDUCTOR DEVICE COMPRISING METAL SILICIDE FILMS FORMED TO COVER GATE ELECTRODE AND SOURCE-DRAIN DIFFUSION LAYERS AND METHOD OF MANUFACTURING THE SAME）

The present invention provides a semiconductor device, comprising a semiconductor substrate, a gate insulating film formed on the semiconductor substrate, a gate electrode formed on the gate insulating film, and source-drain diffusion layer formed within the semiconductor substrate in the vicinity of the gate electrode. A silicide film is formed on each of the gate electrode and the source-drain diffusion layer. The silicide film positioned on the gate electrode is thicker than





四、中文發明摘要 （發明之名稱：包含用以覆蓋閘極及源-汲擴散層而形成之金屬矽化物膜之半導體裝置及其製造方法）

極上之矽化物膜，比形成於源-汲擴散層上之矽化物膜更厚之具有矽化物結構的半導體裝置。

英文發明摘要 （發明之名稱：SEMICONDUCTOR DEVICE COMPRISING METAL SILICIDE FILMS FORMED TO COVER GATE ELECTRODE AND SOURCE-DRAIN DIFFUSION LAYERS AND METHOD OF MANUFACTURING THE SAME）

the silicide film positioned on the source-drain diffusion layer. The present invention also provides a method of manufacturing a semiconductor device, in which a gate electrode is formed on a gate insulating film convring a semiconductor substrate, followed by forming a source-drain diffusion layer within the semiconductor substrate. Then, atoms inhibiting a silicidation are selectively introduced into the source-drain diffusion layer, followed by forming a film of a



四、中文發明摘要 （發明之名稱：包含用以覆蓋閘極及源-汲擴散層而形成之金屬矽化物膜之半導體裝置及其製造方法）

英文發明摘要 （發明之名稱：SEMICONDUCTOR DEVICE COMPRISING METAL SILICIDE FILMS FORMED TO COVER GATE ELECTRODE AND SOURCE-DRAIN DIFFUSION LAYERS AND METHOD OF MANUFACTURING THE SAME）

metal having a high melting point on each of the gate electrode and the source-drain diffusion layer. The film of the high melting point metal is converted into a silicide film to form silicide films selectively on the gate electrode and the source-drain diffusion layer. The particular method permits retarding the formation of the silicide film on the source-drain diffusion layer so as to make it possible to obtain a semiconductor device of a salicide structure in

四、中文發明摘要 （發明之名稱：包含用以覆蓋閘極及源-汲擴散層而形成之金屬矽化物膜之半導體裝置及其製造方法）

英文發明摘要 （發明之名稱：SEMICONDUCTOR DEVICE COMPRISING METAL SILICIDE FILMS FORMED TO COVER GATE ELECTRODE AND SOURCE-DRAIN DIFFUSION LAYERS AND METHOD OF MANUFACTURING THE SAME）

which the silicide film formed on the gate electrode is thicker than the silicide film formed on the source-drain diffustion layer.

六、申請專利範圍

1. 一種半導體裝置，其包含：

一源-汲擴散層形成於一半導體基材上；

一第一矽化物膜形成於源-汲擴散層上；

一閘極形成於位於半導體基材上之閘絕緣膜上；及

一第二矽化物膜係位於閘極上且比第一矽化物膜更厚。

2. 如申請專利範圍第1項之半導體裝置，其中該形成於閘極上之第二矽化物膜之厚度至少為形成於源-汲擴散層上之第一矽化物膜厚度之1.2倍。

3. 如申請專利範圍第1項之半導體裝置，其中有一閘側壁膜形成於閘極側面上。

4. 如申請專利範圍第1項之半導體裝置，其中該源-汲擴散層包含一淺擴散層及一深擴散層而形成一LLD(輕度攙雜汲)結構。

5. 如申請專利範圍第1項之半導體裝置，其中該閘極係由多晶矽膜組成。

6. 一種製造半導體裝置之方法，其包含：

形成一閘絕緣膜於一半導體基材上之步驟；

形成一閘極於閘絕緣膜上之步驟；

形成一源-汲擴散層於半導體基材之步驟；

選擇性引進可抑制矽化的原子至源-汲擴散層內之步驟；

形成一具有高熔點金屬膜於閘極及源-汲擴散層上之步驟；及

六、申請專利範圍

將高熔點金屬膜轉變成矽化物膜而選擇性於閘極上及源-汲擴散層上形成矽化物膜之步驟。

7. 如申請專利範圍第6項之製造半導體裝置之方法，其中該用於抑制矽化之原子係選自包括氟，氮及氧之集團者。

8. 如申請專利範圍第6項之製造半導體裝置之方法，其中該用於抑制矽化之原子係利用離子植入引進源-汲擴散層內。

9. 一種製造半導體裝置之方法，其包含：

形成一閘絕緣膜於一半導體基材上之步驟；

形成一閘極於閘絕緣膜上之步驟；

形成一源-汲擴散層於半導體基材之步驟；

形成一抑制矽化膜於源-汲擴散層上之步驟；

形成一具有高熔點金屬膜於閘極及於源-汲擴散層上之步驟；及

將高熔點金屬膜轉變成矽化物膜而選擇性於閘極上及源-汲擴散層上形成矽化物膜之步驟。

10. 如申請專利範圍第9項之製造半導體裝置之方法，其中該用於抑制矽化之膜係選自包括氧化物膜及氮化物膜。

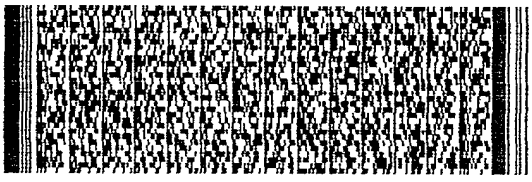
11. 一種製造半導體裝置之方法，其包含：

形成一閘絕緣膜於一半導體基材上之步驟；

形成一閘極於閘絕緣膜上之步驟；

形成一源-汲擴散層於半導體基材之步驟；

形成一絕緣膜於閘極及於源-汲擴散層上之步驟；



減薄絕緣膜而暴露閘極表面但仍使源-汲擴散層保持以絕緣膜覆蓋之步驟；

引進原子至閘極表面周圍區而使閘極上部變成非晶性之步驟；

去除位於源-汲擴散層上之絕緣膜之步驟；

形成一具有高熔點金屬膜於閘極及於源-汲擴散層上之步驟；及

將高熔點金屬膜轉變成矽化物膜而選擇性於閘極上及源-汲擴散層上形成矽化物膜之步驟。

12. 如申請專利範圍第11項之製造半導體裝置之方法，其中該引進閘極表面區之原子係選自包括硼，鍺，矽，砷及銻。

13. 如申請專利範圍第11項之製造半導體裝置之方法，其中該原子係利用離子植入引進閘極表面區。

14. 一種製造半導體裝置之方法，其包含：

形成一閘絕緣膜於半導體基材上之步驟；

形成一具有閘極形狀之非晶性矽膜於閘絕緣膜上之步驟；

形成一源-汲擴散層於半導體基材之步驟；

形成一具有高熔點金屬膜於閘極及於源-汲擴散層上之步驟；及

將高熔點金屬膜轉變成矽化物膜而選擇性於閘極上及源-汲擴散層上形成矽化物膜之步驟。

15. 如申請專利範圍第14項之製造半導體裝置之方法，

六、申請專利範圍

其中該形成矽化物膜之步驟包含一加熱處理，用以將高熔點金屬膜轉成矽化物膜，及將該非晶性矽膜藉該加熱處理轉成多晶矽膜。

16. 一種製造半導體裝置之方法，其包含：

形成一閘絕緣膜於一半導體基材上之步驟；

形成一閘極於閘絕緣膜上之步驟；

形成一源-汲擴散層於半導體基材之步驟；

選擇性形成一矽化物膜於閘極及於源-汲擴散層上之步驟；

形成一絕緣膜於位於閘極及源-汲擴散層上之矽化物膜上之步驟；

減薄絕緣膜而暴露位於閘極之矽化物膜表面，但仍使位於源-汲擴散層上之矽化物膜保持以絕緣膜覆蓋之步驟；及

進一步形成一矽化物膜於暴露的矽化物膜表面之步驟。

17. 一種製造半導體裝置之方法，其包含：

形成一閘絕緣膜於一半導體基材上之步驟；

形成一閘極於閘絕緣膜上之步驟；

形成一源-汲擴散層於半導體基材之步驟；

形成具有高熔點金屬膜於閘極及於源-汲擴散層上之步驟；

將高熔點金屬膜轉變成矽化物膜而選擇性於閘極及源-汲擴散層上形成矽化物膜之步驟；



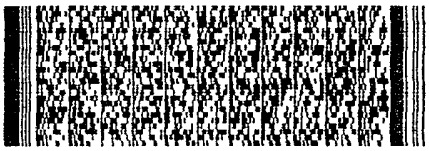
六、申請專利範圍

形成一絕緣膜於位於閘極及源-汲擴散層上之矽化物膜上之步驟；

減薄絕緣膜而暴露位於閘極之矽化物膜表面，但仍使位於源-汲擴散層上之矽化物膜保持以絕緣膜覆蓋之步驟；

形成高熔點金屬膜於位於閘極之矽化物膜上之步驟；及

將高熔點金屬膜轉變成矽化物膜而選擇性於先前形成於閘極上之矽化物膜上形成矽化物膜之步驟。



87116147

圖式

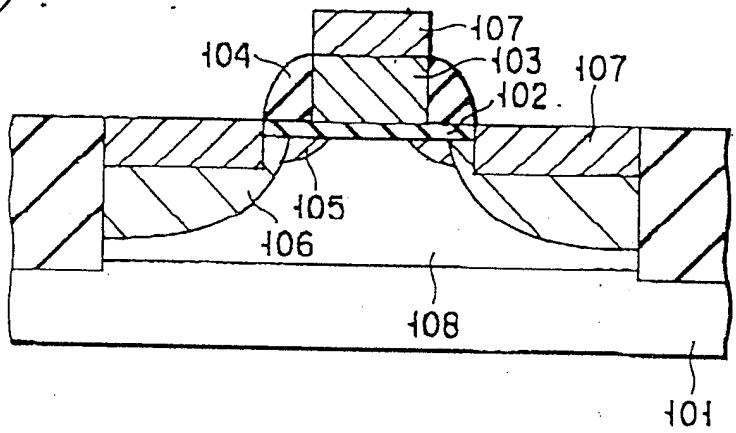


圖 1

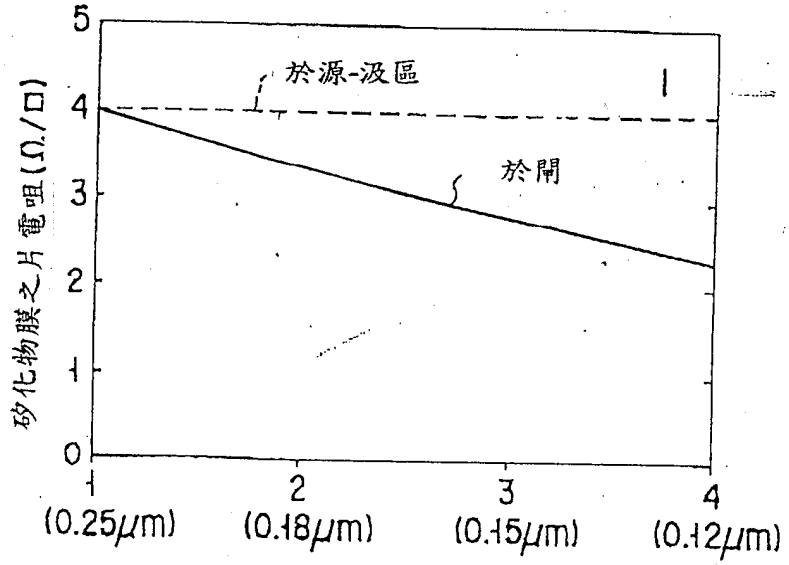


圖 2

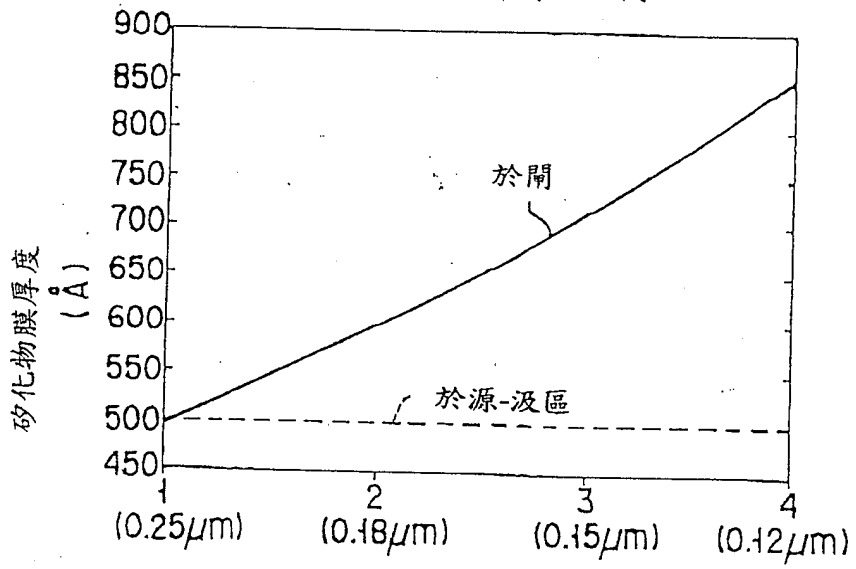


圖 3

圖式

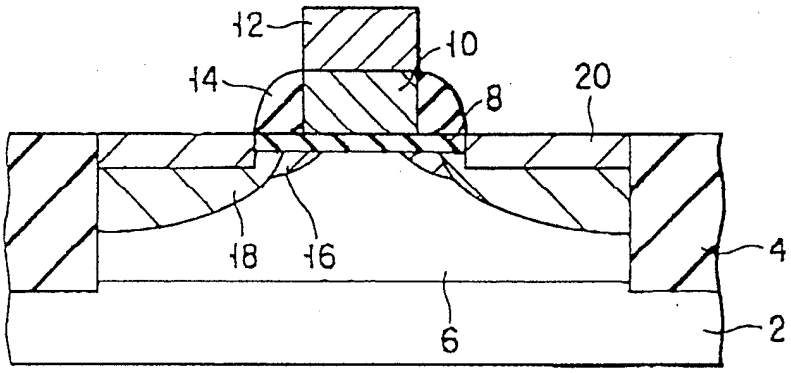


圖 4

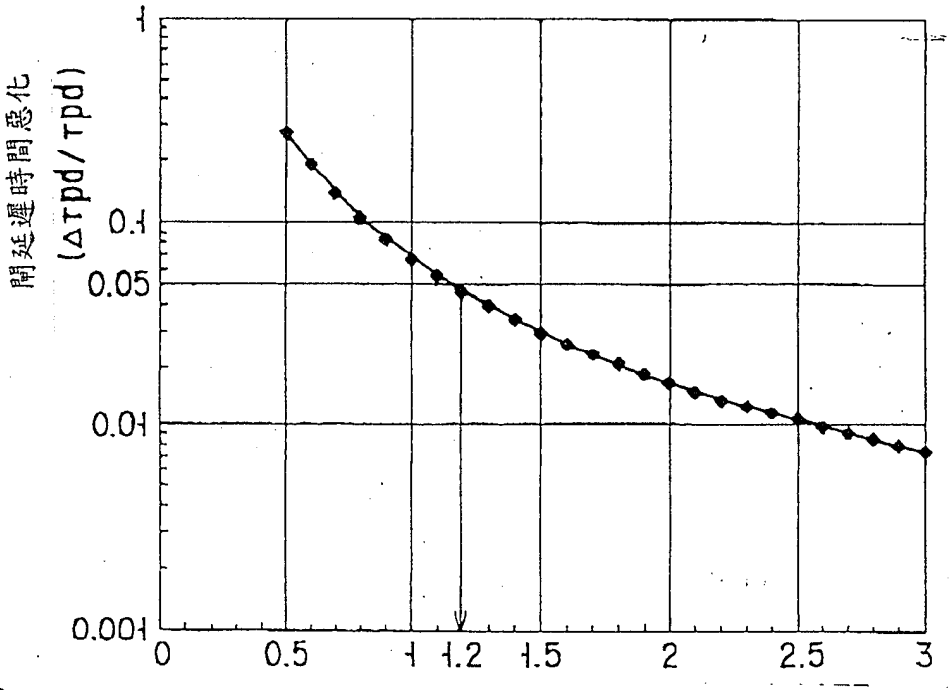


圖 5

閘極之矽化物膜厚度對源-汲極之矽化物膜厚度比(Tg/Tsd)

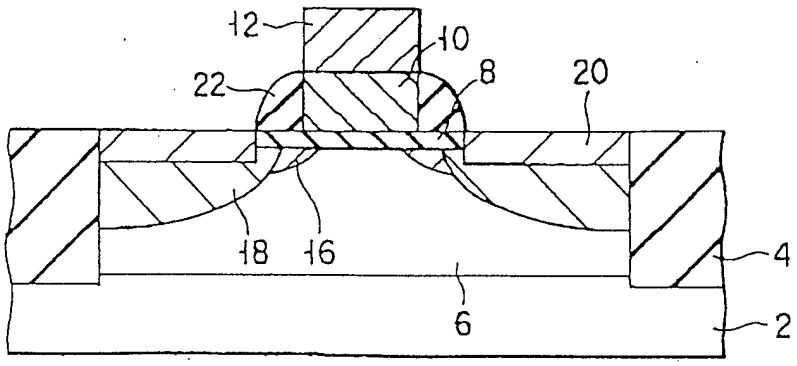


圖 6

圖式

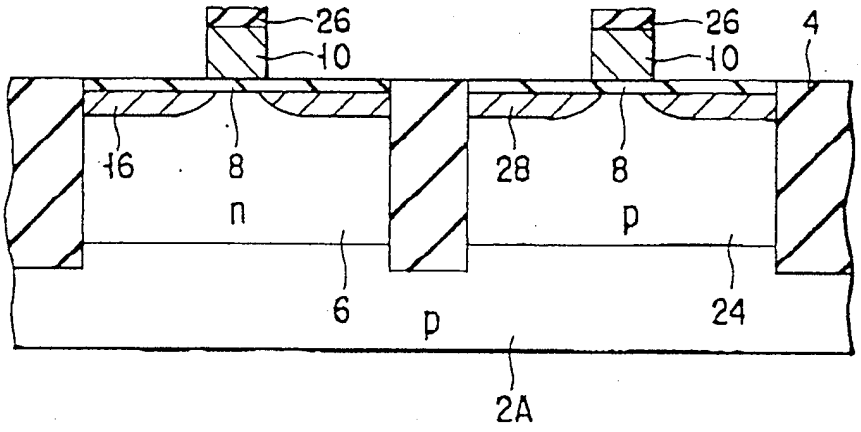


圖 7

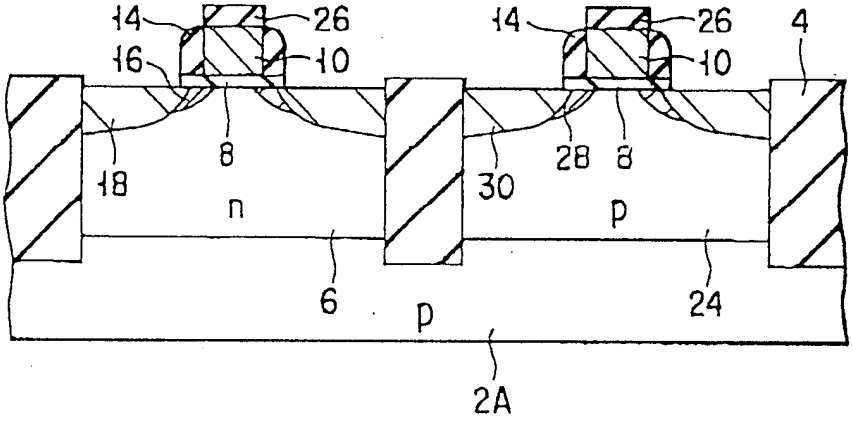


圖 8

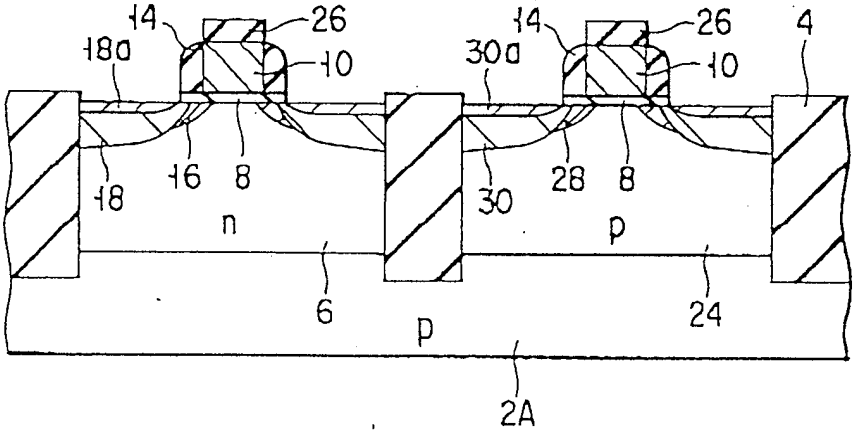


圖 9

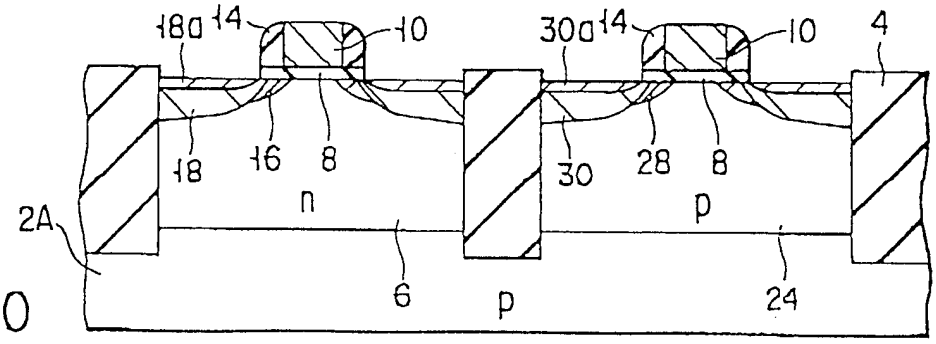


圖 10

圖式

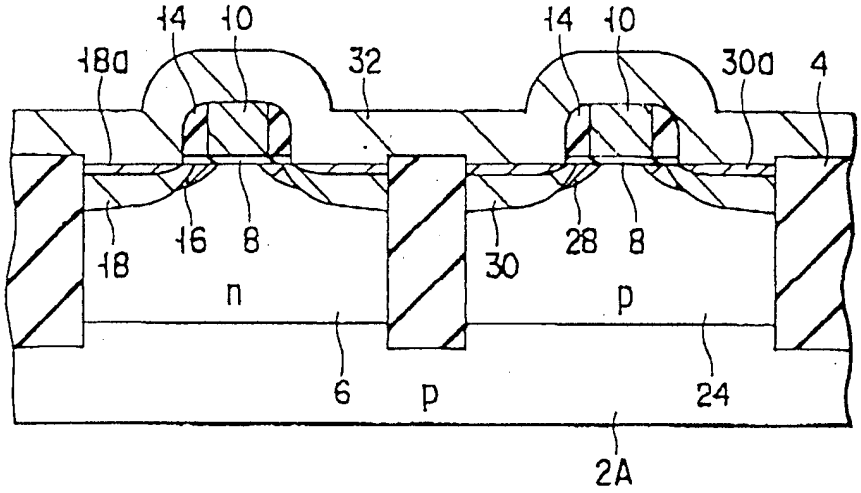


圖 11

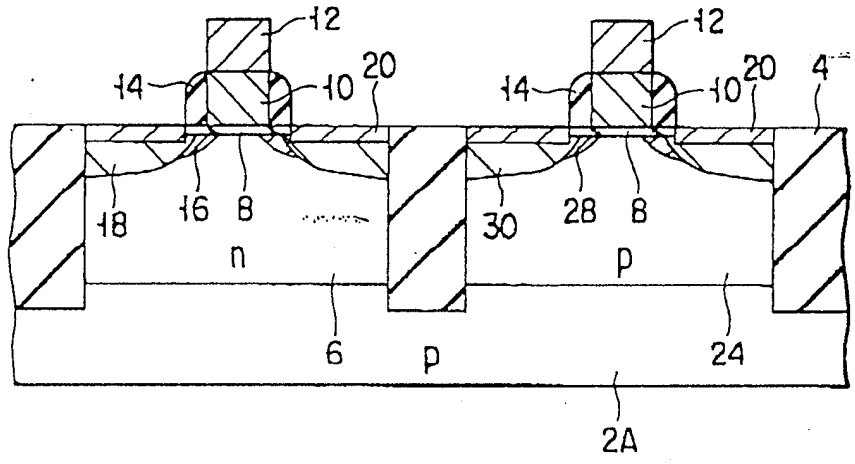


圖 12

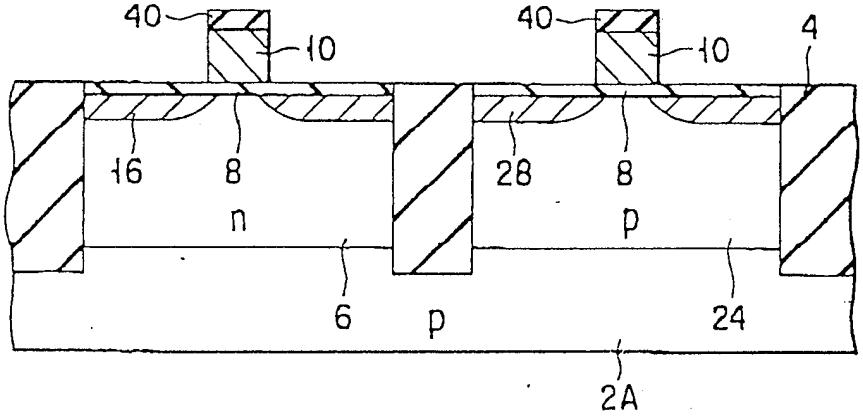


圖 13

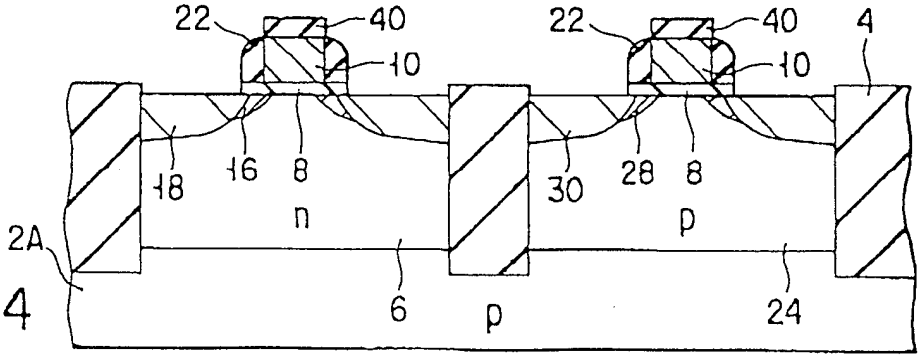


圖 14

圖式

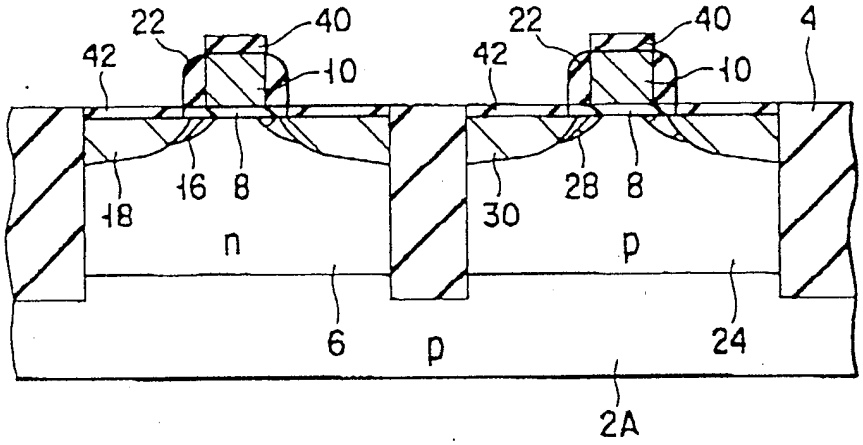


圖 15

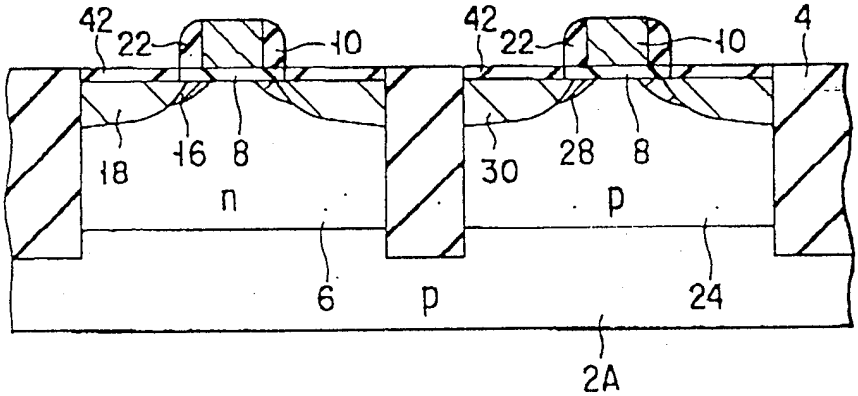


圖 16

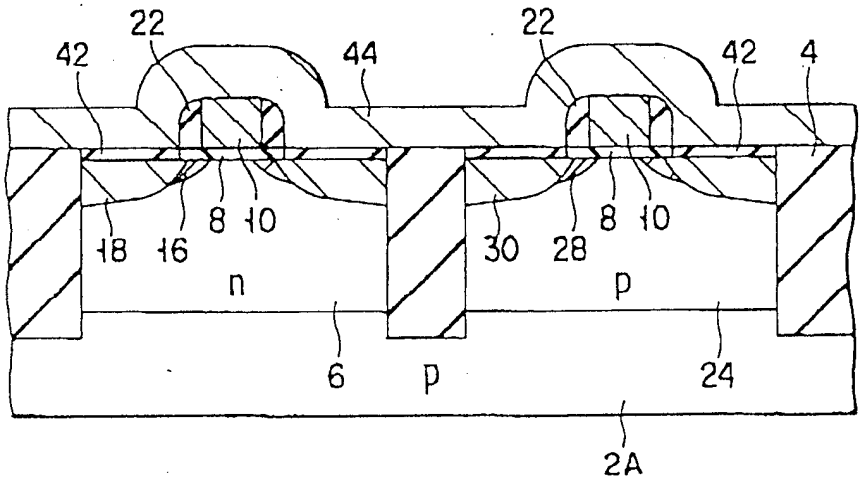


圖 17

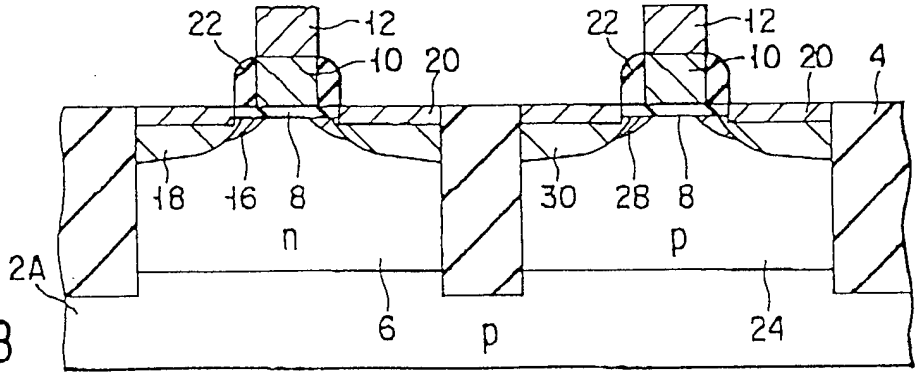


圖 18

圖式

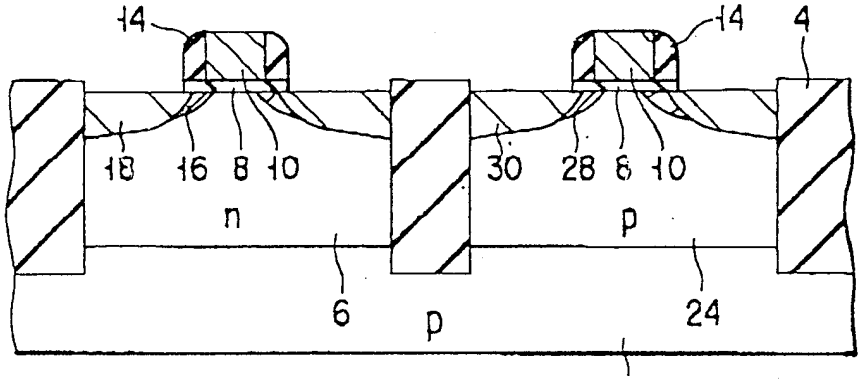


圖 19

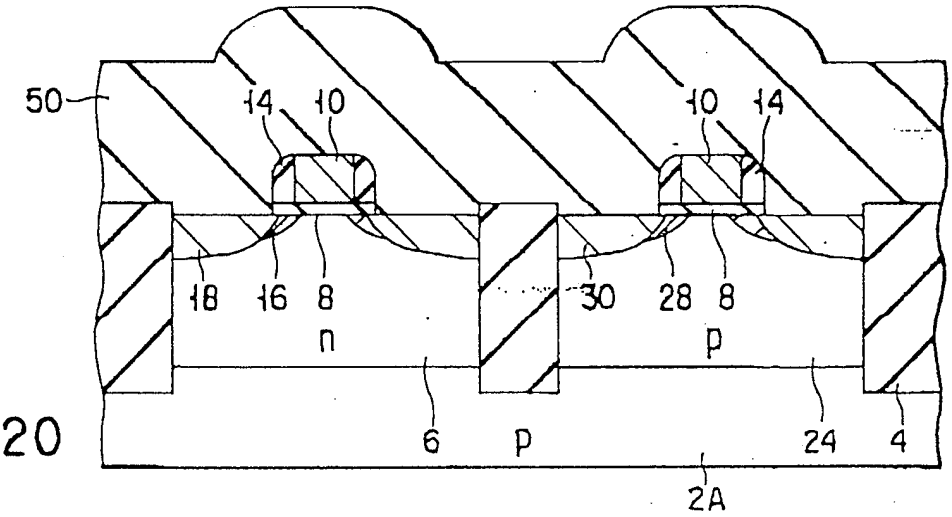


圖 20

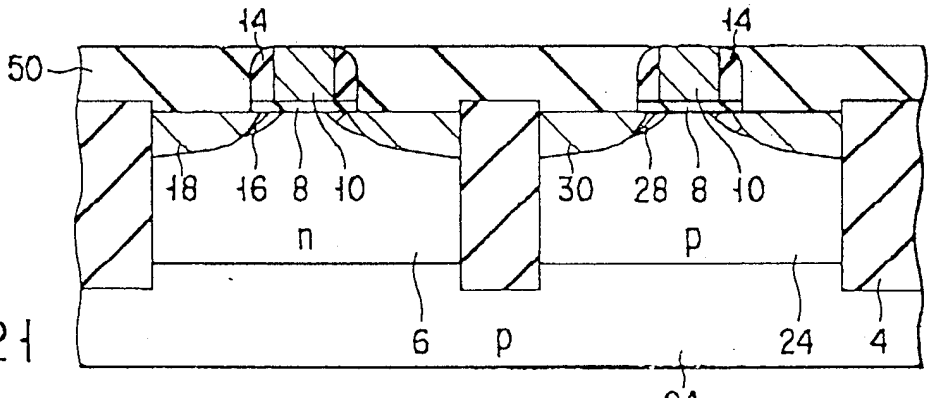


圖 21

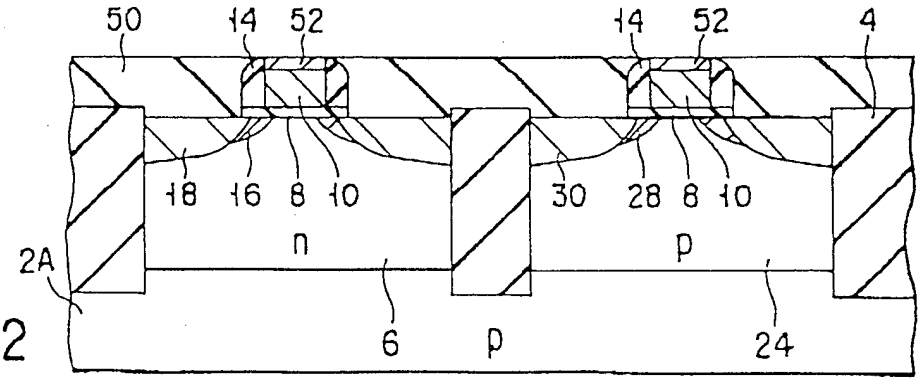


圖 22

圖式

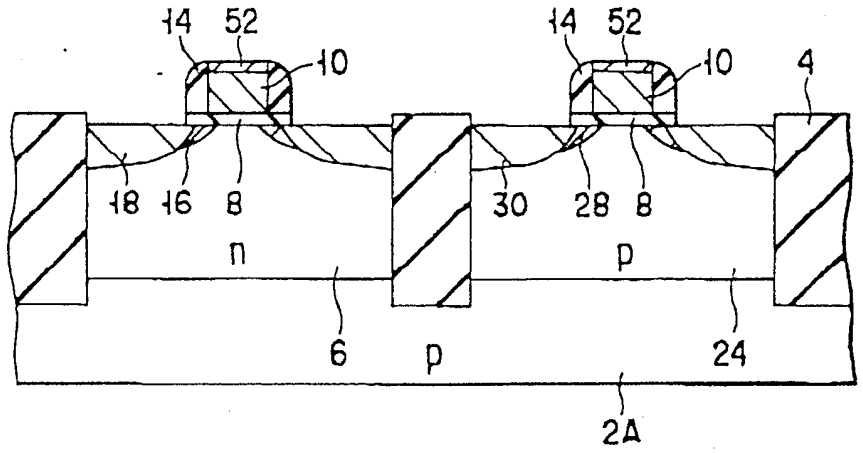


圖 23

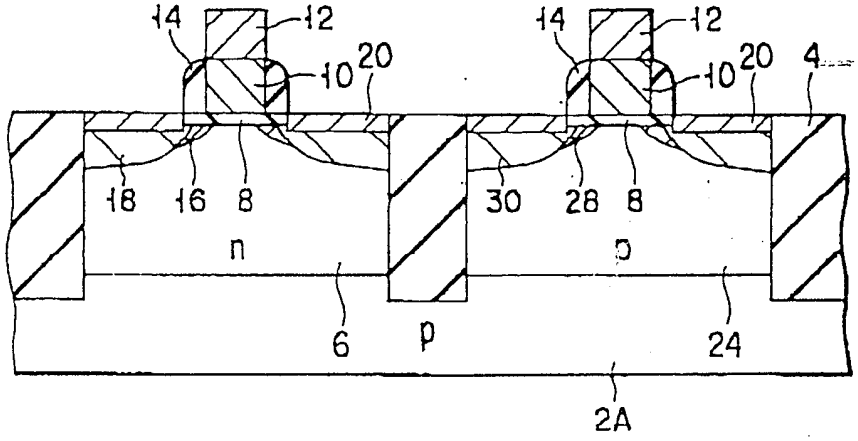


圖 24

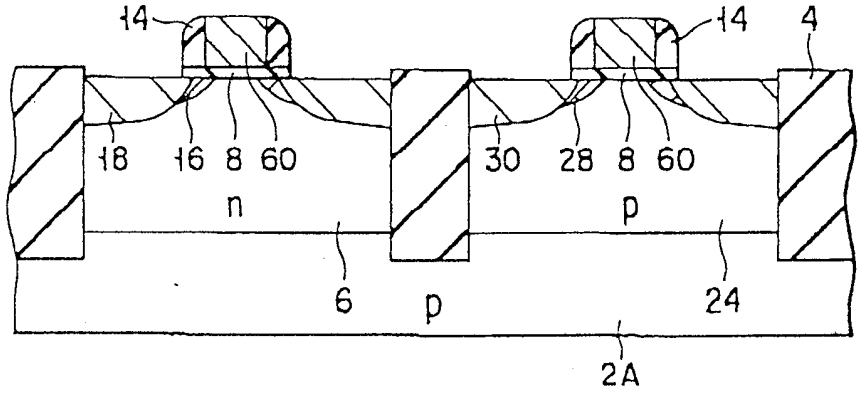


圖 25

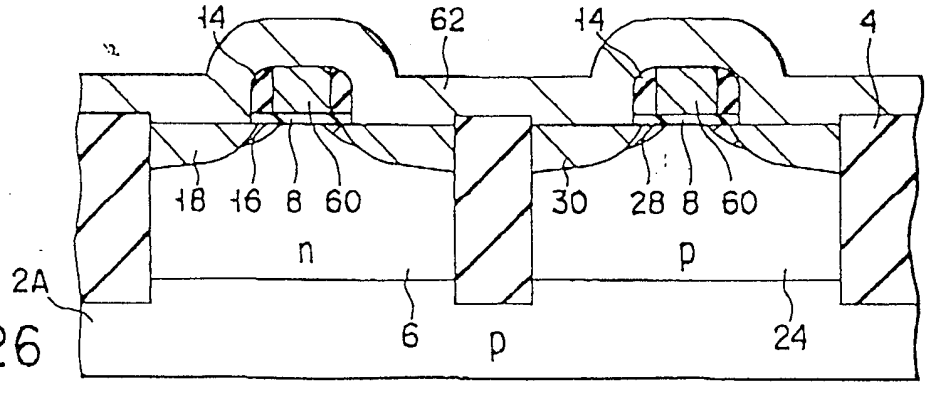


圖 26

圖式

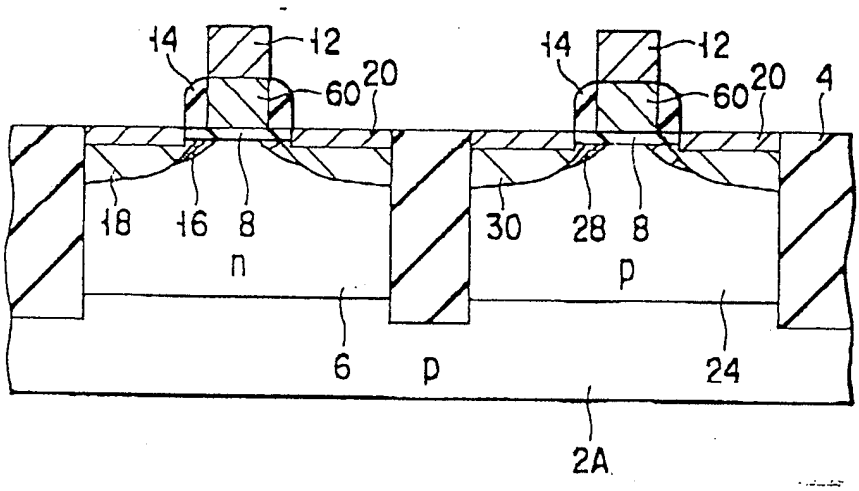


圖 27

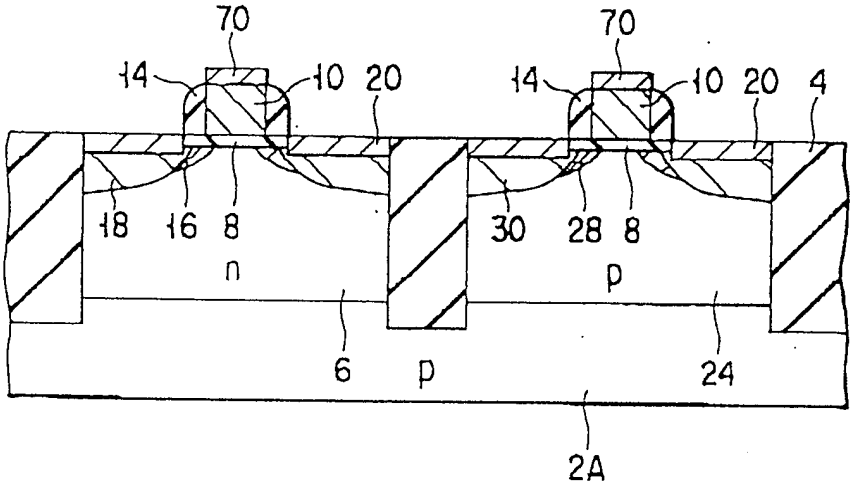


圖 28

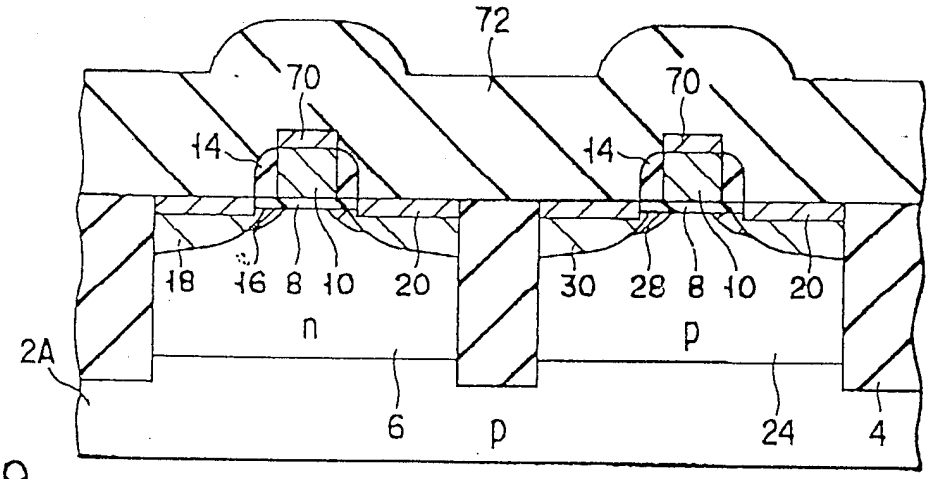


圖 29

圖式

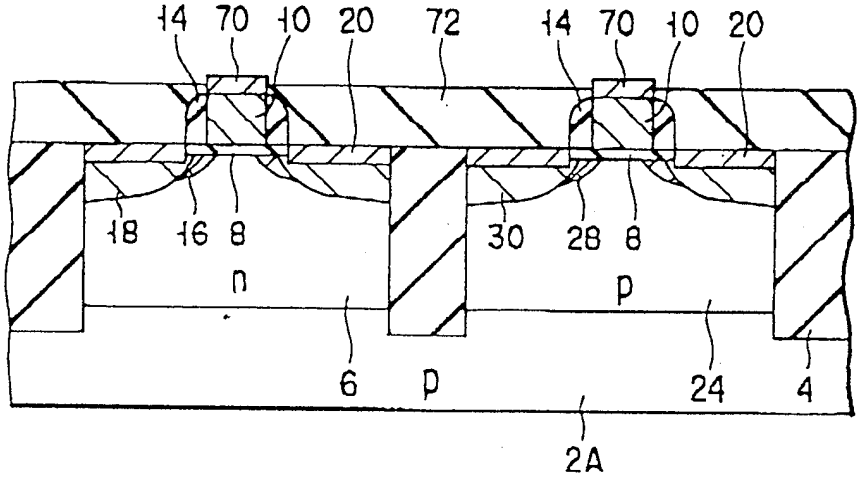


圖 30

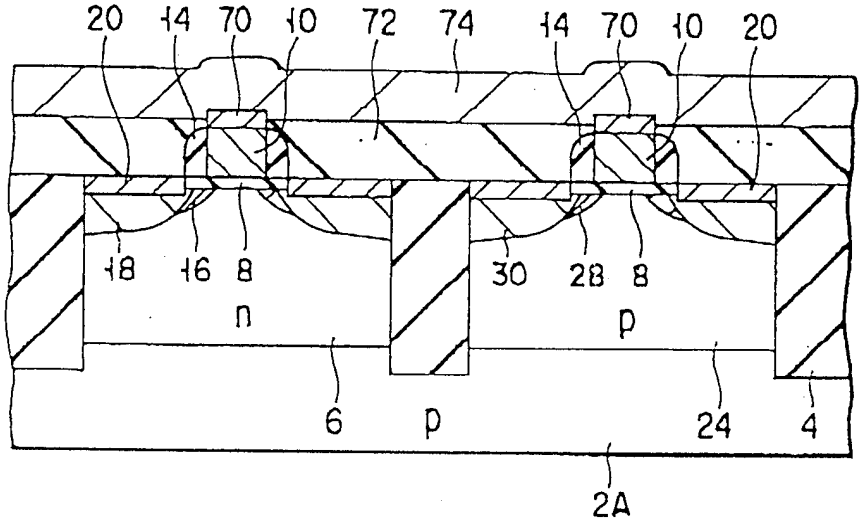


圖 31

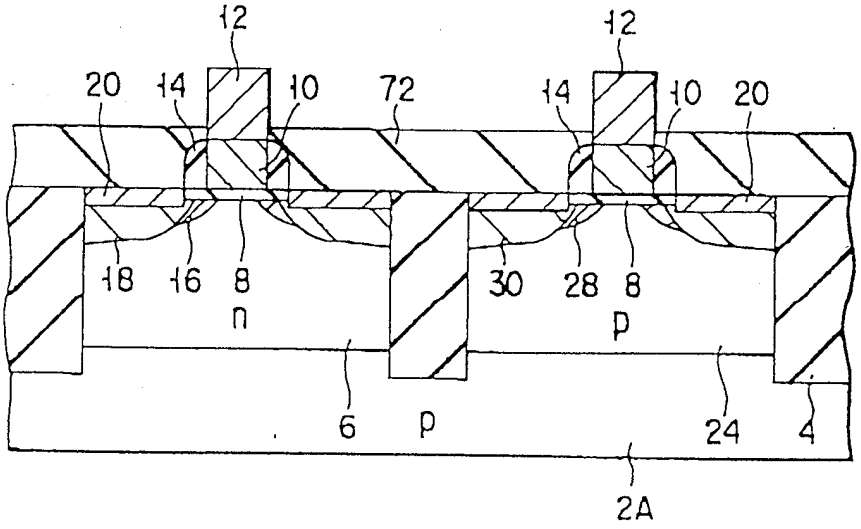


圖 32