

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年8月28日(2014.8.28)

【公表番号】特表2013-537718(P2013-537718A)

【公表日】平成25年10月3日(2013.10.3)

【年通号数】公開・登録公報2013-054

【出願番号】特願2013-524959(P2013-524959)

【国際特許分類】

H 01 L 27/092 (2006.01)

H 01 L 21/8238 (2006.01)

H 01 L 21/265 (2006.01)

H 01 L 21/76 (2006.01)

【F I】

H 01 L 27/08 3 2 1 B

H 01 L 21/265 F

H 01 L 21/76 L

【手続補正書】

【提出日】平成26年7月9日(2014.7.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

C M O Sトランジスタを製造する方法であって、

ロジックN M O SトランジスタとロジックP M O SトランジスタとI / O N M O SトランジスタとI / O P M O Sトランジスタとの隔離された領域を含む半導体基板を提供することと、

前記I / O N M O SトランジスタにP型ドーパントを注入することにより前記I / O N M O Sトランジスタの閾値電圧(V<sub>T</sub>)を設定することと、

前記ロジックN M O Sトランジスタと前記I / O P M O Sトランジスタとの双方にデイープNウェルを形成するために前記ロジックP M O Sトランジスタと前記I / O N M O Sトランジスタとをマスクして前記ロジックN M O Sトランジスタと前記I / O P M O SトランジスタにN型ドーパントを注入することにより前記I / O P M O Sトランジスタの閾値電圧(V<sub>T</sub>)を設定することと、

前記ロジックP M O SトランジスタにNウェル領域を形成するために前記設定されたV<sub>T</sub>を有する前記I / O N M O Sトランジスタと前記設定されたV<sub>T</sub>を有する前記I / O P M O Sトランジスタとの双方をマスクすることと、

前記ロジックN M O SトランジスタにPウェルを形成するために前記設定されたV<sub>T</sub>を有する前記I / O N M O Sトランジスタと前記設定されたV<sub>T</sub>を有する前記I / O P M O Sトランジスタとの双方をマスクすることと、

を含む、方法。

【請求項2】

請求項1に記載の方法であって、

前記I / O N M O Sトランジスタの閾値電圧(V<sub>T</sub>)を設定することが、前記ロジックN M O Sトランジスタと前記ロジックP M O Sトランジスタと前記I / O N M O Sトランジスタと前記I / O P M O Sトランジスタとの各々にP型ドーパントを包括的に注

入することを更に含む、方法。

【請求項 3】

請求項 2 に記載の方法であって、

前記 P 型ドーパントを包括的に注入することが、約 300 KeV ~ 約 500 KeV の範囲のエネルギーで約  $1 \times e^{12}$  atm / cm<sup>2</sup> ~ 約  $1 \times e^{13}$  atm / cm<sup>2</sup> の範囲の注入量を使用する、方法。

【請求項 4】

請求項 2 に記載の方法であって、

前記 P 型ドーパントの付加的な表面注入により前記 I / O NMOS ランジスタの設定された V<sub>T</sub> を調整することを更に含む、方法。

【請求項 5】

請求項 2 に記載の方法であって、

前記 I / O NMOS ランジスタの前記 V<sub>T</sub> が約 0.2 V ~ 約 1.0 V の範囲に設定される、方法。

【請求項 6】

請求項 1 に記載の方法であって、

前記ディープ N ウェルを形成することが、約 500 KeV ~ 約 700 KeV の範囲のエネルギーで約  $1 \times e^{13}$  atm / cm<sup>2</sup> ~ 約  $2 \times e^{13}$  atm / cm<sup>2</sup> の範囲の注入量を使用する、方法。

【請求項 7】

請求項 1 に記載の方法であって、

前記 N 型ドーパントの付加的な表面注入により前記 I / O PMOS ランジスタの前記設定された V<sub>T</sub> を調整することを更に含む、方法。

【請求項 8】

請求項 1 に記載の方法であって、

前記 I / O PMOS ランジスタの前記 V<sub>T</sub> が約 -0.2 V ~ 約 -1.0 V の範囲に設定される、方法。

【請求項 9】

請求項 1 に記載の方法であって、

前記ロジック PMOS ランジスタに前記 N ウェル領域を形成するために前記設定された V<sub>T</sub> を有する前記 I / O NMOS ランジスタと前記設定された V<sub>T</sub> を有する前記 I / O PMOS ランジスタと前記ロジック NMOS ランジスタとをマスクすることを更に含む、方法。

【請求項 10】

請求項 1 に記載の方法であって、

前記ロジック NMOS ランジスタに前記 P ウェル領域を形成するために前記設定された V<sub>T</sub> を有する前記 I / O NMOS ランジスタと前記設定された V<sub>T</sub> を有する前記 I / O PMOS ランジスタと前記ロジック PMOS ランジスタとをマスクすることを更に含む、方法。

【請求項 11】

CMOS ランジスタを製造する方法であって、

ロジック NMOS ランジスタとロジック PMOS ランジスタと I / O NMOS ランジスタと I / O PMOS ランジスタとの隔離された領域を含む半導体基板を提供することと、

約  $1 \times e^{12}$  atm / cm<sup>2</sup> より大きく約  $2 \times e^{13}$  atm / cm<sup>2</sup> までの範囲の注入量を用いて前記 I / O NMOS ランジスタの閾値電圧 (V<sub>T</sub>) を約 0.3 V ~ 約 1.0 V に設定するために前記半導体基板の各隔離された領域に P 型ドーパントを包括的に注入することと、

前記ロジック PMOS ランジスタと前記 I / O NMOS ランジスタとの双方をマスクすることと、

前記 I / O PMOS トランジスタの閾値電圧 (V<sub>T</sub>) を設定するために前記 I / O PMOS トランジスタに N 型ドーパントを注入することであって、前記ロジック NMOS トランジスタにディープ N ウェルを形成することを含む、前記 N 型ドーパントを注入することと、

前記ロジック PMOS トランジスタに N ウェル領域を形成するために前記設定された V<sub>T</sub> を有する前記 I / O NMOS トランジスタと前記設定された V<sub>T</sub> を有する前記 I / O PMOS トランジスタと前記ロジック NMOS トランジスタとをマスクすることと、

前記ロジック NMOS トランジスタに P ウェル領域を形成するために前記設定された V<sub>T</sub> を有する前記 I / O NMOS トランジスタと前記設定された V<sub>T</sub> を有する前記 I / O PMOS トランジスタと前記ロジック PMOS トランジスタとをマスクすることと、  
を含む、方法。

#### 【請求項 1 2】

請求項 1 1 に記載の方法であって、

前記 I / O PMOS トランジスタの前記 V<sub>T</sub> を設定するために前記 I / O PMOS トランジスタに前記 N 型ドーパントを注入することが、約 500 KeV ~ 約 700 KeV の範囲のエネルギーで約 1 × e<sup>13</sup> atm / cm<sup>2</sup> ~ 約 2 × e<sup>13</sup> atm / cm<sup>2</sup> の範囲の注入量を使用する、方法。

#### 【請求項 1 3】

請求項 1 1 に記載の方法であって、

前記 I / O PMOS トランジスタの閾値電圧 (V<sub>T</sub>) が約 -0.2V ~ 約 -1.0V の範囲に設定される、方法。

#### 【請求項 1 4】

請求項 1 1 に記載の方法であって、

前記ロジック NMOS トランジスタに前記 P ウェル領域を形成するために約 5 × e<sup>12</sup> atm / cm<sup>2</sup> 以上の注入量を用いることを更に含む、方法。

#### 【請求項 1 5】

CMOS トランジスタを製造する方法であって、

ロジック NMOS トランジスタとロジック PMOS トランジスタと I / O NMOS トランジスタと I / O PMOS トランジスタとの隔離された領域を含む半導体基板を提供することと、

前記 I / O NMOS トランジスタの閾値電圧 (V<sub>T</sub>) を設定するために前記半導体基板の各隔離された領域にボロンを包括的に注入することと、

表面ボロン注入により前記 I / O NMOS トランジスタの前記設定された V<sub>T</sub> を任意に調整することと、

前記ロジック PMOS トランジスタと前記 I / O NMOS トランジスタとの双方をマスクし、前記 I / O PMOS トランジスタの閾値電圧 (V<sub>T</sub>) を設定するために前記ロジック NMOS トランジスタと前記 I / O PMOS トランジスタとの双方にディープ N ウェルを形成することと、

表面 N 型注入により前記 I / O PMOS トランジスタの前記設定された V<sub>T</sub> を任意に調整することと、

前記ロジック PMOS トランジスタに N ウェル領域を形成するために前記設定された V<sub>T</sub> を有する前記 I / O NMOS トランジスタと前記設定された V<sub>T</sub> を有する前記 I / O PMOS トランジスタと前記ロジック NMOS トランジスタとをマスクすることと、

前記ロジック NMOS トランジスタに P ウェル領域を形成するために前記設定された V<sub>T</sub> を有する前記 I / O NMOS トランジスタと前記設定された V<sub>T</sub> を有する前記 I / O PMOS トランジスタと前記ロジック PMOS トランジスタとをマスクすることと、  
を含む、方法。

#### 【請求項 1 6】

請求項 1 5 に記載の方法であって、

前記 I / O PMOS トランジスタの前記 V<sub>T</sub> を設定するために前記ロジック NMOS

トランジスタと前記 I / O P M O S トランジスタとの双方に前記ディープ N ウェルを形成することが、約  $1 \times 10^{-3}$  atm / cm<sup>2</sup> ~ 約  $2 \times 10^{-3}$  atm / cm<sup>2</sup> の範囲の注入量を使用し、前記ロジック N M O S トランジスタに形成された前記 P ウェル領域が、約  $5 \times 10^{-3}$  atm / cm<sup>2</sup> 以上の注入量を使用する、方法。