

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 26 年 8 月 28 日 (2014.8.28)

【公表番号】特表 2013-537718 (P2013-537718A)  
 【公表日】平成 25 年 10 月 3 日 (2013.10.3)  
 【年通号数】公開・登録公報 2013-054  
 【出願番号】特願 2013-524959 (P2013-524959)  
 【国際特許分類】

H 0 1 L 27/092 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 21/265 (2006.01)

H 0 1 L 21/76 (2006.01)

【F I】

H 0 1 L 27/08 3 2 1 B

H 0 1 L 21/265 F

H 0 1 L 21/76 L

【手続補正書】  
 【提出日】平成 26 年 7 月 9 日 (2014.7.9)  
 【手続補正 1】  
 【補正対象書類名】特許請求の範囲  
 【補正対象項目名】全文  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

C M O S トランジスタを製造する方法であって、  
ロジック N M O S トランジスタとロジック P M O S トランジスタと I / O N M O S トランジスタと I / O P M O S トランジスタとの隔離された領域を含む半導体基板を提供することと、  
前記 I / O N M O S トランジスタに P 型ドーパントを注入することにより前記 I / O N M O S トランジスタの閾値電圧 ( $V_T$ ) を設定することと、  
前記ロジック N M O S トランジスタと前記 I / O P M O S トランジスタとの双方にデュープ N ウェルを形成するために前記ロジック P M O S トランジスタと前記 I / O N M O S トランジスタとをマスクして前記ロジック N M O S トランジスタと前記 I / O P M O S トランジスタに N 型ドーパントを注入することにより前記 I / O P M O S トランジスタの閾値電圧 ( $V_T$ ) を設定することと、  
前記ロジック P M O S トランジスタに N ウェル領域を形成するために前記設定された  $V_T$  を有する前記 I / O N M O S トランジスタと前記設定された  $V_T$  を有する前記 I / O P M O S トランジスタとの双方をマスクすることと、  
前記ロジック N M O S トランジスタに P ウェルを形成するために前記設定された  $V_T$  を有する前記 I / O N M O S トランジスタと前記設定された  $V_T$  を有する前記 I / O P M O S トランジスタとの双方をマスクすることと、  
 を含む、方法。

【請求項 2】

請求項 1 に記載の方法であって、  
前記 I / O N M O S トランジスタの閾値電圧 ( $V_T$ ) を設定することが、前記ロジック N M O S トランジスタと前記ロジック P M O S トランジスタと前記 I / O N M O S トランジスタと前記 I / O P M O S トランジスタとの各々に P 型ドーパントを包括的に注

入することを更に含む、方法。

【請求項 3】

請求項 2 に記載の方法であって、

前記 P 型ドーパントを包括的に注入することが、約 300 KeV ~ 約 500 KeV の範囲のエネルギーで約  $1 \times 10^{12}$  atm/cm<sup>2</sup> ~ 約  $1 \times 10^{13}$  atm/cm<sup>2</sup> の範囲の注入量を使用する、方法。

【請求項 4】

請求項 2 に記載の方法であって、

前記 P 型ドーパントの付加的な表面注入により前記 I/O NMOS トランジスタの設定された  $V_T$  を調整することを更に含む、方法。

【請求項 5】

請求項 2 に記載の方法であって、

前記 I/O NMOS トランジスタの前記  $V_T$  が約 0.2 V ~ 約 1.0 V の範囲に設定される、方法。

【請求項 6】

請求項 1 に記載の方法であって、

前記 ディープ N ウェルを形成することが、約 500 KeV ~ 約 700 KeV の範囲のエネルギーで約  $1 \times 10^{13}$  atm/cm<sup>2</sup> ~ 約  $2 \times 10^{13}$  atm/cm<sup>2</sup> の範囲の注入量を使用する、方法。

【請求項 7】

請求項 1 に記載の方法であって、

前記 N 型ドーパントの付加的な表面注入により前記 I/O PMOS トランジスタの前記設定された  $V_T$  を調整することを更に含む、方法。

【請求項 8】

請求項 1 に記載の方法であって、

前記 I/O PMOS トランジスタの前記  $V_T$  が約 -0.2 V ~ 約 -1.0 V の範囲に設定される、方法。

【請求項 9】

請求項 1 に記載の方法であって、

前記ロジック PMOS トランジスタに前記 N ウェル領域を形成するために前記設定された  $V_T$  を有する前記 I/O NMOS トランジスタと前記設定された  $V_T$  を有する前記 I/O PMOS トランジスタと前記ロジック NMOS トランジスタとをマスクすることを更に含む、方法。

【請求項 10】

請求項 1 に記載の方法であって、

前記ロジック NMOS トランジスタに前記 P ウェル領域を形成するために前記設定された  $V_T$  を有する前記 I/O NMOS トランジスタと前記設定された  $V_T$  を有する前記 I/O PMOS トランジスタと前記ロジック PMOS トランジスタとをマスクすることを更に含む、方法。

【請求項 11】

CMOS トランジスタを製造する方法であって、

ロジック NMOS トランジスタとロジック PMOS トランジスタと I/O NMOS トランジスタと I/O PMOS トランジスタとの隔離された領域を含む半導体基板を提供することと、

約  $1 \times 10^{12}$  atm/cm<sup>2</sup> より大きく約  $2 \times 10^{13}$  atm/cm<sup>2</sup> までの範囲の注入量を用いて前記 I/O NMOS トランジスタの閾値電圧 ( $V_T$ ) を約 0.3 V ~ 約 1.0 V に設定するために前記半導体基板の各隔離された領域に P 型ドーパントを包括的に注入することと、

前記ロジック PMOS トランジスタと前記 I/O NMOS トランジスタとの双方をマスクすることと、

前記 I / O PMOS トランジスタの閾値電圧 ( $V_T$ ) を設定するために前記 I / O PMOS トランジスタに N 型ドーパントを注入することであって、前記ロジック NMOS トランジスタにディープ N ウェルを形成することを含む、前記 N 型ドーパントを注入することと、

前記ロジック PMOS トランジスタに N ウェル領域を形成するために前記設定された  $V_T$  を有する前記 I / O NMOS トランジスタと前記設定された  $V_T$  を有する前記 I / O PMOS トランジスタと前記ロジック NMOS トランジスタとをマスクすることと、

前記ロジック NMOS トランジスタに P ウェル領域を形成するために前記設定された  $V_T$  を有する前記 I / O NMOS トランジスタと前記設定された  $V_T$  を有する前記 I / O PMOS トランジスタと前記ロジック PMOS トランジスタとをマスクすることと、を含む、方法。

#### 【請求項 12】

請求項 11 に記載の方法であって、

前記 I / O PMOS トランジスタの前記  $V_T$  を設定するために前記 I / O PMOS トランジスタに前記 N 型ドーパントを注入することが、約  $500 \text{ KeV} \sim$  約  $700 \text{ KeV}$  の範囲のエネルギーで約  $1 \times 10^{13} \text{ atm/cm}^2 \sim$  約  $2 \times 10^{13} \text{ atm/cm}^2$  の範囲の注入量を使用する、方法。

#### 【請求項 13】

請求項 11 に記載の方法であって、

前記 I / O PMOS トランジスタの閾値電圧 ( $V_T$ ) が約  $-0.2 \text{ V} \sim$  約  $-1.0 \text{ V}$  の範囲に設定される、方法。

#### 【請求項 14】

請求項 11 に記載の方法であって、

前記ロジック NMOS トランジスタに前記 P ウェル領域を形成するために約  $5 \times 10^{12} \text{ atm/cm}^2$  以上の注入量を用いることを更に含む、方法。

#### 【請求項 15】

CMOS トランジスタを製造する方法であって、

ロジック NMOS トランジスタとロジック PMOS トランジスタと I / O NMOS トランジスタと I / O PMOS トランジスタとの隔離された領域を含む半導体基板を提供することと、

前記 I / O NMOS トランジスタの閾値電圧 ( $V_T$ ) を設定するために前記半導体基板の各隔離された領域にボロンを包括的に注入することと、

表面ボロン注入により前記 I / O NMOS トランジスタの前記設定された  $V_T$  を任意に調整することと、

前記ロジック PMOS トランジスタと前記 I / O NMOS トランジスタとの双方をマスクし、前記 I / O PMOS トランジスタの閾値電圧 ( $V_T$ ) を設定するために前記ロジック NMOS トランジスタと前記 I / O PMOS トランジスタとの双方にディープ N ウェルを形成することと、

表面 N 型注入により前記 I / O PMOS トランジスタの前記設定された  $V_T$  を任意に調整することと、

前記ロジック PMOS トランジスタに N ウェル領域を形成するために前記設定された  $V_T$  を有する前記 I / O NMOS トランジスタと前記設定された  $V_T$  を有する前記 I / O PMOS トランジスタと前記ロジック NMOS トランジスタとをマスクすることと、

前記ロジック NMOS トランジスタに P ウェル領域を形成するために前記設定された  $V_T$  を有する前記 I / O NMOS トランジスタと前記設定された  $V_T$  を有する前記 I / O PMOS トランジスタと前記ロジック PMOS トランジスタとをマスクすることと、を含む、方法。

#### 【請求項 16】

請求項 15 に記載の方法であって、

前記 I / O PMOS トランジスタの前記  $V_T$  を設定するために前記ロジック NMOS

トランジスタと前記 I / O P M O S トランジスタとの双方に前記ディープ N ウェルを形成することが、約  $1 \times e^{13} \text{ atm / cm}^2$  ~ 約  $2 \times e^{13} \text{ atm / cm}^2$  の範囲の注入量を使用し、前記ロジック N M O S トランジスタに形成された前記 P ウェル領域が、約  $5 \times e^{13} \text{ atm / cm}^2$  以上の注入量を使用する、方法。