



등록특허 10-2673399



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년06월10일

(11) 등록번호 10-2673399

(24) 등록일자 2024년06월04일

(51) 국제특허분류(Int. Cl.)

HO1L 27/146 (2006.01) *HO4N 25/57* (2023.01)

HO4N 25/77 (2023.01)

(52) CPC특허분류

HO1L 27/14665 (2013.01)

HO1L 27/14605 (2013.01)

(21) 출원번호 10-2018-7010717

(22) 출원일자(국제) 2016년10월12일

심사청구일자 2021년08월27일

(85) 번역문제출일자 2018년04월16일

(65) 공개번호 10-2018-0075497

(43) 공개일자 2018년07월04일

(86) 국제출원번호 PCT/JP2016/080220

(87) 국제공개번호 WO 2017/073322

국제공개일자 2017년05월04일

(30) 우선권주장

JP-P-2015-209533 2015년10월26일 일본(JP)

(56) 선행기술조사문현

JP2014175553 A*

(뒷면에 계속)

전체 청구항 수 : 총 18 항

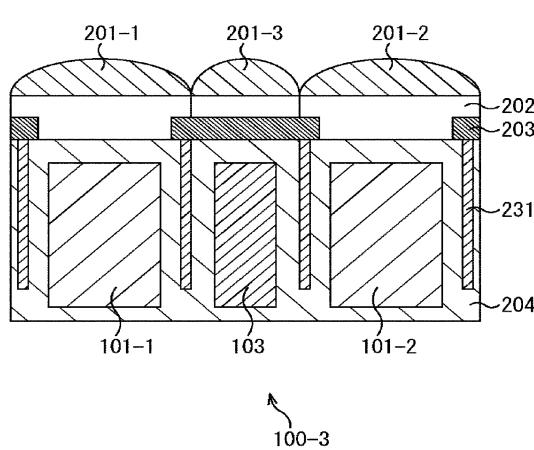
심사관 : 이창용

(54) 발명의 명칭 **활상 장치**

(57) 요 약

본 발명의 활상 장치는 기판과, 상기 기판에 형성된 제2 영역보다 큰 상기 기판에 형성된 제1 영역을 갖는 제1 광전변환부와, 상기 제2 영역을 갖는 제2 광전변환부를 포함하고, 또한, 차광벽이 상기 기판의 제1 면으로부터 연장되어 상기 차광벽의 적어도 일부가 상기 제1 광전변환부와 상기 제2 광전변환부 사이에 배치된다.

대 표 도 - 도8



(52) CPC특허분류

H01L 27/14607 (2013.01)

H01L 27/14621 (2013.01)

H01L 27/14623 (2013.01)

H01L 27/14627 (2013.01)

H01L 27/1463 (2013.01)

H01L 27/14645 (2013.01)

H04N 25/585 (2023.01)

H04N 25/771 (2023.01)

(72) 발명자

타카하시 히로츠구

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
내

마루야마 슌스케

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
내

마루야마 야스시

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
내

(56) 선행기술조사문헌

KR1020110025909 A*

US20110175981 A1*

JP2010109295 A

JP2012009539 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기판과,

상기 기판에 형성된 제2 영역보다 큰 상기 기판에 형성된 제1 영역을 갖는 제1 광전변환부와,

상기 제2 영역을 갖는 제2 광전변환부와,

상기 기판의 제1 면으로부터 연장되며, 적어도 일부가 상기 제1 광전변환부와 상기 제2 광전변환부 사이에 있는 트렌치를 포함하며,

차광막을 더 포함하고,

상기 차광막이 상기 제2 광전변환부의 상기 제2 영역의 적어도 일부의 위에 형성되고,

상기 차광막이 활상 장치의 입사광의 일부를 흡수하며,

상기 차광막이 슬릿을 포함하며,

상기 차광막의 슬릿은 상기 기판의 제1 면위에 마련되며,

상기 슬릿에 해당하는 부분은 상기 슬릿이 아닌 부분의 차광막보다 얇은 것을 특징으로 하는 활상 장치.

청구항 2

제1항에 있어서,

상기 제1 및 제2 영역이 상기 기판의 상기 제1 면에 평행인 것을 특징으로 하는 활상 장치.

청구항 3

제1항에 있어서,

상기 제1 및 제2 영역이 상기 제1 및 제2 광전변환부의 수광면에 각각 대응하는 것을 특징으로 하는 활상 장치.

청구항 4

제1항에 있어서,

상기 제1 광전변환부가 상기 제2의 광전변환부보다 감도가 더 높은 것을 특징으로 하는 활상 장치.

청구항 5

제1항에 있어서,

상기 제1 및 제2 광전변환부 사이에 화소분리영역을 더 포함하고,

상기 트렌치가 상기 화소분리영역에 형성되어 있는 것을 특징으로 하는 활상 장치.

청구항 6

제1항에 있어서,

차광벽이 상기 트렌치에 형성되어 있으며 상기 기판의 상기 제1 면으로부터 연장되는 절연막을 포함하는 것을 특징으로 하는 활상 장치.

청구항 7

제1항에 있어서,

차광벽이 상기 트렌치에 형성되어 있으며,

상기 차광벽이 부의 고정 전하막, 산화막, 및 금속 중 적어도 하나를 포함하는 것을 특징으로 하는 촬상 장치.

청구항 8

삭제

청구항 9

제1항에 있어서,

상기 차광막이 상기 트렌치와 겹치는 것을 특징으로 하는 촬상 장치.

청구항 10

제1항에 있어서,

상기 차광막이 상기 제1 광전변환부의 일부와 겹치는 것을 특징으로 하는 촬상 장치.

청구항 11

제10항에 있어서,

상기 제1 광전변환부의 상기 제1 영역상에 형성된 온 칩 렌즈를 더 포함하고,

상기 제2 광전변환부의 상기 제2 영역상에는 온 칩 렌즈가 형성되어 있지 않은 것을 특징으로 하는 촬상 장치.

청구항 12

제1항에 있어서,

상기 제1 광전변환부의 상기 제1 영역의 적어도 일부를 가로질러 연장되는 컬러 필터를 더 포함하는 것을 특징으로 하는 촬상 장치.

청구항 13

제12항에 있어서,

상기 컬러 필터가 상기 차광막을 가로질러 연장되는 것을 특징으로 하는 촬상 장치.

청구항 14

삭제

청구항 15

제1항에 있어서,

상기 차광막이 편광자를 형성하는 것을 특징으로 하는 촬상 장치.

청구항 16

제1항에 있어서,

복수의 차광벽을 더 포함하고,

상기 제1 광전변환부가 제1 차광벽으로부터 제2 차광벽까지 연장되는 것을 특징으로 하는 촬상 장치.

청구항 17

제1항에 있어서,

복수의 행 및 복수의 열로 배치된 복수의 제1 광전변환부와,

복수의 행 및 복수의 열로 배치된 복수의 제2 광전변환부를 더 포함하고,

상기 복수의 제1 광전변환부의 행들 중 적어도 하나의 중심선이 상기 제2 광전변환부의 어느 것과도 교차하지 않고, 상기 복수의 제2 광전변환부의 행들 중 적어도 하나의 중심선이 상기 제1 광전변환부의 어느 것과도 교차하지 않고, 행들 중 적어도 하나에 대해 대각선에 있는 선이 제1 광전변환부의 적어도 하나 및 제2 광전변환부의 적어도 하나와 교차하는 것을 특징으로 하는 활상 장치.

청구항 18

기판과,

제1 광전변환부와,

상기 제1 광전변환부의 감도보다 낮은 감도를 갖는 제2 광전변환부와,

상기 기판의 제1 면으로부터 연장하는 트렌치를 포함하고,

상기 트렌치의 적어도 일부가 상기 제1 광전변환부와 상기 제2 광전변환부 사이에 있으며,

차광막을 더 포함하고,

상기 차광막이 상기 제2 광전변환부의 일부의 위에 형성되고,

상기 차광막이 입사광의 일부를 흡수하며,

상기 차광막이 슬릿을 포함하며,

상기 차광막의 슬릿은 상기 기판의 제1 면위에 마련되며,

상기 슬릿에 해당하는 부분은 상기 슬릿이 아닌 부분의 차광막보다 얇은 것을 특징으로 하는 활상 장치.

청구항 19

광학 시스템과,

상기 광학 시스템으로부터 광을 수광하는 활상 소자를 포함하고,

상기 활상 소자는,

기판과,

상기 기판에 형성된 제2 영역보다 큰 상기 기판에 형성된 제1 영역을 갖는 제1 광전변환부와,

상기 제2 영역을 갖는 제2 광전변환부와,

차광막을 더 포함하고,

상기 차광막이 상기 제2 광전변환부의 상기 제2 영역의 적어도 일부의 위에 형성되고,

상기 차광막이 활상 장치의 입사광의 일부를 흡수하며,

상기 차광막이 슬릿을 포함하며,

상기 차광막의 슬릿은 상기 기판의 제1 면위에 마련되며,

상기 슬릿에 해당하는 부분은 상기 슬릿이 아닌 부분의 차광막보다 얇으며,

상기 기판의 제1 면으로부터 연장되며, 적어도 일부가 상기 제1 광전변환부와 상기 제2 광전변환부 사이에 있는 차광벽과,

상기 활상 소자로부터 수신된 신호를 처리하는 디지털 신호 프로세서를 포함하는 것을 특징으로 하는 전자 기기.

청구항 20

제19항에 있어서,

차량을 포함하는 것을 특징으로 하는 전자 기기.

발명의 설명

기술 분야

- [0001] 본 기술은, 활상 장치에 관한 것이다. 상세하게는, 다이내믹 레인지를 확대할 수 있도록 한 활상 장치에 관한 것이다.
- [0002] 본 출원은, 일본에서 2015년 10월26일에 출원된 일본 특허출원 제2015-209533호를 기초로 하여 우선권을 주장한 것이고, 이 출원은 참조함에 의해, 본 출원에 원용된다.

배경기술

- [0003] 종래, 다양한 방식의 활상 장치의 다이내믹 레인지 확대 기술이 존재한다. 예를 들면, 다른 감도로 시분할로 활영하고, 시분할로 활영한 복수의 화상을 합성하는 시분할 방식이 알려져 있다.
- [0004] 또한, 예를 들면, 감도가 다른 수광 소자를 마련하고, 감도가 다른 수광 소자로 각각 활영한 복수의 화상을 합성함에 의해 다이내믹 레인지를 확대하는 공간분할 방식이 알려져 있다(예를 들면, 특허 문헌 1, 2 참조).
- [0005] 또한, 예를 들면, 각 화소 내에 포토 다이오드로부터 넘쳐진 전하를 축적하는 메모리를 마련하여, 1회의 노광 기간에 축적할 수 있는 전하량을 늘림에 의해 다이내믹 레인지를 확대하는 화소 내 메모리 방식이 알려져 있다(예를 들면, 특허 문헌 3 참조).

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 특허 문헌 1 : 일본국 특허 제3071891호 공보
- (특허문헌 0002) 특허 문헌 2 : 일본국 특개2006-253876호 공보
- (특허문헌 0003) 특허 문헌 3 : 일본국 특허 제4317115호 공보

발명의 내용

해결하려는 과제

- [0007] 시분할 방식이나 공간분할 방식에서는, 분할수를 늘림에 의해 다이내믹 레인지를 확대할 수 있는 한편, 분할수가 증가하면, 아키팩트의 발생이나 해상도의 저하 등에 의한 화질의 열화가 발생한다.
- [0008] 또한, 화소 내 메모리 방식에서는, 메모리의 용량이 한정되기 때문에, 확대할 수 있는 다이내믹 레인지에 한계가 있다.
- [0009] 본 기술은, 이와 같은 상황을 감안하여 이루어진 것으로, 화질을 열화시키지 않고서, 활상 장치의 다이내믹 레인지를 확대할 수 있도록 하는 것이다.

과제의 해결 수단

- [0010] 본 기술의 한 측면의 활상 장치는 복수의 단위화소가 배치되어 있는 화소 어레이부의 상기 단위화소가, 제1의 광전변환부와, 상기 제1의 광전변환부보다 감도가 낮은 제2의 광전변환부를 구비하고, 상기 제2의 광전변환부의 광이 입사하는 측에, 차광막이 형성되어 있다.
- [0011] 상기 제2의 광전변환부상에는, 입사되는 광을 집광하기 위한 렌즈는 형성되지 않도록 할 수 있다.
- [0012] 인접하는 광전변환부로의 광의 광의 누설을 막는 차광벽이, 광전변환부 사이에 구비되도록 할 수 있다.
- [0013] 상기 차광막은 슬릿 형상이도록 할 수 있다.
- [0014] 인접하는 제2의 광전변환부상에 형성되어 있는 상기 차광막의 슬릿의 방향은, 다른 방향으로 되어 있도록 할 수 있다.

- [0015] 상기 활상 장치는 이면형의 이미지 센서일 수 있다.
- [0016] 상기 활상 장치는 표면형의 이미지 센서일 수 있다.
- [0017] 상기 차광막은, 상기 제2의 광전변환부상에 형성되어 있는 배선층의 하측 또는 상측에 형성되어 있도록 할 수 있다.
- [0018] 상기 차광막은, 어모페스 실리콘막, 폴리실리콘막, Ge막, GaN막, CdTe막, GaAs막, InP막, CuInSe2막, Cu2S, CIGS막, 비도체(non-conductive) 구조의 카본막, 흑색 레지스트막, 유기 광전변환막, 또는 금속막이도록 할 수 있다.
- [0019] 본 기술의 한 측면의 활상 장치에서는, 복수의 단위화소가 배치되어 있는 화소 어레이부의 단위화소에, 제1의 광전변환부와, 제1의 광전변환부보다 감도가 낮은 제2의 광전변환부가 구비되어 있다. 또한 제2의 광전변환부의 광이 입사하는 측에, 차광막이 형성되어 있다.

발명의 효과

- [0020] 본 기술의 한 측면에 의하면, 화질을 열화시키지 않고서, 활상 장치의 다이내믹 레인지를 확대할 수 있다.
- [0021] 본 개시의 활상 장치는 기판과, 상기 기판에 형성된 제2 영역보다 큰 상기 기판에 형성된 제1 영역을 갖는 제1 광전변환부와, 상기 제2 영역을 갖는 제2 광전변환부와, 상기 기판의 제1 면으로부터 연장되며, 적어도 일부가 상기 제1 광전변환부와 상기 제2 광전변환부 사이에 있는 트렌치를 포함한다.
- [0022] 본 개시의 활상 장치는 기판과, 제1 광전변환부와, 상기 제1 광전변환부의 감도보다 낮은 감도를 갖는 제2 광전변환부와, 상기 기판의 제1 면으로부터 연장하는 트렌치를 포함하고, 상기 트렌치의 적어도 일부가 상기 제1 광전변환부와 상기 제2 광전변환부 사이에 배치된다.
- [0023] 본 개시의 전자 기기는 광학 시스템과, 상기 광학 시스템으로부터 광을 수광하는 활상 소자를 포함하고, 상기 활상 소자는, 기판과, 상기 기판에 형성된 제2 영역보다 큰 상기 기판에 형성된 제1 영역을 갖는 제1 광전변환부와, 상기 제2 영역을 갖는 제2 광전변환부와, 상기 기판의 상기 제1 면으로부터 연장되며, 그 적어도 일부가 상기 제1 광전변환부와 상기 제2 광전변환부 사이에 있는 차광벽과, 상기 활상 소자로부터 수신된 신호를 처리하는 디지털 신호 프로세서를 포함한다.
- [0024] 또한, 여기에 기재된 효과는 반드시 한정되는 것은 아니고, 본 개시 중에 기재된 어느 하나의 효과라도 좋다.

도면의 간단한 설명

- [0025] 도 1은 본 기술이 적용되는 CMOS 이미지 센서의 구성의 개략을 도시하는 시스템 구성도.
- 도 2는 단위화소의 구성례를 도시하는 회로도.
- 도 3은 단위화소의 노광 시작시의 동작을 설명하기 위한 타이밍 차트.
- 도 4는 단위화소의 판독시의 동작을 설명하기 위한 타이밍 차트.
- 도 5는 신호 처리의 설명에 제공하는 입사광량-출력의 특성도.
- 도 6은 화소의 제1의 구성에 관해 설명하기 위한 도면.
- 도 7은 화소의 제2의 구성에 관해 설명하기 위한 도면.
- 도 8은 화소의 제3의 구성에 관해 설명하기 위한 도면.
- 도 9는 화소의 제4의 구성에 관해 설명하기 위한 도면.
- 도 10은 화소의 제5의 구성에 관해 설명하기 위한 도면.
- 도 11은 화소의 제6의 구성에 관해 설명하기 위한 도면.
- 도 12는 화소의 제7의 구성에 관해 설명하기 위한 도면.
- 도 13은 화소의 제8의 구성에 관해 설명하기 위한 도면.
- 도 14는 화소의 제9의 구성에 관해 설명하기 위한 도면.

- 도 15는 화소의 제10의 구성에 관해 설명하기 위한 도면.
- 도 16은 화소의 제11의 구성에 관해 설명하기 위한 도면.
- 도 17은 화소의 제12의 구성에 관해 설명하기 위한 도면.
- 도 18은 화소의 제13의 구성에 관해 설명하기 위한 도면.
- 도 19는 화소의 제14의 구성에 관해 설명하기 위한 도면.
- 도 20은 화소의 제15의 구성에 관해 설명하기 위한 도면.
- 도 21은 화소의 제16의 구성에 관해 설명하기 위한 도면.
- 도 22는 다른 감도의 화소 배치에 관해 설명하기 위한 도면.
- 도 23은 색 배치에 관해 설명하기 위한 도면.
- 도 24는 차광막의 배치에 관해 설명하기 위한 도면.
- 도 25는 활상 장치의 사용례를 도시하는 도면.
- 도 26은 활상 장치의 구성을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하에, 본 기술을 실시하기 위한 형태(이하, 실시의 형태라고 한다)에 관해 설명한다. 또한, 설명은, 이하의 순서로 행한다.
- [0027] 1. 본 기술이 적용되는 활상 장치
- [0028] 2. 단위화소의 구성(제1 내지 제16의 구성)
- [0029] 3. 제1, 제2 광전변환부의 배치에 관해
- [0030] 4. 변형례
- [0031] 5. 활상 장치의 사용례
- [0032] <본 기술이 적용되는 활상 장치>
- [0033] 도 1은, 본 기술이 적용되는 활상 장치, 예를 들면 X-Y 어드레스 방식 활상 장치의 일종인 CMOS 이미지 센서의 구성의 개략을 도시하는 시스템 구성도이다. 여기서, CMOS 이미지 센서란, CMOS 프로세스를 응용하여, 또는, 부분적으로 사용하여 작성된 이미지 센서이다.
- [0034] 본 적용례에 관한 CMOS 이미지 센서(10)는, 도시하지 않은 반도체 기판(칩)상에 형성된 화소 어레이부(11)와, 당해 화소 어레이부(11)와 같은 반도체 기판상에 집적된 주변 회로부를 갖는 구성으로 되어 있다. 주변 회로부는, 예를 들면, 수직 구동부(12), 칼럼 처리부(13), 수평 구동부(14) 및 시스템 제어부(15)로 구성되어 있다.
- [0035] CMOS 이미지 센서(10)는 또한, 신호 처리부(18) 및 데이터 격납부(19)를 구비하고 있다. 신호 처리부(18) 및 데이터 격납부(19)에 관해서는, 본 CMOS 이미지 센서(10)와 같은 기판상에 탑재하여도 상관없고, 본 CMOS 이미지 센서(10)와는 다른 기판상에 배치하도록 하여도 상관없다. 또한, 신호 처리부(18) 및 데이터 격납부(19)의 각 처리에 관해서는, 본 CMOS 이미지 센서(10)와는 다른 기판에 마련된 외부 신호 처리부, 예를 들면, DSP(Digital Signal Processor) 회로나 소프트웨어에 의한 처리라도 상관없다.
- [0036] 화소 어레이부(11)는, 수광한 광량에 응한 전하를 생성하며 또한 축적하는 광전변환부를 갖는 단위화소(이하, 단지 「화소」라고 기술하는 경우도 있다)가 행방향 및 열방향으로, 즉, 행렬형상으로 2차원 배치된 구성으로 되어 있다. 여기서, 행방향이란 화소행의 화소의 배열 방향(즉, 수평 방향)을 말하고, 열방향이란 화소열의 화소의 배열 방향(즉, 수직 방향)을 말한다. 단위화소의 구체적인 회로 구성이나 화소 구성의 상세에 관해서는 후술한다.
- [0037] 화소 어레이부(11)에서, 행렬형상의 화소 배열에 대해, 화소행마다 화소 구동선(16)이 행방향에 따라 배선되고, 화소열마다 수직 신호선(17)이 열방향에 따라 배선되어 있다. 화소 구동선(16)은, 화소로부터 신호를 판독할 때의 구동을 행하기 위한 구동 신호를 전송한다. 도 1에서는, 화소 구동선(16)에 관해 1개의 배선으로서 나타내고

있지만, 1개로 한정되는 것이 아니다. 화소 구동선(16)의 일단은, 수직 구동부(12)의 각 행에 대응한 출력단에 접속되어 있다.

[0038] 수직 구동부(12)는, 시프트 레지스터나 어드레스 디코더 등에 의해 구성되고, 화소 어레이부(11)의 각 화소를 전 화소 동시 또는 행 단위 등으로 구동한다. 즉, 수직 구동부(12)는, 당해 수직 구동부(12)를 제어하는 시스템 제어부(15)와 함께, 화소 어레이부(11)의 각 화소의 동작을 제어하는 구동부를 구성하고 있다. 이 수직 구동부(12)는 그 구체적인 구성에 관해서는 도시를 생략하지만, 일반적으로, 판독 주사계와 소출(discharge) 주사계의 2개의 주사계를 갖는 구성으로 되어 있다.

[0039] 판독 주사계는, 단위화소로부터 신호를 판독하기 위해, 화소 어레이부(11)의 단위화소를 행 단위로 차례로 선택 주사한다. 단위화소로부터 판독된 신호는 아날로그 신호이다. 소출 주사계는, 판독 주사계에 의해 판독 주사가 행하여지는 판독행에 대해, 그 판독 주사보다도 노광 시간분만큼 선행하여 소출 주사를 행한다.

[0040] 이 소출 주사계에 의한 소출 주사에 의해, 판독행의 단위화소의 광전변환부로부터 불필요한 전하가 소출됨에 의해 당해 광전변환부가 리셋된다. 그리고, 이 소출 주사계에 의한 불필요 전하를 소출함(리셋함)에 의해, 이를바 전자 셔터 동작이 행하여진다. 여기서, 전자 셔터 동작이란, 광전변환부의 전하를 버리고, 새롭게 노광을 시작하는(전하의 축적을 시작하는) 동작인 것을 말한다.

[0041] 판독 주사계에 의한 판독 동작에 의해 판독된 신호는, 그 직전의 판독 동작 또는 전자 셔터 동작 이후에 수광한 광량에 대응하는 것이다. 그리고, 직전의 판독 동작에 의한 판독 타이밍 또는 전자 셔터 동작에 의한 소출 타이밍부터, 금회의 판독 동작에 의한 판독 타이밍까지의 기간이, 단위화소에서의 전하의 노광 기간이 된다.

[0042] 수직 구동부(12)에 의해 선택 주사된 화소행의 각 단위화소로부터 출력되는 신호는, 화소열마다 수직 신호선(17)의 각각을 통하여 칼럼 처리부(13)에 입력된다. 칼럼 처리부(13)는, 화소 어레이부(11)의 화소열마다, 선택 행의 각 화소로부터 수직 신호선(17)을 통하여 출력된 신호에 대해 소정의 신호 처리를 행함과 함께, 신호 처리 후의 화소 신호를 일시적으로 유지한다.

[0043] 구체적으로는, 칼럼 처리부(13)는, 신호 처리로서 적어도, 노이즈 제거 처리, 예를 들면 CDS(Correlated Double Sampling ; 상관 이중 샘플링) 처리나, DDS(Double Data Sampling) 처리를 행한다. 예를 들면, CDS 처리에 의해, 리셋 노이즈나 화소 내의 증폭 트랜지스터의 임계치 편차 등의 화소 고유의 고정 패턴 노이즈가 제거된다. 칼럼 처리부(13)에 노이즈 제거 처리 이외에, 예를 들면, AD(아날로그-디지털) 변환 기능을 갖게 하여, 아날로그의 화소 신호를 디지털 신호로 변환하여 출력하는 것도 가능하다.

[0044] 수평 구동부(14)는, 시프트 레지스터나 어드레스 디코더 등에 의해 구성되고, 칼럼 처리부(13)의 화소열에 대응하는 단위 회로를 순번대로 선택한다. 이 수평 구동부(14)에 의한 선택 주사에 의해, 칼럼 처리부(13)에서 단위 회로마다 신호 처리된 화소 신호가 순번대로 출력된다.

[0045] 시스템 제어부(15)는, 각종의 타이밍 신호를 생성하는 타이밍 제너레이터 등에 의해 구성되고, 당해 타이밍 제너레이터에서 생성된 각종의 타이밍을 기초로, 수직 구동부(12), 칼럼 처리부(13), 및, 수평 구동부(14) 등의 구동 제어를 행한다.

[0046] 신호 처리부(18)는, 적어도 연산 처리 기능을 가지며, 칼럼 처리부(13)로부터 출력된 화소 신호에 대해 연산 처리 등의 여러가지의 신호 처리를 행한다. 데이터 격납부(19)는, 신호 처리부(18)에서의 신호 처리에 즈음하여, 그 처리에 필요한 데이터를 일시적으로 격납한다.

[0047] <단위화소(100)의 회로 구성>

[0048] 도 2는, 도 1의 화소 어레이부(11)에 배치된 단위화소(100)의 구성례를 도시하는 회로도이다.

[0049] 단위화소(100)는, 제1 광전변환부(101), 제1 전송 게이트부(102), 제2 광전변환부(103), 제2 전송 게이트부(104), 제3 전송 게이트부(105), 전하 축적부(106), 리셋 게이트부(107), FD(플로팅 디퓨전)부(108), 증폭 트랜지스터(109), 및, 선택 트랜지스터(110)를 포함하도록 구성된다.

[0050] 또한, 단위화소(100)에 대해, 도 1의 화소 구동선(16)으로서, 복수의 구동선이, 예를 들면 화소행마다 배선된다. 그리고, 도 1의 수직 구동부(12)로부터 복수의 구동선을 통하여, 각종의 구동 신호(TGL, TGS, FCG, RST, SEL)가 공급된다. 이들의 구동 신호는, 단위화소(100)의 각 트랜지스터가 NMOS 트랜지스터임으로, 고레벨(예를 들면, 전원 전압(VDD))의 상태가 액티브 상태가 되고, 저레벨의 상태(예를 들면, 부전위)가 비액티브 상태가 되는 펄스 신호이다.

- [0051] 제1 광전변환부(101)는, 예를 들면, PN 접합의 포토 다이오드로 이루어진다. 제1 광전변환부(101)는, 수광한 광량에 응한 전하를 생성하고, 축적한다.
- [0052] 제1 전송 게이트부(102)는, 제1 광전변환부(101)와 FD부(108)의 사이에 접속되어 있다. 제1 전송 게이트부(102)의 게이트 전극에는, 구동 신호(TGL)가 인가된다. 구동 신호(TGL)가 액티브 상태가 되면, 제1 전송 게이트부(102)가 도통 상태가 되고, 제1 광전변환부(101)에 축적되어 있는 전하가, 제1 전송 게이트부(102)를 통하여 FD부(108)에 전송된다.
- [0053] 제2 광전변환부(103)는, 제1 광전변환부(101)와 마찬가지로, 예를 들면, PN 접합의 포토 다이오드로 이루어진다. 제2 광전변환부(103)는, 수광한 광량에 응한 전하를 생성하고, 축적한다.
- [0054] 제1 광전변환부(101)와 제2 광전변환부(103)를 비교하면, 제1 광전변환부(101)의 쪽이 수광면의 면적이 넓고, 감도가 높고, 제2 광전변환부(103)의 쪽이 수광면의 면적이 좁고, 감도가 낮다. 이와 같이, 단위화소(100) 내에는, 감도가 다른 2개의 광전변환부가 구비되어 있다. 즉 이 경우, 제1 광전변환부(101)는, 고감도 화소로서 기능하고, 제2 광전변환부(103)는, 저감도 화소로서 기능한다.
- [0055] 제2 전송 게이트부(104)는, 전하 축적부(106)와 FD부(108)의 사이에 접속되어 있다. 제2 전송 게이트부(104)의 게이트 전극에는, 구동 신호(FCG)가 인가된다. 구동 신호(FCG)가 액티브 상태가 되면, 제2 전송 게이트부(104)가 도통 상태가 되고, 전하 축적부(106)와 FD부(108)의 포텐셜이 결합한다.
- [0056] 제3 전송 게이트부(105)는, 제2 광전변환부(103)와 전하 축적부(106)의 사이에 접속되어 있다. 제3 전송 게이트부(105)의 게이트 전극에는, 구동 신호(TGS)가 인가된다. 구동 신호(TGS)가 액티브 상태가 되면, 제3 전송 게이트부(105)가 도통 상태가 되고, 제2 광전변환부(103)에 축적되어 있는 전하가, 제3 전송 게이트부(105)를 통하여, 전하 축적부(106), 또는, 전하 축적부(106)와 FD부(108)의 포텐셜이 결합한 영역에 전송된다.
- [0057] 또한, 제3 전송 게이트부(105)의 게이트 전극의 하부는, 포텐셜이 약간 깊게 되어 있고, 제2 광전변환부(103)의 포화 전하량을 초과하여, 제2 광전변환부(103)로부터 넘쳐진 전하를 전하 축적부(106)에 전송하는 오버플로 패스가 형성되어 있다. 또한, 이하, 제3 전송 게이트부(105)의 게이트 전극의 하부에 형성되어 있는 오버플로 패스를, 단지 제3 전송 게이트부(105)의 오버플로 패스라고 칭한다.
- [0058] 전하 축적부(106)는, 예를 들면, 커패시터로 이루어지고, 제2 전송 게이트부(104)와 제3 전송 게이트부(105)의 사이에 접속되어 있다. 전하 축적부(106)의 대향 전극은, 전원 전압(VDD)을 공급하는 전원(VDD)의 사이에 접속되어 있다. 전하 축적부(106)는, 제2 광전변환부(103)로부터 전송되는 전하를 축적한다.
- [0059] 리셋 게이트부(107)는, 전원(VDD)과 FD부(108)의 사이에 접속되어 있다. 리셋 게이트부(107)의 게이트 전극에는, 구동 신호(RST)가 인가된다. 구동 신호(RST)가 액티브 상태가 되면, 리셋 게이트부(107)가 도통 상태가 되고, FD부(108)의 전위가, 전원 전압(VDD)의 레벨로 리셋된다.
- [0060] FD부(108)는, 전하를 전압 신호로 전하 전압 변환하여 출력한다.
- [0061] 증폭 트랜지스터(109)는, 게이트 전극이 FD부(108)에 접속되고, 드레인 전극이 전원(VDD)에 접속되어 있고, FD부(108)에 유지되어 있는 전하를 판독하는 판독 회로, 이른바 소스 팔로워 회로의 입력부가 된다. 즉, 증폭 트랜지스터(109)는, 소스 전극이 선택 트랜지스터(110)를 통하여 수직 신호선(17)에 접속됨에 의해, 당해 수직 신호선(17)의 일단에 접속된 정전류원(111)과 소스 팔로워 회로를 구성한다.
- [0062] 선택 트랜지스터(110)는, 증폭 트랜지스터(109)의 소스 전극과 수직 신호선(17)의 사이에 접속되어 있다. 선택 트랜지스터(110)의 게이트 전극에는, 선택 신호(SEL)가 인가된다. 선택 신호(SEL)가 액티브 상태가 되면, 선택 트랜지스터(110)가 도통 상태가 되고, 단위화소(100)가 선택 상태가 된다. 이에 의해, 증폭 트랜지스터(109)로부터 출력되는 화소 신호가, 선택 트랜지스터(110)를 통하여, 수직 신호선(17)에 출력된다.
- [0063] 또한, 이하, 각 구동 신호가 액티브 상태가 되는 것을, 각 구동 신호가 온 한다고도 말하고, 각 구동 신호가 비액티브 상태가 되는 것을, 각 구동 신호가 오프 한다고도 말한다. 또한, 이하, 각 게이트부 또는 각 트랜지스터가 도통 상태가 되는 것을, 각 게이트부 또는 각 트랜지스터가 온 한다고도 말하고, 각 게이트부 또는 각 트랜지스터가 비도통 상태가 되는 것을, 각 게이트부 또는 각 트랜지스터가 오프 한다고도 말한다.
- [0064] <단위화소(100)의 동작>
- [0065] 다음에, 도 3 및 도 4의 타이밍 차트를 참조하여, 단위화소(100)의 동작에 관해 설명한다. 우선, 도 3의 타이밍 차트를 참조하여, 단위화소(100)의 노광 시작시의 동작에 관해 설명한다. 이 처리는, 예를 들면, 화소 어레이부

(11)의 화소행마다, 또는, 복수의 화소행마다, 소정의 주사순으로 행하여진다. 또한, 도 3에는, 수평 동기 신호(XHS), 구동 신호(SEL, RST, TGS, FCG, TGL)의 타이밍 차트가 도시되어 있다.

[0066] 우선, 시각(t1)에서, 수평 동기 신호(XHS)가 입력되어, 단위화소(100)의 노광 처리가 시작한다.

[0067] 다음에, 시각(t2)에서, 구동 신호(RST)가 온 하여, 리셋 게이트부(107)가 온 한다. 이에 의해, FD부(108)의 전위가, 전원 전압(VDD)의 레벨로 리셋된다.

[0068] 다음에, 시각(t3)에서, 구동 신호(TGL, FCG, TGS)가 온 하여, 제1 전송 게이트부(102), 제2 전송 게이트부(104), 제3 전송 게이트부(105)가 온 한다. 이에 의해, 전하 축적부(106)와 FD부(108)의 포텐셜이 결합한다. 또한, 제1 광전변환부(101)에 축적되어 있는 전하가, 제1 전송 게이트부(102)를 통하여, 결합한 영역에 전송되고, 제2 광전변환부(103)에 축적되어 있는 전하가, 제3 전송 게이트부(105)를 통하여, 결합한 영역에 전송된다. 그리고, 결합한 영역이 리셋된다.

[0069] 다음에, 시각(t4)에서, 구동 신호(TGL, TGS)가 오프 하여, 제1 전송 게이트부(102), 제3 전송 게이트부(105)가 오프 한다. 이에 의해, 제1 광전변환부(101) 및 제2 광전변환부(103)에의 전하의 축적이 시작되고, 노광 기간이 시작한다.

[0070] 다음에, 시각(t5)에서, 구동 신호(RST)가 오프 하여, 리셋 게이트부(107)가 오프 한다.

[0071] 다음에, 시각(t6)에서, 구동 신호(FCG)가 오프 하여, 제2 전송 게이트부(104)가 오프 한다. 이에 의해, 전하 축적부(106)는, 제2 광전변환부(103)로부터 넘치고, 제3 전송 게이트부(105)의 오버플로 패스를 통하여 전송되어 오는 전하의 축적을 시작한다.

[0072] 그리고, 시각(t7)에서, 수평 동기 신호(XHS)가 입력된다.

[0073] (단위화소(100)의 판독시의 동작)

[0074] 다음에, 도 4의 타이밍 차트를 참조하여, 단위화소(100)의 화소 신호의 판독시의 동작에 관해 설명한다. 이 처리는, 예를 들면, 화소 어레이부(11)의 화소행마다, 또는, 복수의 화소행마다, 도 3의 처리가 행하여지고 나서 소정의 시간 후에 소정의 주사순으로 행하여진다. 또한, 도 4에는, 수평 동기 신호(XHS), 구동 신호(SEL, RST, TGS, FCG, TGL)의 타이밍 차트가 도시되어 있다.

[0075] 우선, 시각(t21)에서, 수평 동기 신호(XHS)가 입력되어, 단위화소(100)의 판독 기간이 시작한다.

[0076] 다음에, 시각(t22)에서, 선택 신호(SEL)가 온 하여, 선택 트랜지스터(110)가 온 한다. 이에 의해, 단위화소(100)가 선택 상태가 된다.

[0077] 다음에, 시각(t23)에서, 구동 신호(RST)가 온 하여, 리셋 게이트부(107)가 온 한다. 이에 의해, FD부(108)의 전위가, 전원 전압(VDD)의 레벨로 리셋된다.

[0078] 다음에, 시각(t24)에서, 구동 신호(RST)가 오프 하여, 리셋 게이트부(107)가 오프 한다.

[0079] 다음에, 시각(t25)에서, 구동 신호(FCG, TGS)가 온 하여, 제2 전송 게이트부(104) 및 제3 전송 게이트부(105)가 온 한다. 이에 의해, 전하 축적부(106)와 FD부(108)의 포텐셜이 결합함과 함께, 제2 광전변환부(103)에 축적되어 있는 전하가, 결합한 영역에 전송된다. 이에 의해, 노광 기간 중에 제2 광전변환부(103) 및 전하 축적부(106)에 축적된 전하가, 결합한 영역에 축적된다.

[0080] 이 시각(t25)에서, 화소 신호의 판독이 시작되고, 노광 기간이 종료된다.

[0081] 다음에, 시각(t26)에서, 구동 신호(TGS)가 오프 하여, 제3 전송 게이트부(105)가 오프 한다. 이에 의해, 제2 광전변환부(103)로부터의 전하의 전송이 정지한다.

[0082] 다음에, 시각(t26)과 시각(t27) 사이의 시각(ta)에서, 전하 축적부(106)와 FD부(108)의 포텐셜이 결합한 영역의 전위에 의거한 신호(SL)가, 증폭 트랜지스터(109) 및 선택 트랜지스터(110)를 통하여 수직 신호선(17)에 출력된다. 신호(SL)는, 노광 기간 중에 제2 광전변환부(103)에서 생성되고, 제2 광전변환부(103) 및 전하 축적부(106)에 축적된 전하에 의거한 신호이다.

[0083] 또한, 신호(SL)는, 노광 기간 중에 제2 광전변환부(103) 및 전하 축적부(106)에 축적된 전하가, 전하 축적부(106)와 FD부(108)의 포텐셜이 결합한 영역에 축적된 상태에서 결합한 영역의 전위에 의거한 신호가 된다. 따라서, 신호(SL)의 판독시에 전하를 전하 전압 변환하는 용량은, 전하 축적부(106)와 FD부(108)를 합친 용량이 된

다.

[0084] 또한, 이하, 신호(SL)인 것을, 저감도 데이터 신호(SL)라고도 칭한다.

[0085] 다음에, 시각(t27)에서, 구동 신호(RST)가 온 하여, 리셋 게이트부(107)가 온 한다. 이에 의해, 전하 축적부(106)와 FD부(108)의 포텐셜이 결합한 영역이 리셋된다.

[0086] 다음에, 시각(t28)에서, 선택 신호(SEL)가 오프 하여, 선택 트랜지스터(110)가 오프 한다. 이에 의해, 단위화소(100)가 비선택 상태가 된다.

[0087] 다음에, 시각(t29)에서, 구동 신호(RST)가 오프 하여, 리셋 게이트부(107)가 오프 한다.

[0088] 다음에, 시각(t30)에서, 선택 신호(SEL)가 온 하여, 선택 트랜지스터(110)가 온 한다. 이에 의해, 단위화소(100)가 선택 상태가 된다.

[0089] 다음에, 시각(t30)과 시각(t31) 사이의 시각(tb)에서, 전하 축적부(106)와 FD부(108)의 포텐셜이 결합한 영역의 전위에 의거한 신호(NL)가, 증폭 트랜지스터(109) 및 선택 트랜지스터(110)를 통하여 수직 신호선(17)에 출력된다. 이 신호(NL)는, 전하 축적부(106)와 FD부(108)의 포텐셜이 결합한 영역이 리셋된 상태에서 결합한 영역의 전위에 의거한 신호가 된다.

[0090] 또한, 이하, 신호(NL)인 것을, 저감도 리셋 신호(NL)라고도 칭한다.

[0091] 다음에, 시각(t31)에서, 구동 신호(FCG)가 오프 하여, 제2 전송 게이트부(104)가 오프 한다.

[0092] 다음에, 시각(t31)과 시각(t32)의 사이의 시각(tc)에서, FD부(108)의 전위에 의거한 신호(NH)가, 증폭 트랜지스터(109) 및 선택 트랜지스터(110)를 통하여 수직 신호선(17)에 출력된다. 신호(NH)는, 리셋된 상태에서의 FD부(108)의 전위에 의거한 신호가 된다.

[0093] 또한, 이하, 신호(NH)인 것을, 고감도 리셋 신호(NH)라고도 칭한다.

[0094] 다음에, 시각(t32)에서, 구동 신호(TGL)가 온 하여, 제1 전송 게이트부(102)가 온 한다. 이에 의해, 노광 기간 중에 제1 광전변환부(101)에서 생성되고, 축적된 전하가, 제1 전송 게이트부(102)를 통하여 FD부(108)에 전송된다.

[0095] 다음에, 시각(t33)에서, 구동 신호(TGL)가 오프 하여, 제1 전송 게이트부(102)가 오프 한다. 이에 의해, 제1 광전변환부(101)로부터 FD부(108)에의 전하의 전송이 정지한다.

[0096] 다음에, 시각(t33)과 시각(t34) 사이의 시각(td)에 있어서, FD부(108)의 전위에 의거한 신호(SH)가, 증폭 트랜지스터(109) 및 선택 트랜지스터(110)를 통하여 수직 신호선(17)에 출력된다. 신호(SH)는, 노광 기간 중에 제1 광전변환부(101)에서 생성되고, 축적된 전하에 의거한 신호이다.

[0097] 또한, 신호(SH)는, 노광 기간 중에 제1 광전변환부(101)에 축적된 전하가 FD부(108)에 축적된 상태에서의 FD부(108)의 전위에 의거한 신호가 된다. 따라서, 신호(SH)의 판독시에 전하를 전하 전압 변환하는 용량은, FD부(108)의 용량이 되고, 시각(ta)에서의 저감도 데이터 신호(SL)의 판독시보다 작아진다.

[0098] 또한, 이하, 신호(SH)인 것을, 고감도 데이터 신호(SH)라고도 칭한다.

[0099] 다음에, 시각(t34)에서, 선택 신호(SEL)가 오프 하여, 선택 트랜지스터(110)가 오프 한다. 이에 의해, 단위화소(100)가 비선택 상태가 된다.

[0100] 다음에, 시각(t35)에서, 수평 동기 신호(XHS)가 입력되어, 단위화소(100)의 화소 신호의 판독 기간이 종료된다.

[0101] (노이즈 제거 처리 및 연산 처리에 관한 설명)

[0102] 상술한 단위화소(100)로부터는, 저감도 데이터 신호(SL), 저감도 리셋 신호(NL), 고감도 리셋 신호(NH), 및, 고감도 데이터 신호(SH)의 순서로, 수직 신호선(17)에 대해 신호가 출력된다. 그리고, 후단의 신호 처리부, 예를 들면, 도 1에 도시하는 칼럼 처리부(13)나 신호 처리부(18)에서, 저감도 데이터 신호(SL), 저감도 리셋 신호(NL), 고감도 리셋 신호(NH), 및, 고감도 데이터 신호(SH)에 대해 소정의 노이즈 제거 처리 및 신호 처리가 행하여진다. 이하, 후단의 칼럼 처리부(13)에서의 노이즈 제거 처리 및 신호 처리부(18)에서의 연산 처리의 예에 관해 설명한다.

[0103] (노이즈 제거 처리)

- [0104] 최초에, 칼럼 처리부(13)에 의한 노이즈 제거 처리에 관해 설명한다.
- [0105] (노이즈 제거 처리의 처리례)
- [0106] 우선, 노이즈 제거 처리의 처리례에 관해 설명한다.
- [0107] 칼럼 처리부(13)는, 저감도 데이터 신호(SL)와 저감도 리셋 신호(NL)의 차분을 취함에 의해, 저감도 차분 신호(SNL)를 생성한다. 따라서, 저감도 차분 신호(SNL) = 저감도 데이터 신호(SL)-저감도 리셋 신호(NL)가 된다.
- [0108] 다음에, 칼럼 처리부(13)는, 고감도 데이터 신호(SH)와 고감도 리셋 신호(NH)의 차분을 취함에 의해, 고감도 차분 신호(SNH)를 생성한다. 따라서, 고감도 차분 신호(SNH) = 고감도 데이터 신호(SH)-고감도 리셋 신호(NH)가 된다.
- [0109] 이와 같이, 저감도의 신호(SL, NL)에 대해서는, 화소 내의 증폭 트랜지스터의 임계치 편차 등의 화소 고유의 고정 패턴 노이즈는 제거되는 것이지만 리셋 노이즈는 제거되지 않는 DDS 처리가 행하여진다. 고감도의 신호(SH, NH)에 관해서는, 리셋 노이즈나 화소 내의 증폭 트랜지스터의 임계치 편차 등의 화소 고유의 고정 패턴 노이즈가 제거되는 CDS 처리가 행하여진다.
- [0110] (화소 신호의 연산 처리의 처리례)
- [0111] 다음에 화소 신호의 연산 처리의 처리례에 관해 설명한다.
- [0112] 신호 처리부(18)는, 저감도 차분 신호(SNL)가 소정의 범위 내가 되었을 때에, 저감도 차분 신호(SNL)와 고감도 차분 신호(SNH)의 비를 화소마다, 복수 화소마다, 색마다, 공유 화소 단위 내의 특정 화소마다, 또는 전 화소 일률적으로 개인으로서 산출하여 개인 테이블을 생성한다. 그리고, 신호 처리부(18)는, 저감도 차분 신호(SNL)와 당해 개인 테이블의 곱을 저감도 차분 신호(SNL)의 보정치로서 산출한다.
- [0113] 여기서, 개인을 G, 저감도 차분 신호(SNL)의 보정치(이하, 보정 저감도 차분 신호라고 칭한다)를 SNL' 이라고 하면, 개인(G) 및 보정 저감도 차분 신호(SNL')는, 다음의 식(1), (2)에 의거하여 구할 수 있다.
- [0114] $G = SNL/SNL' = (Cfd+Cfc)/Cfd \dots (1)$
- [0115] $SNL' = G \times SNL \dots (2)$
- [0116] 여기서, Cfd 는 FD부(108)의 용량치, Cfc 는 전하 축적부(106)의 용량치이다.
- [0117] 따라서, 개인(G)는, 용량비와 등가이다.
- [0118] 도 5는, 입사광량에 대한 저감도 차분 신호(SNL), 고감도 차분 신호(SNH), 및, 보정 저감도 차분 신호(SNL')의 관계를 도시하고 있다.
- [0119] 다음에, 신호 처리부(18)는, 도 5에 도시하는 바와 같이, 미리 설정된 소정의 임계치(Vt)를 이용한다. 임계치(Vt)는, 광 응답 특성에 있어서, 고감도 차분 신호(SNH)가 포화 전이면서 광 응답 특성이 리니어한 영역에서 미리 설정된다.
- [0120] 그리고, 신호 처리부(18)는, 고감도 차분 신호(SNH)가 소정의 임계치(Vt)를 초과하지 않는 경우, 당해 고감도 차분 신호(SNH)를 처리 대상 화소의 화소 신호(SN)로서 출력한다. 즉, $SNH < Vt$ 인 경우, 화소 신호(SN) = 고감도 차분 신호(SNH)가 된다.
- [0121] 한편, 신호 처리부(18)는, 고감도 차분 신호(SNH)가 소정의 임계치(Vt)를 초과하는 경우, 저감도 차분 신호(SNL)의 보정 저감도 차분 신호(SNL')를 처리 대상 화소의 화소 신호(SN)로서 출력한다. 즉, $Vt \leq SNH$ 인 경우, 화소 신호(SN) = 보정 저감도 차분 신호(SNL')가 된다.
- [0122] 이상과 같은 연산 처리를 행함에 의해, 저조도시의 신호로부터 고저도시의 신호로 보다 매끈하게 전환할 수 있다.
- [0123] 또한, CMOS 이미지 센서(10)에서는, 저감도의 제2 광전변환부(103)에 대해 전하 축적부(106)를 마련함에 의해, 저감도 데이터 신호(SL)가 포화하는 레벨을 끌어올릴 수 있다. 이에 의해, 다이내믹 레인지의 최소치를 유지한 채로, 다이내믹 레인지의 최대치를 크게 할 수가 있어서, 다이내믹 레인지를 확대할 수 있다.
- [0124] 예를 들면, 차량탑재용의 이미지 센서에 있어서, LED 광원과 같이 점멸하는 피사체를, 점멸하는 타이밍에 의해 활성화 수가 없는 LED 폴리커라는 현상이 발생하는 경우가 있다. 이 LED 폴리커는, 예를 들면, 종래의 이미지

센서의 다이내믹 레인지가 낮고, 피사체마다 노광 시간을 조정할 필요가 있기 때문에 생긴다.

[0125] 즉, 종래의 이미지 센서는, 다양한 조도의 피사체에 대응하기 위해, 저조도의 피사체에 대해서는 노광 시간을 길게, 고저도의 피사체에 대해서는 노광 시간을 짧게 하고 있다. 이에 의해, 낮은 다이내믹 레인지라도 다양한 조도의 피사체에 대응하는 것이 가능해진다. 한편, 노광 시간에 관계없이 판독 속도는 일정하기 때문에, 판독 시간보다도 짧은 단위로 노광 시간을 설정하는 경우, 노광 시간 이외에 광전변환부에 입사한 광은, 광전변환되어 전하가 되는 것이지만, 판독되는 일 없이 파기된다.

[0126] 한편, CMOS 이미지 센서(10)에서는, 상술한 바와 같이 다이내믹 레인지를 확대할 수 있고, 노광 시간을 길게 설정할 수 있기 때문에, LED 플리커의 발생을 억제할 수 있다. 또한, CMOS 이미지 센서(10)에서는, 상술한 바와 같이 시분할 방식이나 공간분할 방식으로 분할수를 늘린 경우에 발생하는 아키팩트의 발생이나 해상도의 저하를 방지할 수 있다.

[0127] <단위화소의 구성>

[0128] 다음에, 상기한 바와 같이, 고감도의 제1 광전변환부(101)와 저감도의 제2 광전변환부(103)를 갖는 단위화소(100)의 구성에 관해 다시 설명을 가한다. 이하에, 단위화소(100)의 단면도를 도시하고, 단위화소(100)의 구성에 관해 설명을 가한다.

[0129] (단위화소의 제1의 구성)

[0130] 도 6은, CMOS 이미지 센서(10)가 이면형의 이미지 센서인 경우의 단위화소(100)의 단면도이다. 도 6에 도시한 단위화소(100)는, 제1의 구성인 것을 나타내기 위해, 이하, 단위화소(100-1)라고 기술한다.

[0131] 단위화소(100-1)는, 도면 중 상측부터, 온 칩 렌즈(201), 컬러 필터(202), 차광막(203), 및 실리콘 기판(204)이 적층되고, 실리콘 기판(204)에는, 제1 광전변환부(101)와 제2 광전변환부(103)가 형성되어 있다.

[0132] 또한, 도시는 하고 있지 않지만, 예를 들면, 온 칩 렌즈(201)의 상측에는, 커버 유리 등이 적층되고, 실리콘 기판(204)의 하측에는, 배선층이나 지지 기판이 적층되어 있다. 이하의 설명에서 필요한 부분을 적절히 도시하고, 설명을 가하고, 그 밖의 부분에 관해서는, 적절히 도시나 설명을 생략한다.

[0133] 도 6은 제1 광전변환부(101-1), 제1 광전변환부(101-2), 및 제2 광전변환부(103)를 도시하고 있다. 또한, 이들 3개소의 광전변환부상에, 각각 온 칩 렌즈(201-1 내지 201-3)가 형성되어 있다.

[0134] 차광막(203)은, 제2 광전변환부(103)상에만 형성되어 있다. 차광막(203)은, 광을 흡수, 반사하는 기능을 갖는 막이다. 차광막(203)은, 금속막으로 형성되고, 광을 반사하는 막으로서 형성되어 있어도 좋고, 광의 일부를 흡수하고, 일부를 투과하는 막으로서 형성되어 있어도 좋고, 광을 흡수하는 광흡수막으로서 형성되어 있어도 좋다.

[0135] 차광막(203)은, 예를 들면, 어모퍼스 실리콘막, 폴리실리콘막, 게르마늄(Ge)막, 질화갈륨(GaN)막, 텔루르화카드뮴(CdTe)막, 비소화갈륨(GaAs)막, 인화인듐(InP)막, CuInSe2막, Cu2S막, CIGS막, 비도체 구조의 카본막, 흑색 레지스트막, 유기 광전변환막 등이 된다.

[0136] 또한, 이하에 설명하는 제2 내지 제16의 구성에서도, 차광막이 제2 광전변환부(103)상에 마련되어 있는 형태를 나타내지만, 그들의 형태에서도, 차광막은, 상기한 재료로 형성되도록 할 수 있다. 또한, 상기한 차광막의 재료는, 한 예이고, 한정을 나타내는 것은 아니다.

[0137] 이와 같이, 저감도의 제2 광전변환부(103)상에 차광막(203)을 형성함으로써, 온 칩 렌즈(201-3)를 투과하여 온 광이, 차광막(203)에 흡수되어, 제2 광전변환부(103)에 입사되는 광량이 감소한다. 이 때문에, 제2 광전변환부(103)의 감도가, 더욱 저하되게 되기 때문에, 저감도의 광전변환부로서의 성능은 향상하고, 다이내믹 레인지를 확대할 수 있다.

[0138] (단위화소의 제2의 구성)

[0139] 다음에, 단위화소(100)의 제2의 구성에 관해 설명한다. 도 7은, 도 6에 도시한 단위화소(100-1)와 같이, CMOS 이미지 센서(10)가 이면형의 이미지 센서인 경우의 단위화소(100-2)의 단면도이다.

[0140] 도 7에 도시한 단위화소(100-2)와, 도 6에 도시한 단위화소(100-1)를 비교하면, 단위화소(100-2)는, 단위화소(100-1)로부터 제2 광전변환부(103)상에 형성되어 있는 온 칩 렌즈(201-3)를 삭제한 구성으로 되어 있는 점이 다르고, 다른 부분은 동일하다. 단위화소(100-1)와 같은 구성을 갖는 부분에는, 같은 부호를 붙이고, 그 설명을

생략한다. 이하, 다른 부분도 마찬가지로, 적절히 같은 부분에 관해서는 설명을 생략한다.

[0141] 제2 광전변환부(103)상에 온 칩 렌즈(201-3)를 형성하지는 구성으로 함으로써, 제2 광전변환부(103)에 광이 집광되지 않는 상태에서 입사되는 구성이 되어, 제2 광전변환부(103)에 입사되는 광량이 감소한다. 이 때문에, 제2 광전변환부(103)의 감도가, 더욱 저하되고, 저감도의 광전변화부의 다이내믹 레인지를 확대시키는 것이 가능해진다.

[0142] (단위화소의 제3의 구성)

[0143] 다음에, 단위화소(100)의 제3의 구성에 관해 설명한다. 도 8은, 도 6에 도시한 단위화소(100-1)와 같이, CMOS 이미지 센서(10)가 이면형의 이미지 센서인 경우의 단위화소(100-3)의 단면도이다.

[0144] 도 8에 도시한 단위화소(100-3)와, 도 6에 도시한 단위화소(100-1)를 비교하면, 단위화소(100-3)는, 단위화소(100-1)에 차광벽(231)을 추가한 구성으로 되어 있는 점이 다르고, 다른 부분은 동일하다.

[0145] 차광벽(231)은, 화소 사이에 마련되어 있고, 도 8에 도시한 단위화소(100-3)에서는, 제1 광전변환부(101-1)와 제2 광전변환부(103)의 사이, 제1 광전변환부(101-2)와 제2 광전변환부(103)의 사이에 각각 마련되어 있다. 이와 같이, 차광벽(231)은, 화소 분리 영역에 마련되어 있다. 또한 차광벽(231)은, 수광면측부터 형성된 절연막으로 형성된 흄으로 둘러싸이도록 형성할 수 있다.

[0146] 또한 차광벽(231)은, 트렌치를 형성하고, 그 트렌치 내에, 부(negative)의 고정 전하막과 산화막을 조합시켜서 형성되도록 하여도 좋고, 부의 고정 전하막, 산화막, 및 금속을 조합시켜서 형성되도록 하여도 좋다.

[0147] 차광벽(231)은, 인접하는 광전변환부로의 광의 광의 누설을 막기 위해 마련되어 있다. 차광벽(231)을 마련함으로써, 혼색 등이 발생하는 것을 저감시키는 것이 가능해진다.

[0148] 이와 같은 구성으로 한 경우에도, 저감도의 제2 광전변환부(103)상에 차광막(203)을 형성함으로써, 온 칩 렌즈(201-3)를 투과하여 온 광이, 차광막(203)에 흡수되어, 제2 광전변환부(103)에 입사되는 광량이 감소한다. 이 때문에, 제2 광전변환부(103)의 감도가, 더욱 저하되고, 다이내믹 레인지를 확대시키는 것이 가능해진다. 또한 차광벽(231)을 마련함으로써, 혼색 등의 발생을 저감시키는 것이 가능해진다.

[0149] (단위화소의 제4의 구성)

[0150] 다음에, 단위화소(100)의 제4의 구성에 관해 설명한다. 도 9는, 도 7에 도시한 단위화소(100-2)와 같이, CMOS 이미지 센서(10)가 이면형의 이미지 센서인 경우의 단위화소(100-4)의 단면도이다.

[0151] 도 9에 도시한 단위화소(100-4)와, 도 7에 도시한 단위화소(100-2)를 비교하면, 단위화소(100-4)는, 단위화소(100-2)에 차광벽(231)을 추가한 구성으로 되어 있는 점이 다르고, 다른 부분, 예를 들면, 제2 광전변환부(103)상의 온 칩 렌즈(201-3)가 형성되지 않은 점 등을 동일하다. 또한, 차광벽(231)을 추가한 구성은, 도 8에 도시한 단위화소(100-3)와 같은 구성이다.

[0152] 이와 같은 구성으로 한 경우에도, 저감도의 제2 광전변환부(103)상에 차광막(203)을 형성함으로써, 차광막(203)에 입사된 광이 흡수되고, 제2 광전변환부(103)에 입사되는 광량이 감소하고, 또한 온 칩 렌즈가 형성되어 있지 않기 때문에, 더욱 제2 광전변환부(103)에 입사되는 광량이 감소하기 때문에, 제2 광전변환부(103)의 감도가, 더욱 저하되는 구성이 된다. 따라서, 저감도의 광전변화부의 다이내믹 레인지를 확대시키는 것이 가능해진다. 또한 차광벽(231)을 마련함으로써, 혼색 등의 발생을 저감시키는 것이 가능해진다.

[0153] (단위화소의 제5의 구성)

[0154] 다음에, 단위화소(100)의 제5의 구성에 관해 설명한다. 도 10은, 도 6에 도시한 단위화소(100-1)와 같이, CMOS 이미지 센서(10)가 이면형의 이미지 센서인 경우의 단위화소(100-5)의 단면도이다.

[0155] 도 10에 도시한 단위화소(100-5)와, 도 6에 도시한 단위화소(100-1)를 비교하면, 단위화소(100-5)의 차광막(251)은, 단위화소(100-1)의 차광막(203)과 다른 형상을 하고 있는 점이 다르고, 다른 부분은 동일하다. 단위화소(100-5)의 차광막(251)은, 슬릿이 있는 형상으로 형성되어 있다. 슬릿에 해당하는 부분에는, 차광막(251)이 형성되지 않도록 하여도 좋고, 슬릿이 아닌 부분의 차광막(251)보다도 얇게 형성되어 있도록 하여도 좋다.

[0156] 차광막(251)을 슬릿 형상으로 함으로써, 제2 광전변환부(103)를 편광 화소로서 사용할 수 있다.

[0157] 예를 들면, 제2 광전변환부(103)가 차량탑재 되고, 도로 표면을 포함하는 화상을 활성화하는 경우, 도로 표면에서 반사된 광은, 도로의 표면에 평행한 편광이 된다. 이와 같은 편광을 제거한 활성화 행하는 경우에는, 도로 표면

과 평행하게 되는 방향으로 차광막(251)의 슬릿을 형성함으로써, 도로 표면에서 반사된 광을 선택적에 저지하고, 다른 피사체로부터의 광을 수광할 수 있다.

[0158] 이와 같이, 차광막(251)의 형상을 슬릿 형상으로 함으로써, 제2 광전변환부(103)에의 광의 양을 적게 할 뿐만 아니라, 불필요한 광을 제거하는 것도 가능한 구성으로 할 수 있다.

[0159] 이와 같이, 차광막(251)을 편광자로서 사용하도록 한 경우, 차광막(251)의 재료로서, 상기한 재료 외에, 금속을 사용하는 것도 가능하다. 또한 편광자에 차광막을 사용함으로써, 편광자를 금속으로 형성한 경우보다, 효율적으로 직접, 간접광을 감광할 수 있는 구성으로 할 수 있다.

[0160] 이와 같은 구성으로 한 경우에도, 저감도의 제2 광전변환부(103)상에 차광막(251)을 형성함으로써, 제2 광전변환부(103)에 입사되는 광량이 감소하고, 저감도화에 의한 다이내믹 레인지의 확대를 실현할 수 있다. 또한, 차광막(251)을 슬릿 형상으로 함으로써, 차광막(251)을 편광자로서 사용할 수 있고, 반사광 등의 불필요한 광의 영향을 제거할 수 있다.

[0161] (단위화소의 제6의 구성)

[0162] 다음에, 단위화소(100)의 제6의 구성에 관해 설명한다. 도 11은, 도 7에 도시한 단위화소(100-2)와 같이, CMOS 이미지 센서(10)가 이면형의 이미지 센서인 경우의 단위화소(100-6)의 단면도이다.

[0163] 도 11에 도시한 단위화소(100-6)와, 도 7에 도시한 단위화소(100-2)를 비교하면, 단위화소(100-6)의 차광막(251)은, 단위화소(100-2)의 차광막(203)과 다른 형상을 하고 있는 점이 다르고, 다른 부분, 예를 들면, 제2 광전변환부(103)상에 온 칩 렌즈(201-3)가 형성되지 않은 점 등은 동일하다. 단위화소(100-6)의 차광막(251)은, 도 10에 도시한 단위화소(100-5)와 같이, 슬릿 형상으로 형성되어 있다.

[0164] 차광막(251)을 슬릿 형상으로 함으로써, 단위화소(100-5)(도 10)와 같이, 제2 광전변환부(103)에의 광의 양을 적게 할 뿐만 아니라, 불필요한 광을 제거하는 것도 가능한 구성으로 할 수 있다.

[0165] 이와 같은 구성으로 한 경우에도, 저감도의 제2 광전변환부(103)상에 차광막(251)을 형성함으로써, 제2 광전변환부(103)에 입사되는 광량이 감소하고, 저감도화에 의한 다이내믹 레인지의 확대를 실현할 수 있다. 또한 제2 광전변환부(103)상에 온 칩 렌즈를 형성하지 않음으로써, 제2 광전변환부(103)에 입사되는 광량이 보다 감소하고, 저감도화에 의한 다이내믹 레인지의 확대를 실현할 수 있다. 또한, 차광막(251)을 슬릿 형상으로 함으로써, 차광막(251)을 편광자로서 사용할 수 있고, 반사광 등의 불필요한 광의 영향을 제거할 수 있다.

[0166] (단위화소의 제7의 구성)

[0167] 다음에, 단위화소(100)의 제7의 구성에 관해 설명한다. 도 12는, 도 8에 도시한 단위화소(100-3)와 같이, CMOS 이미지 센서(10)가 이면형의 이미지 센서인 경우의 단위화소(100-7)의 단면도이다.

[0168] 도 12에 도시한 단위화소(100-7)와, 도 8에 도시한 단위화소(100-3)를 비교하면, 단위화소(100-7)는, 차광막(251)이 슬릿 형상으로 형성되어 있는 점이 다르고, 다른 부분, 예를 들면, 화소 사이에 차광막(231)이 마련되어 있는 점 등은 동일하다.

[0169] 이와 같은 구성으로 한 경우에도, 저감도의 제2 광전변환부(103)상에 차광막(251)을 형성함으로써, 제2 광전변환부(103)에 입사되는 광량이 감소하고, 저감도화에 의한 다이내믹 레인지의 확대를 실현할 수 있다. 또한, 차광막(251)을 슬릿 형상으로 함으로써, 차광막(251)을 편광자로서 사용할 수 있고, 반사광 등의 불필요한 광의 영향을 제거할 수 있다. 또한 차광벽(231)을 마련함으로써, 혼색 등의 발생을 저감시키는 것이 가능해진다.

[0170] (단위화소의 제8의 구성)

[0171] 다음에, 단위화소(100)의 제8의 구성에 관해 설명한다. 도 13은, 도 9에 도시한 단위화소(100-4)와 같이, CMOS 이미지 센서(10)가 이면형의 이미지 센서인 경우의 단위화소(100-8)의 단면도이다.

[0172] 도 13에 도시한 단위화소(100-8)와, 도 9에 도시한 단위화소(100-4)를 비교하면, 단위화소(100-8)는, 차광막(251)이 슬릿 형상으로 형성되어 있는 점이 다르고, 다른 부분, 예를 들면, 단 화소 사이에 차광막(231)이 마련되고, 제2 광전변환부(103)상에 온 칩 렌즈가 형성되지 않은 점 등은 동일하다.

[0173] 이와 같은 구성으로 한 경우에도, 저감도의 제2 광전변환부(103)상에 차광막(251)을 형성함으로써, 제2 광전변환부(103)에 입사되는 광량이 감소하고, 저감도화에 의한 다이내믹 레인지의 확대를 실현할 수 있다. 또한 제2 광전변환부(103)상에 온 칩 렌즈를 형성하지 않음으로써, 제2 광전변환부(103)에 입사되는 광량이 보다 감소하

고, 저감도화에 의한 다이내믹 레인지의 확대를 실현할 수 있다.

[0174] 또한, 차광막(251)을 슬릿 형상으로 함으로써, 차광막(251)을 편광자로서 사용할 수 있고, 반사광 등의 불필요한 광의 영향을 제거할 수 있다. 또한 차광벽(231)을 마련함으로써, 혼색 등의 발생을 저감시키는 것이 가능해진다.

[0175] (단위화소의 제9의 구성)

[0176] 도 14는, CMOS 이미지 센서(10)가 표면형의 이미지 센서인 경우의 단위화소(100-9)의 단면도이다.

[0177] 도 14에 도시한 단위화소(100-9)는, 도면 중 상측부터, 온 칩 렌즈(301), 컬러 필터(302), 차광막(303), 배선층(304), 및 실리콘 기판(305)이 적층되고, 실리콘 기판(305)에는, 제1 광전변환부(101)와 제2 광전변환부(103)가 형성되어 있다.

[0178] 또한, 도시는 하고 있지 않지만, 예를 들면, 온 칩 렌즈(201)의 상측에는, 커버 유리 등이 적층되어 있다. 이하의 설명에서 필요한 부분을 적절히 도시하고, 설명을 가하고, 그 밖의 부분에 관해서는, 적절히 도시나 설명을 생략한다.

[0179] 도 14에서는, 제1 광전변환부(101-1), 제1 광전변환부(101-2), 및 제2 광전변환부(103)를 도시하고 있다. 또한, 이들 3개소의 광전변환부상에, 각각 온 칩 렌즈(301-1 내지 301-3)가 형성되어 있다.

[0180] 차광막(303)은, 제2 광전변환부(103)상에만 형성되어 있다. 차광막(303)은, 예를 들면, 어모페스 실리콘막, 폴리실리콘막, Ge막, GaN막, CdTe막, GaAs막, InP막, CuInSe2막, Cu2S, CIGS막, 비도체 구조의 카본막, 흑색 레지스트막, 유기 광전변환막으로 형성된다. 또한, 후술하는 바와 같이, 차광막(303)이, 슬릿 형상으로 형성되는 경우, 금속으로 형성되도록 하는 것도 가능하다. 또한, 상기한 차광막의 재료는, 한 예이고, 한정을 나타내는 것은 아니다.

[0181] 이와 같이, 표면형의 이미지 센서에서도, 저감도의 제2 광전변환부(103)상에 차광막(303)을 형성함으로써, 온 칩 렌즈(301-3)를 투과하여 온 광이, 차광막(303)에 흡수되어, 제2 광전변환부(103)에 입사되는 광량이 감소한다. 이 때문에, 제2 광전변환부(103)의 감도가, 더욱 저하되게 되기 때문에, 다이내믹 레인지의 확대하게 된다.

[0182] (단위화소의 제10의 구성)

[0183] 다음에, 단위화소(100)의 제10의 구성에 관해 설명한다. 도 15는, 도 14에 도시한 단위화소(100-9)와 같이, CMOS 이미지 센서(10)가 표면형의 이미지 센서인 경우의 단위화소(100-10)의 단면도이다.

[0184] 도 15에 도시한 단위화소(100-10)와, 도 14에 도시한 단위화소(100-9)를 비교하면, 단위화소(100-10)는, 단위화소(100-9)로부터 제2 광전변환부(103)상에 형성되어 있는 온 칩 렌즈(301-3)를 삭제한 구성으로 되어 있는 점이 다르고, 다른 부분은 동일하다.

[0185] 제2 광전변환부(103)상에 온 칩 렌즈(301-3)를 형성하지 않는 구성으로 함으로써, 제2 광전변환부(103)에 광이 집광되지 않는 상태에서 입사되는 구성이 되어, 제2 광전변환부(103)에 입사되는 광량이 감소한다. 이 때문에, 제2 광전변환부(103)의 저감도화에 의한 다이내믹 레인지의 확대시키는 것이 가능해진다.

[0186] (단위화소의 제11의 구성)

[0187] 다음에, 단위화소(100)의 제11의 구성에 관해 설명한다. 도 16은, 도 14에 도시한 단위화소(100-9)와 같이, CMOS 이미지 센서(10)가 표면형의 이미지 센서인 경우의 단위화소(100-11)의 단면도이다.

[0188] 도 16에 도시한 단위화소(100-11)와, 도 14에 도시한 단위화소(100-9)를 비교하면, 단위화소(100-9)의 차광막(303)은, 배선층(304)의 도면 중 상측(온 칩 렌즈(301)측)에 형성되어 있음에 대해, 단위화소(100-11)의 차광막은, 배선층(304)의 도면 중 하측(실리콘 기판(305)측)에 형성되어 있는 점이 다르고, 다른 부분은 동일하다.

[0189] 다시 도 14를 참조하면, 단위화소(100-9)의 차광막(303)은, 배선층(304)의 상측이고, 컬러 필터(302)의 층내에 형성되어 있다. 이에 대해, 도 15에 도시한 단위화소(100-11)의 차광막(331)은, 배선층(304)의 하측이고, 실리콘 기판(305)의 상측의 배선층(304) 내에 형성되어 있다. 이와 같이, 차광막이 형성되는 위치는, 배선층(304)의 상측이라도 좋고, 하측이라도 좋다.

[0190] 이와 같이, 표면형의 이미지 센서에서도, 저감도의 제2 광전변환부(103)상에 차광막(303)을 형성함으로써, 온 칩 렌즈(301-3)를 투과하여 온 광이, 차광막(303)에 흡수되어, 제2 광전변환부(103)에 입사되는 광량이 감소한다. 이 때문에, 제2 광전변환부(103)의 감도가, 더욱 저하되고, 다이내믹 레인지의 확대시키는 것이

가능해진다.

[0191] (단위화소의 제12의 구성)

다음에, 단위화소(100)의 제12의 구성에 관해 설명한다. 도 17은, 도 16에 도시한 단위화소(100-11)와 같이, CMOS 이미지 센서(10)가 표면형의 이미지 센서인 경우의 단위화소(100-12)의 단면도이다.

도 17에 도시한 단위화소(100-12)와, 도 16에 도시한 단위화소(100-11)를 비교하면, 단위화소(100-12)는, 단위화소(100-11)로부터 제2 광전변환부(103)상에 형성되어 있는 온 칩 렌즈(301-3)를 삭제한 구성으로 되어 있는 점이 다르고, 다른 부분은 동일하다.

[0194] 제2 광전변환부(103)상에 온 칩 렌즈(301-3)를 형성하지 않는 구성으로 함으로써, 제2 광전변환부(103)에 광이 집광되지 않는 상태에서 입사되는 구성이 되어, 제2 광전변환부(103)에 입사되는 광량이 감소한다. 이 때문에, 제2 광전변환부(103)의 저하화의 다이내믹 레인지(301-3)를 확대시키는 것이 가능해진다.

[0195] (단위화소의 제13의 구성)

다음에, 단위화소(100)의 제13의 구성에 관해 설명한다. 도 18은, 도 14에 도시한 단위화소(100-9)와 같이, CMOS 이미지 센서(10)가 표면형의 이미지 센서인 경우의 단위화소(100-13)의 단면도이다.

[0197] 도 18에 도시한 단위화소(100-13)와, 도 14에 도시한 단위화소(100-9)를 비교하면, 단위화소(100-13)의 차광막(351)은, 단위화소(100-9)의 차광막(303)과 다른 형상을 하고 있는 점이 다르고, 다른 부분은 동일하다. 단위화소(100-13)의 차광막(351)은, 슬릿 형상으로 형성되고, 컬러 필터(302)의 충내에 형성되어 있다.

[0198] 차광막(351)을 슬릿 형상으로 함으로써, 차광막(351)을 편광자로서 사용할 수 있고, 제2 광전변환부(103)를 편광화소로서 사용할 수 있다.

[0199] 이와 같은 구성으로 한 경우에도, 저감도의 제2 광전변환부(103)상에 차광막(351)을 형성함으로써, 제2 광전변환부(103)에 입사되는 광량이 감소하고, 저감도화에 의한 다이내믹 레인지의 확대를 실현할 수 있다. 또한, 차광막(351)을 슬릿 형상으로 함으로써, 차광막(351)을 편광자로서 사용할 수 있고, 반사광 등의 불필요한 광의 영향을 제거할 수 있다.

[0200] (단위화소의 제14의 구성)

다음에, 단위화소(100)의 제14의 구성에 관해 설명한다. 도 19는, 도 18에 도시한 단위화소(100-13)와 같이, CMOS 이미지 센서(10)가 표면형의 이미지 센서인 경우의 단위화소(100-14)의 단면도이다.

[0202] 도 19에 도시한 단위화소(100-14)와, 도 18에 도시한 단위화소(100-13)를 비교하면, 단위화소(100-14)는, 단위화소(100-13)로부터 제2 광전변환부(103)상에 형성되어 있는 온 칩 렌즈(301-3)를 삭제한 구성으로 되어 있는 점이 다르고, 다른 부분은 동일하다. 단위화소(100-14)의 차광막(351)은, 슬릿 형상으로 형성되고, 컬러 필터(302)의 충내에 형성되어 있다.

[0203] 제2 광전변환부(103)상에 온 칩 렌즈(301-3)를 형성하지 않는 구성으로 함으로써, 제2 광전변환부(103)에 광이 집광되지 않는 상태에서 입사되는 구성이 되어, 제2 광전변환부(103)에 입사되는 광량이 감소한다. 이 때문에, 제2 광전변환부(103)의 감도가, 더욱 저하되게 되기 때문에, 다이내믹 레인지(301-3)를 확대시키는 것이 가능해진다. 또한, 차광막(351)을 슬릿 형상으로 함으로써, 차광막(351)을 편광자로서 사용할 수 있고, 반사광 등의 불필요한 광의 영향을 제거할 수 있다.

[0204] (단위화소의 제15의 구성)

다음에, 단위화소(100)의 제15의 구성에 관해 설명한다. 도 20은, 도 18에 도시한 단위화소(100-13)와 같이, CMOS 이미지 센서(10)가 표면형의 이미지 센서인 경우의 단위화소(100-15)의 단면도이다.

[0206] 도 20에 도시한 단위화소(100-15)와, 도 18에 도시한 단위화소(100-13)를 비교하면, 단위화소(100-13)의 차광막(351)은, 배선층(304)의 도면 중 상측에 형성되어 있음에 대해, 단위화소(100-15)의 차광막(381)은, 배선층(304)의 도면 중 하측에 형성되어 있는 점이 다르고, 다른 부분은 동일하다. 즉, 단위화소(100-15)의 차광막(381)은, 배선층(304)의 하측에 슬릿 형상으로 형성되어 있다.

[0207] 이와 같은 구성의 표면형의 이미지 센서에서도, 저감도의 제2 광전변환부(103)상에 차광막(381)을 형성함으로써, 온 칩 렌즈(301-3)를 투과하여 온 광이, 차광막(381)에 흡수되어, 제2 광전변환부(103)에 입사되는 광량이 감소한다. 이 때문에, 제2 광전변환부(103)의 저감도화에 의한 다이내믹 레인지(301-3)를 확대시키는 것이 가능해진다.

가능해진다. 또한, 차광막(381)을 슬릿 형상으로 함으로써, 차광막(351)을 편광자로서 사용할 수 있고, 반사광 등의 불필요한 광의 영향을 제거하는 것이 가능해진다.

[0208] (단위화소의 제16의 구성)

[0209] 다음에, 단위화소(100)의 제16의 구성에 관해 설명한다. 도 21은, 도 20에 도시한 단위화소(100-15)와 같이, CMOS 이미지 센서(10)가 표면형의 이미지 센서인 경우의 단위화소(100-16)의 단면도이다.

[0210] 도 21에 도시한 단위화소(100-16)와, 도 20에 도시한 단위화소(100-15)를 비교하면, 단위화소(100-16)는, 단위화소(100-15)로부터 제2 광전변환부(103)상에 형성되어 있는 온 칩 렌즈(301-3)를 삭제한 구성으로 되어 있는 점이 다르고, 다른 부분은 동일하다. 즉, 단위화소(100-16)의 차광막(381)은, 배선층(304)의 하측에 슬릿 형상으로 형성되어 있다.

[0211] 제2 광전변환부(103)상에 온 칩 렌즈(301-3)를 형성하지 않는 구성으로 함으로써, 제2 광전변환부(103)에 광이 집광되지 않는 상태에서 입사되는 구성이 되어, 제2 광전변환부(103)에 입사되는 광량이 감소한다. 이 때문에, 제2 광전변환부(103)의 저감도화에 의한 다이내믹 레인지를 확대시키는 것이 가능해진다. 또한, 차광막(381)을 슬릿 형상으로 함으로써, 차광막(381)을 편광자로서 사용할 수 있고, 반사광 등의 불필요한 광의 영향을 제거하는 것이 가능해진다.

[0212] 제1 내지 제16의 구성으로서 도시한 바와 같이, 저감도의 제2 광전변환부(103)상에, 광을 흡수하는 기능을 갖는 막을 형성하여, 제2 광전변환부(103)에 입사된 광의 양을 감소시킴으로써, 저감도화에 의한 다이내믹 레인지를 확대시키는 것이 가능해진다.

[0213] 또한, 차광막을 슬릿 형상으로 함으로써, 편광자로서 사용할 수 있고, 편광자를 마련함으로써 반사광의 영향(불필요한 광의 영향)을 제거하고, 저감도화에 의한 다이내믹 레인지를 확대하는 것을 동시에 실현할 수 있다.

[0214] 또한 편광자에 차광막을 사용함으로써, 편광자를 금속으로 형성한 경우보다, 효율적으로 직접, 간접광을 감광할 수 있는 구성으로 할 수 있다.

[0215] <제1, 제2 광전변환부의 배치에 관해>

[0216] 제1 광전변환부(101)와 제2 광전변환부(103)를 포함하는 단위화소(100)는, 예를 들면, 도 22에 도시하는 바와 같이 배치되어 있다. 도 22에서는, 단위화소(500)로 하고, 단위화소(500)는, 상기한 단위화소(100-1 내지 100-18)의 어느 하나인 것으로 하여 설명을 계속한다.

[0217] 도 22에서는, 4×4 의 16개의 단위화소(500-1 내지 500-16)가 배치되어 있는 예를 도시하였다. 각 단위화소(500)는, 제1 광전변환부(101)와 제2 광전변환부(103)를 포함한다. 예를 들면, 단위화소(500-1)는, 제1 광전변환부(101-1)와 제2 광전변환부(103-1)를 포함한다.

[0218] 제1 광전변환부(101)와 제2 광전변환부(103)는, 수광면의 크기에 의해 다른 감도가 되도록 구성되어 있다. 즉, 도 22에 도시한 바와 같이, 제1 광전변환부(101)의 수광면은, 제2 광전변환부(103)의 수광면보다도 크게 되도록 구성되어 있다.

[0219] 도 22에 도시한 예에서는, 예를 들면, 제1 광전변환부(101-1)의 우경사(右斜め) 아래에 제2 광전변환부(103-1)가 배치되어 있다. 도시는 하고 있지 않지만, 제1 광전변환부(101-1)의 오른쪽옆(右横)에 제2 광전변환부(103-1)가 배치되도록 하여도 좋다. 또한, 다른 배치 관계라도 좋다.

[0220] 단위화소(500) 내에서, 제1 광전변환부(101)와 제2 광전변환부(103)가 배치되지 않은 부분에는, 신호 처리 회로 등을 배치하도록 하여도 좋다. 즉, 다른 수광면적의 제1 광전변환부(101)와 제2 광전변환부(103)가, 단위화소(500) 내에 배치됨으로써, 잉여의 영역이 발생하는데, 그 잉여의 영역에 신호 처리 회로 등을 배치함으로써, 영역을 유효 이용하도록 하여도 좋다.

[0221] 단위화소(500)상에 배치된 컬러 필터(202)(302)의 색은, 예를 들면, 베이어 배열로 할 수 있다. 도 23A에 도시하는 바와 같이, 단위화소(500-1)를 적색(R), 단위화소(500-2)를 녹색(G), 단위화소(500-5)를 녹색(G), 단위화소(500-6)를 청색(B)으로 하는 색 배치로 할 수 있다.

[0222] 이와 같은 색 배치로 된 경우, 도 22와 도 23A를 재차 참조하면, 예를 들면, 단위화소(500-1)에는, 제1 광전변환부(101-1)와 제2 광전변환부(103-1)가 배치되고, 컬러 필터(202)(302, 이하, 202를 예로 들어 설명한다)의 색은, 적색(R)이다. 이와 같이, 동일한 단위화소(500) 내에 배치되어 있는 제1 광전변환부(101)와 제2 광전변환부

(103)는, 동일한 컬러 필터(202)의 색으로 되어 있다.

[0223] 도 23B에 도시하는 바와 같이, 4화소를 같은 색으로 한 베이어 배열로 하여도 좋다. 도 23B에서는, 단위화소(500-1), 단위화소(500-2), 단위화소(500-5), 단위화소(500-6)가 적색(R), 단위화소(500-3), 단위화소(500-4), 단위화소(500-7), 단위화소(500-8)가 녹색(G), 단위화소(500-9), 단위화소(500-10), 단위화소(500-13), 단위화소(500-14)가 녹색(G), 단위화소(500-11), 단위화소(500-12), 단위화소(500-15), 단위화소(500-16)가 녹색(G)으로 되어 있다.

[0224] 여기서는, 색 배치로서, 베이어 배열을 예로 들어 설명하였지만, 다른 색 배치라도 본 기술을 적용할 수 있다.

[0225] 제2 광전변환부(103)상에는, 상기한 바와 같이, 차광막이 형성되어 있다. 차광막으로서는, 도 6 등에 도시한 슬릿 형상이 아닌 차광막(203)(이하, 베타 형상의 차광막(203)이라고 기술한다)과, 도 10 등에 도시한 슬릿 형상의 차광막(251)이 있다.

[0226] 또한 여기서는, 베타 형상의 차광막으로서, 차광막(203)(도 6)을 예로 들어 설명하지만, 차광막(303)(도 14), 차광막(331)(도 16)에 대해서도, 이하의 설명은 적용된다. 또한, 슬릿 형상의 차광막으로서, 차광막(251)(도 10)을 예로 들어 설명하지만, 차광막(351)(도 18), 차광막(381)(도 20)에 대해서도, 이하의 설명은 적용된다.

[0227] 베타 형상의 차광막(203)이 형성되어 있는 경우, 예를 들면, 도 24A에 도시한 바와 같이 차광막(203)은 형성된다. 도 24A에서는, 도 22에 도시한 4×4의 16개의 단위화소(500-1 내지 500-16) 중의 좌상측에 배치되어 있는 4화소만 도시하고 있지만, 다른 화소도 마찬가지로 차광막(203)이 형성되어 있다.

[0228] 도 24A에 도시하는 바와 같이, 단위화소(500) 내의 제2 광전변환부(103)상에는, 베타 형상의 차광막(203)이 형성되어 있다. 예를 들면, 도 24A에 도시한 단위화소(500-1) 내의 우하에, 제2 광전변환부(103)가 형성되고, 그 제2 광전변환부(103-1)가 형성되어 있는 영역에, 차광막(203-1)이 형성된다.

[0229] 또한, 도 24A에 도시한 바와 같이, 차광막(203)은, 화소 외주 영역에서 웰(WELL)에 접속되어 있게 형성되도록 할 수 있다.

[0230] 슬릿 형상의 차광막(251)이 형성되어 있는 경우, 예를 들면, 도 24B에 도시한 바와 같이 차광막(251)이 형성된다. 도 24B에 도시하는 바와 같이, 단위화소(500) 내의 제2 광전변환부(103)상에는, 슬릿 형상의 차광막(251)이 형성되어 있다.

[0231] 도 24B에 도시한 슬릿의 방향은, 도면 중 횡방향이고, 4화소 모두 같은 방향의 슬릿으로 되어 있다. 이와 같이, 제2 광전변환부(103)상에 마련된 차광막(251)의 슬릿은, 전부 동일한 방향을 갖고 있도록 형성할 수 있다.

[0232] 차광막(251)의 슬릿의 방향을, 화소마다 바꾸도록 하여도 좋다. 도 24C는, 단위화소(500) 내의 제2 광전변환부(103)상에, 슬릿 형상의 차광막(251)이 형성되어 있는 경우이고, 화소마다 다른 방향의 슬릿이 형성되어 있는 경우의 차광막(251)을 도시하고 있다.

[0233] 도 24C에 도시한 단위화소(500-1) 내의 제2 광전변환부(103-1)상에 형성되어 있는 차광막(251-1)의 슬릿은, 도면 중, 횡방향으로 형성되어 있다. 단위화소(500-2) 내의 제2 광전변환부(103-2)상에 형성되어 있는 차광막(251-2)의 슬릿은, 도면 중, 좌경사 하방향으로 형성되어 있다.

[0234] 단위화소(500-5) 내의 제2 광전변환부(103-5)상에 형성되어 있는 차광막(251-5)의 슬릿은, 도면 중, 우경사 하방향으로 형성되어 있다. 단위화소(500-6) 내의 제2 광전변환부(103-6)상에 형성되어 있는 차광막(251-6)의 슬릿은, 도면 중, 종방향으로 형성되어 있다.

[0235] 도 24C에 도시한 예에서는, 4방향의 슬릿이 형성되어 있는 경우를 나타내고 있다. 도시하고 있지 않은 다른 화소도, 2×2의 4화소 내에서, 각각의 화소상의 차광막(251)은, 다른 4방향의 슬릿 형상으로 형성되어 있다. 또한 여기서는, 4방향을 예로 들어 설명하였지만, 또 다른 방향이 추가되거나, 2방향 또는 3방향 등, 차광막(251)의 슬릿의 방향은, 4방향으로 한정되는 것은 아니다.

[0236] 이와 같이, 화소마다 슬릿의 방향을 바꾸는, 환언하면, 인접하는 제2 광전변환부(103)상에 형성된 차광막(251)의 슬릿 방향이 다르도록 함으로써, 다른 방향부터의 편광을 저지하는 것이 가능해진다.

[0237] 또한, 이와 같이, 화소마다 슬릿의 방향이 변하도록 형성한 경우, 예를 들면, 도 24C에 도시한 4화소 단위로, 각각 다른 방향의 슬릿이 형성되는 경우, 단위가 되는 4화소는 동일색으로 하여도 좋다. 즉, 도 23B에 도시한 바와 같이, 4화소가 동일색으로 된 베이어 배열로 되고, 동일색으로 되어 있는 4화소 내의 화소 사이는 다른 방

향의 슬릿으로 되어 있는 구성으로 하여도 좋다.

[0238] <변형례>

[0239] 이상의 설명에서는, 1화소 내에 감도가 다른 2개의 광전변환부를 마련한 예를 나타냈지만, 1화소 내에 3개 이상의 감도가 다른 광전변환부를 마련하는 것도 가능하다. 또한 감도의 차이는, 차광막의 재료의 차이나 막두께의 차이 등으로 조정하는 것도 가능하다.

[0240] 또한, 상기한 실시의 형태에서는, 단위화소가 행렬형상으로 배치되어 있는 CMOS 이미지 센서에 적용한 경우를 예로 들어 설명하였지만, 본 기술은, CMOS 이미지 센서에의 적용으로 한정되는 것이 아니다. 즉, 본 기술은, 단위화소가 행렬형상으로 2차원 배치되어 있는 X-Y 어드레스 방식의 활상 장치 전반에 대해 적용 가능하다.

[0241] 또한, 본 기술은, 가시광의 입사광량의 분포를 검지하여 화상으로서 활상하는 활상 장치에의 적용으로 한하지 않고, 적외선이나 X선, 또는 입자 등의 입사량의 분포를 화상으로서 활상하는 활상 장치 전반에 대해 적용 가능하다.

[0242] 또한, 활상 장치는 원침으로서 형성된 형태라도 좋고, 활상부와, 신호 처리부 또는 광학계가 통합하여 팩키징된 활상 기능을 갖는 모듈형상의 형태라도 좋다.

[0243] <활상 장치의 사용례>

[0244] 도 25는, 상술한 활상 장치의 사용례를 도시하는 도면이다.

[0245] 상술한 활상 장치는, 예를 들면, 이하와 같이, 가시광이나, 적외광, 자외광, X 선 등의 광을 센싱 한 다양한 케이스에 사용할 수 있다.

[0246] · 디지털 카메라나, 카메라 기능부의 휴대 기기 등의, 감상용으로 제공되는 화상을 촬영하는 장치

[0247] · 자동 정지 등의 안전운전이나, 운전자의 상태의 인식 등을 위해, 자동차의 전방이나 후방, 주위, 차내 등을 촬영하는 차량탑재용 센서, 주행 차량이나 도로를 감시하는 감시 카메라, 차량 사이 등의 거리측정을 행하는 거리측정 센서 등의, 교통용으로 제공되는 장치

[0248] · 유저의 제스처를 촬영하고, 그 제스처에 따른 기기 조작을 행하기 위해, TV나, 냉장고, 에어 컨디셔너 등의 가전에 제공되는 장치

[0249] · 내시경이나, 적외광의 수광에 의한 혈관 촬영을 행하는 장치 등의, 의료나 헬스케어용으로 제공되는 장치

[0250] · 방범 용도의 감시 카메라나, 인물 인증 용도의 카메라 등의, 시큐리티용으로 제공되는 장치

[0251] · 피부를 촬영하는 피부 측정기나, 두피를 촬영하는 마이크로스코프 등의, 미용용으로 제공되고 장치

[0252] · 스포츠 용도 등 용의 액션 카메라나 웨어러블 카메라 등의, 스포츠용으로 제공되는 장치

[0253] · 밭이나 작물의 상태를 감시하기 위한 카메라 등의, 농업용으로 제공되는 장치

[0254] 도 26은, 본 기술을 적용한 전자 기기의 한 예인 활상 장치(카메라 장치)(1001)의 구성례를 도시하는 블록도이다.

[0255] 도 26에 도시하는 바와 같이, 활상 장치(1001)는, 렌즈군(1011) 등을 포함하는 광학계, 활상 소자(1012), 카메라 신호 처리부인 DSP(1013), 프레임 메모리(1014), 표시 장치(1015), 기록 장치(1016), 조작계(1017), 및, 전원계(1018) 등을 갖고 있다. 그리고, DSP(1013), 프레임 메모리(1014), 표시 장치(1015), 기록 장치(1016), 조작계(1017), 및, 전원계(1018)가 버스 라인(1019)을 통하여 상호 접속된 구성으로 되어 있다.

[0256] 렌즈군(1011)은, 피사체로부터의 입사광(상광)을 취입하여 활상 소자(1012)의 활상면상에 결상한다. 활상 소자(1012)는, 렌즈군(1011)에 의해 활상면상에 결상된 입사광의 광량을 화소 단위로 전기 신호로 변환하여 화소 신호로서 출력한다.

[0257] 표시 장치(1015)는, 액정 표시 장치나 유기 EL(electro luminescence) 표시 장치 등의 패널형 표시 장치로 이루어지고, 활상 소자(1012)에서 활상된 동화 또는 정지화를 표시한다. 기록 장치(1016)는, 활상 소자(1012)에서 활상된 동화 또는 정지화를, 메모리 카드나 비디오 테이프나 DVD(Digital Versatile Disk) 등의 기록 매체에 기록한다.

[0258] 조작계(1017)는, 유저에 의한 조작하에, 본 활상 장치(1001)가 갖는 다양한 기능에 관해 조작 지령을 발한다.

전원계(1018)는, DSP(1013), 프레임 메모리(1014), 표시 장치(1015), 기록 장치(1016), 및, 조작계(1017)의 동작 전원이 되는 각종의 전원을, 이를 공급 대상에 대해 적절히 공급한다.

[0259] 이와 같은 활상 장치(1001)는, 비디오 카메라나 디지털 스틸 카메라, 나아가서는, 스마트 폰, 휴대 전화기 등의 모바일 기기용 카메라 모듈에 적용된다. 그리고, 이 활상 장치(1001)에서, 활상 소자(1012)로서, 상술한 각 실시 형태에 관한 활상 장치를 이용할 수 있다. 이에 의해, 활상 장치(1001)의 화질을 향상시킬 수 있다.

[0260] 본 명세서에서, 시스템이란, 복수의 장치에 의해 구성된 장치 전체를 나타내는 것이다.

[0261] 또한, 본 명세서에 기재된 효과는 어디까지나 예시이고 한정되는 것이 아니고, 또한 다른 효과가 있어도 좋다.

[0262] 또한, 본 기술의 실시의 형태는, 상술한 실시의 형태로 한정되는 것이 아니고, 본 기술의 요지를 일탈하지 않는 범위에서 여러가지의 변경이 가능하다.

[0263] 또한, 본 기술은 이하와 같은 구성도 취할 수 있다.

[0264] (1)

[0265] 복수의 단위화소가 배치되어 있는 화소 어레이부의 상기 단위화소가,

[0266] 제1의 광전변환부와,

[0267] 상기 제1의 광전변환부보다 감도가 낮은 제2의 광전변환부를 구비하고,

[0268] 상기 제2의 광전변환부의 광이 입사하는 측에, 차광막이 형성되어 있는

[0269] 활상 장치.

[0270] (2)

[0271] 상기 제2의 광전변환부상에는, 입사되는 광을 집광하기 위한 렌즈는 형성되지 않은 상기 (1)에 기재된 활상 장치.

[0272] (3)

[0273] 인접하는 광전변화부로의 광의 광의 누설을 막는 차광벽이, 광전변환부 사이에 구비되는 상기 (1) 또는 (2)에 기재된 활상 장치.

[0274] (4)

[0275] 상기 차광막은, 슬릿 형상인 상기 (1) 내지 (3)의 어느 하나에 기재된 활상 장치.

[0276] (5)

[0277] 인접하는 제2의 광전변환부상에 형성되어 있는 상기 차광막의 슬릿의 방향은, 다른 방향으로 되어 있는 상기 (4)에 기재된 활상 장치.

[0278] (6)

[0279] 이면형의 이미지 센서인 상기 (1) 내지 (5)의 어느 하나에 기재된 활상 장치.

[0280] (7)

[0281] 표면형의 이미지 센서인 상기 (1) 내지 (5)의 어느 하나에 기재된 활상 장치.

[0282] (8)

[0283] 상기 차광막은, 상기 제2의 광전변환부상에 형성되어 있는 배선층의 하측 또는 상측에 형성되어 있는 상기 (7)에 기재된 활상 장치.

[0284] (9)

[0285] 상기 차광막은, 어모퍼스 실리콘막, 폴리실리콘막, Ge막, GaN막, CdTe막, GaAs막, InP막, CuInSe2막, Cu2S, CIGS막, 비도체 구조의 카본막, 흑색 레지스트막, 유기 광전변환막, 또는 금속막인 상기 (1) 내지 (8)의 어느 하나에 기재된 활상 장치.

[0286] (10)부터 영문 New Claims

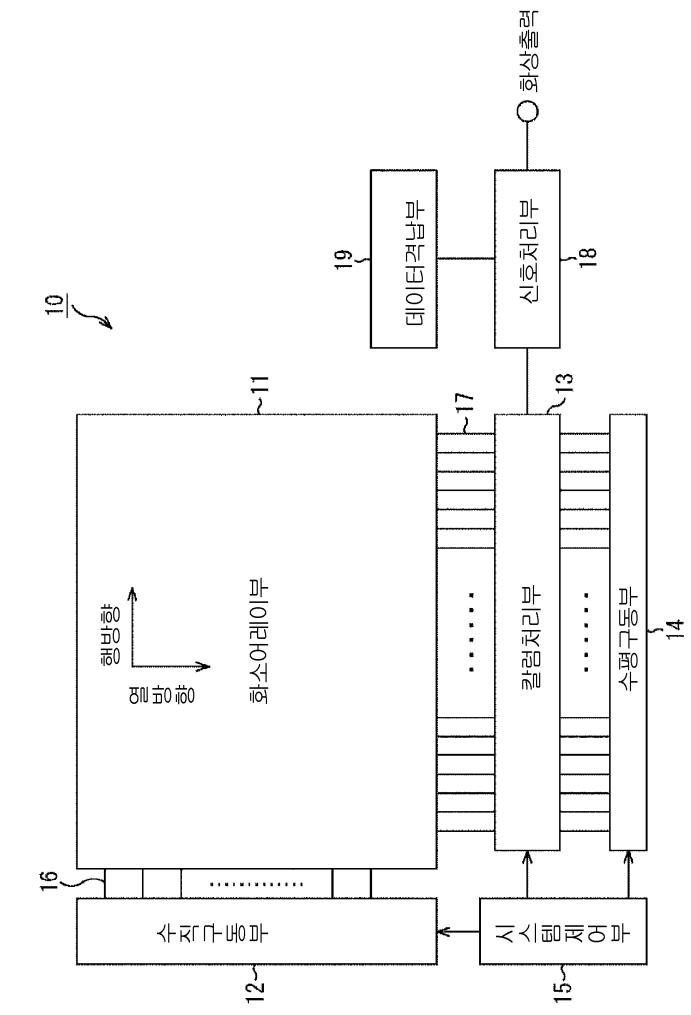
부호의 설명

[0287]

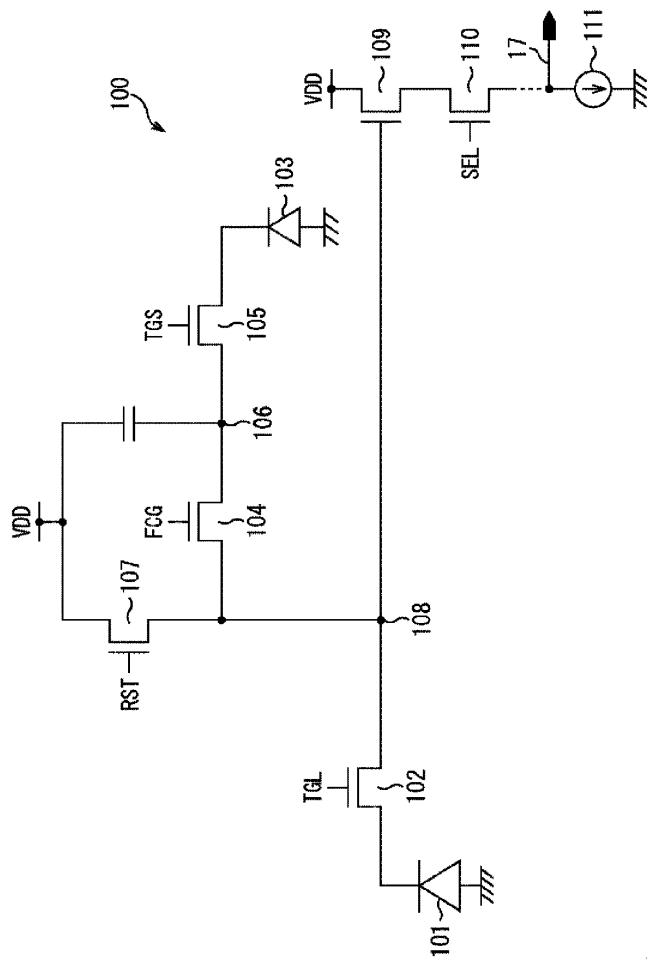
- 10 : CMOS 이미지 센서
- 11 : 화소 어레이부
- 12 : 수직 구동부
- 13 : 칼럼 처리부
- 14 : 수평 구동부
- 15 : 시스템 제어부
- 16 : 화소 구동선
- 17 : 수직 신호선
- 18 : 신호 처리부
- 19 : 데이터 격납부
- 100 : 단위화소
- 101 : 제1 광전변환부
- 102 : 제1의 전송 게이트부
- 103 : 제2 광전변환부
- 104 : 제2 전송 게이트부
- 105 : 제3 전송 게이트부
- 106 : 전하 축적부
- 107 : 리셋 게이트부
- 108 : FD부
- 109 : 증폭 트랜지스터
- 110 : 선택 트랜지스터
- 151 : 제4 전송 게이트부
- 203, 251, 303, 331, 351, 381 : 차광막

도면

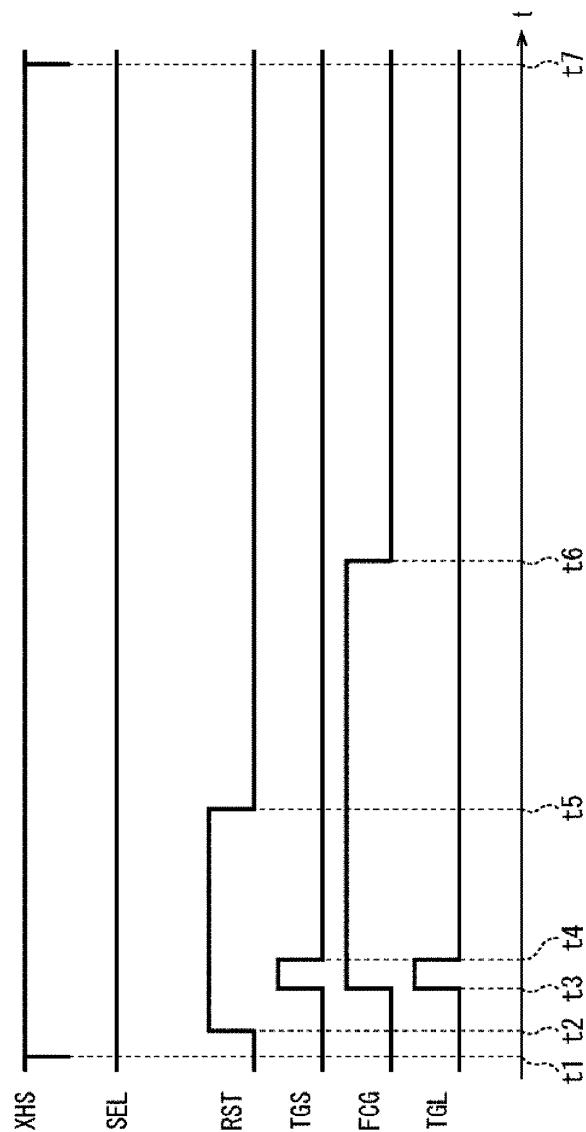
도면1



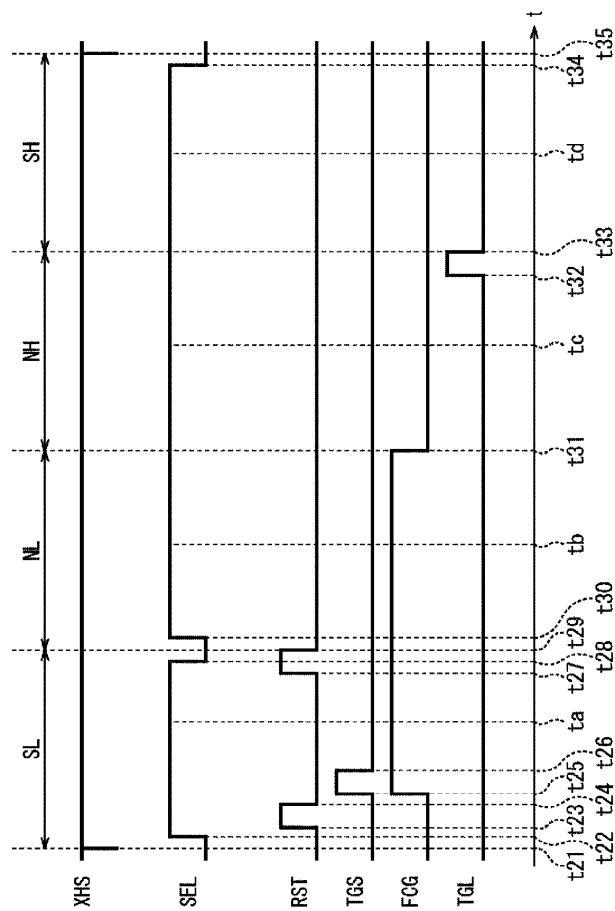
도면2



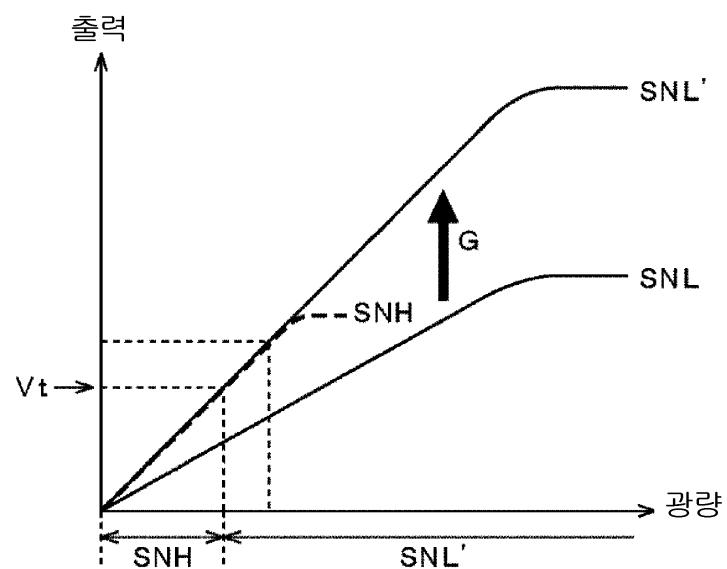
도면3



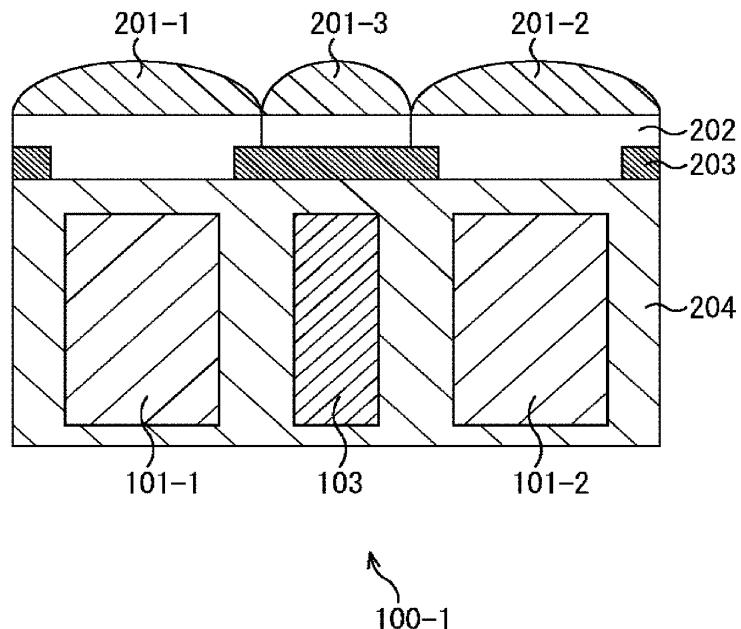
도면4



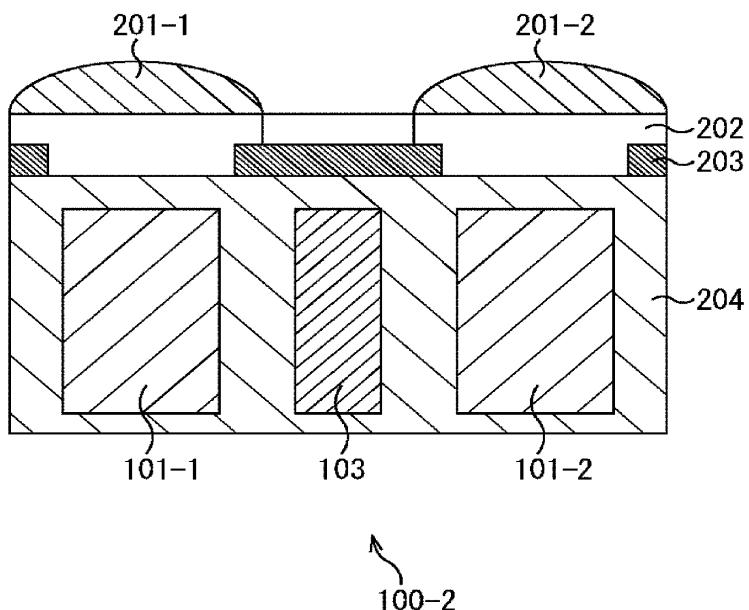
도면5



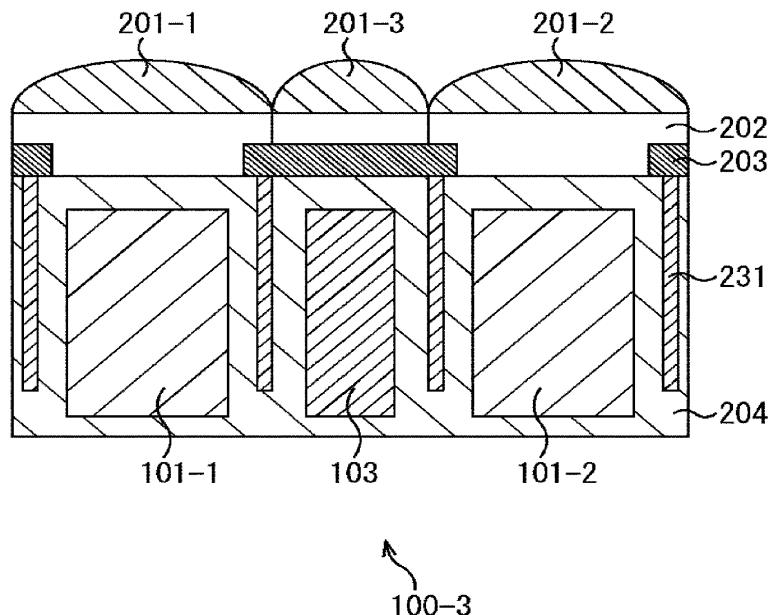
도면6



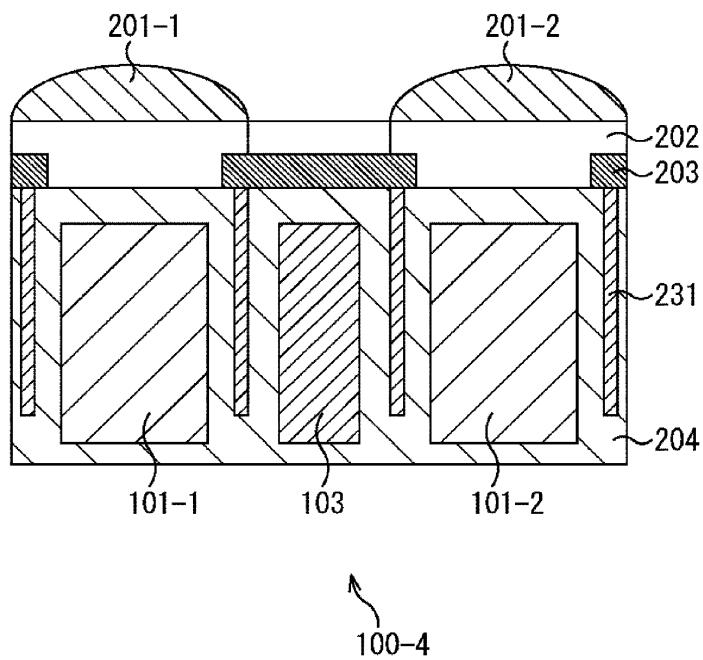
도면7



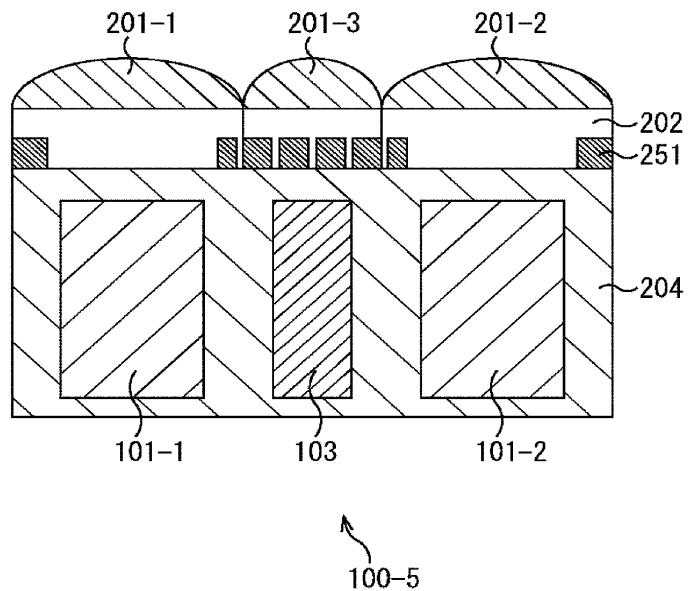
도면8



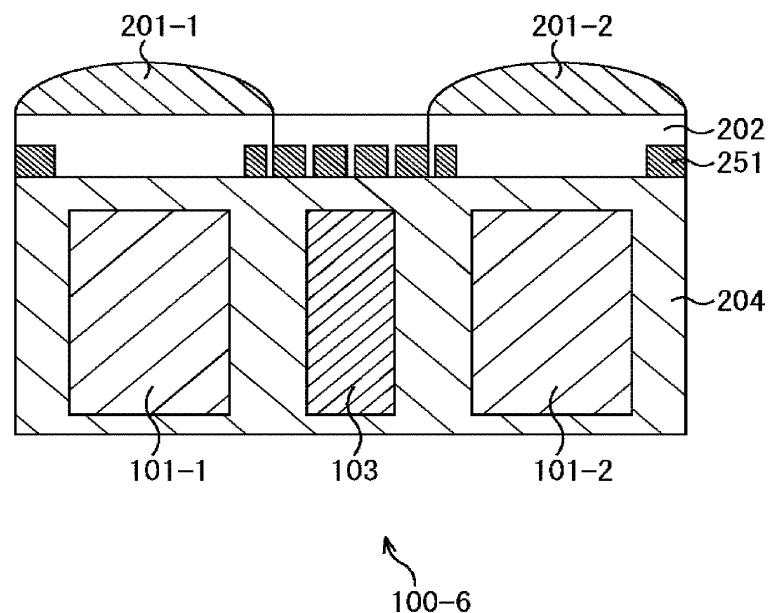
도면9



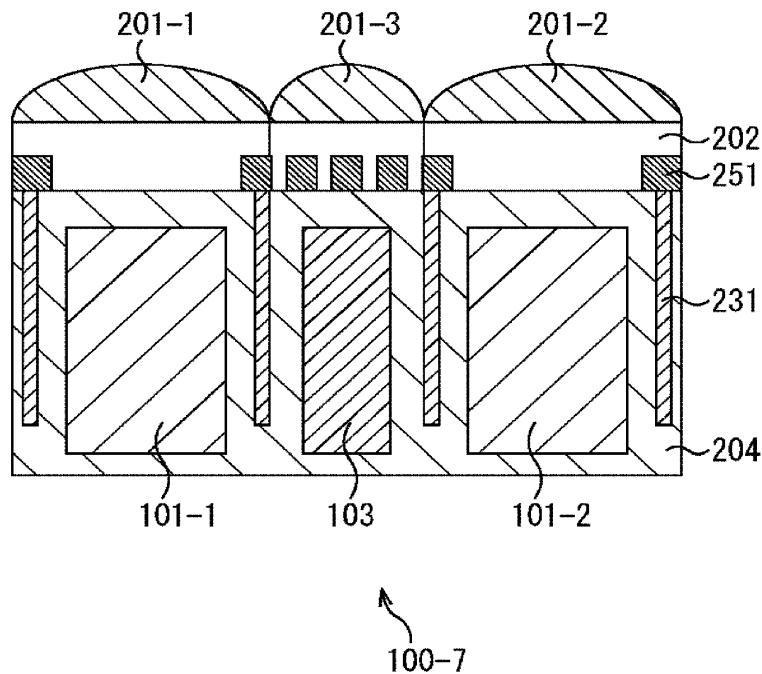
도면10



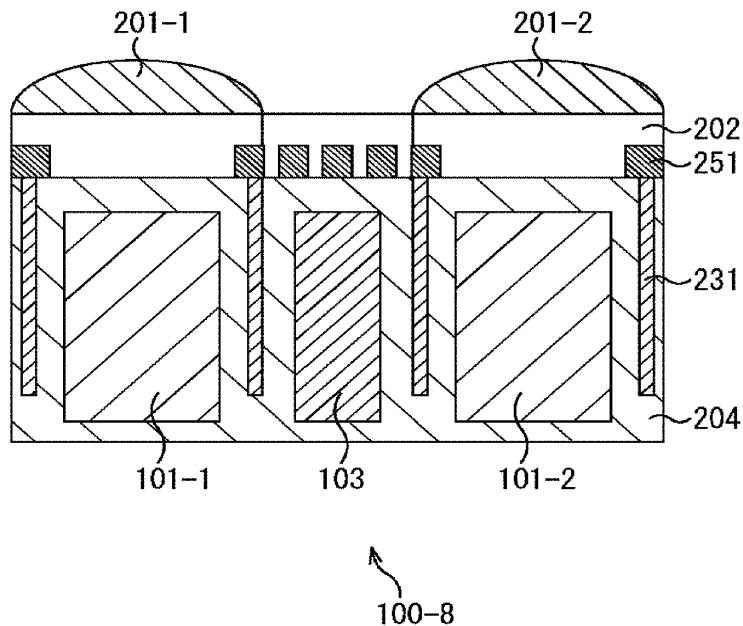
도면11



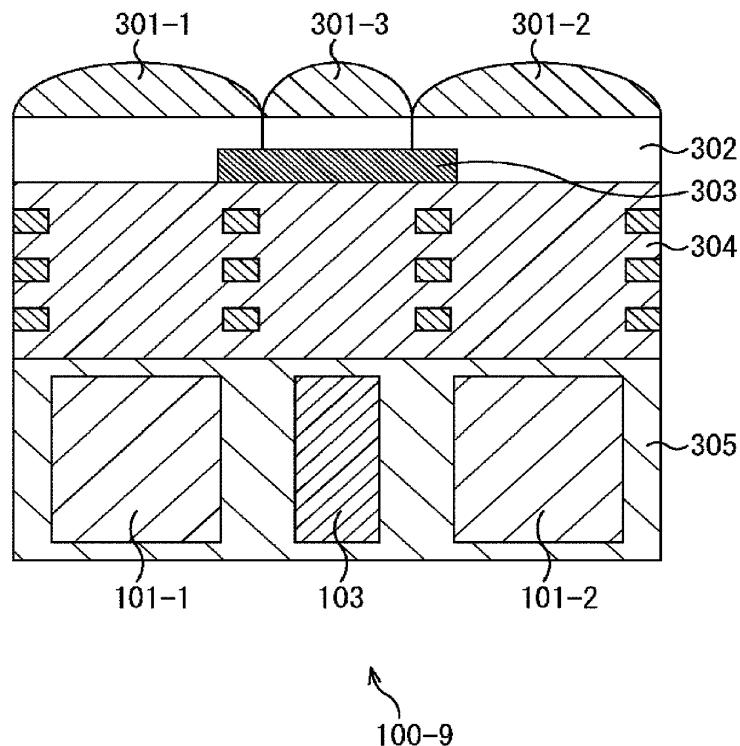
도면12



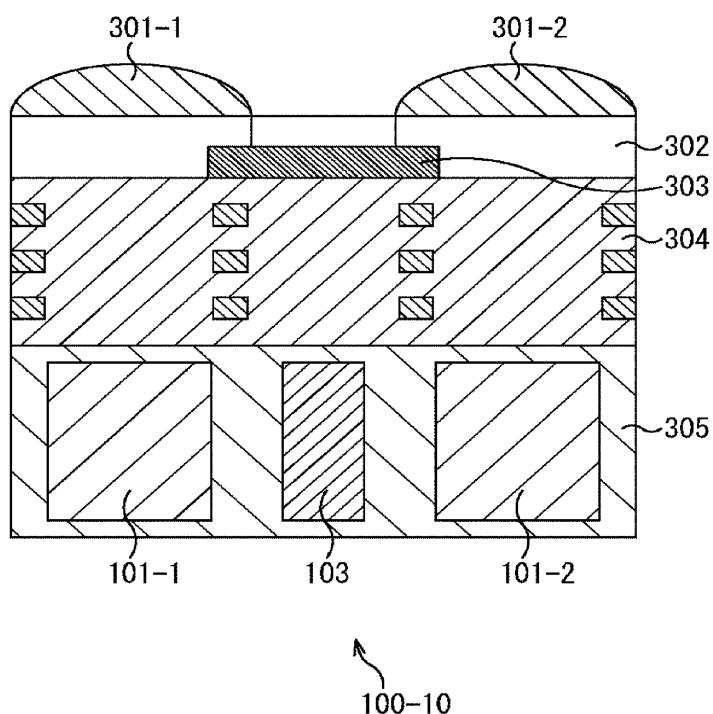
도면13



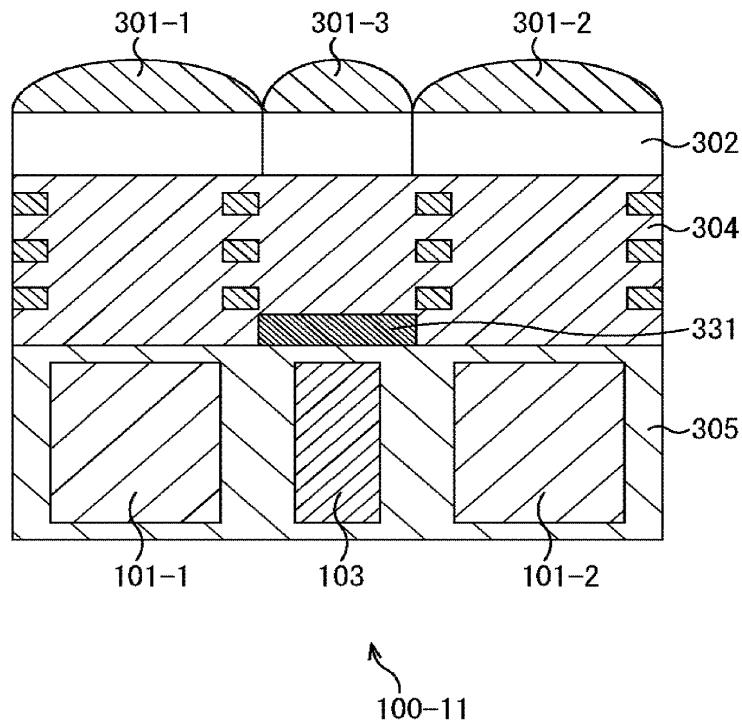
도면14



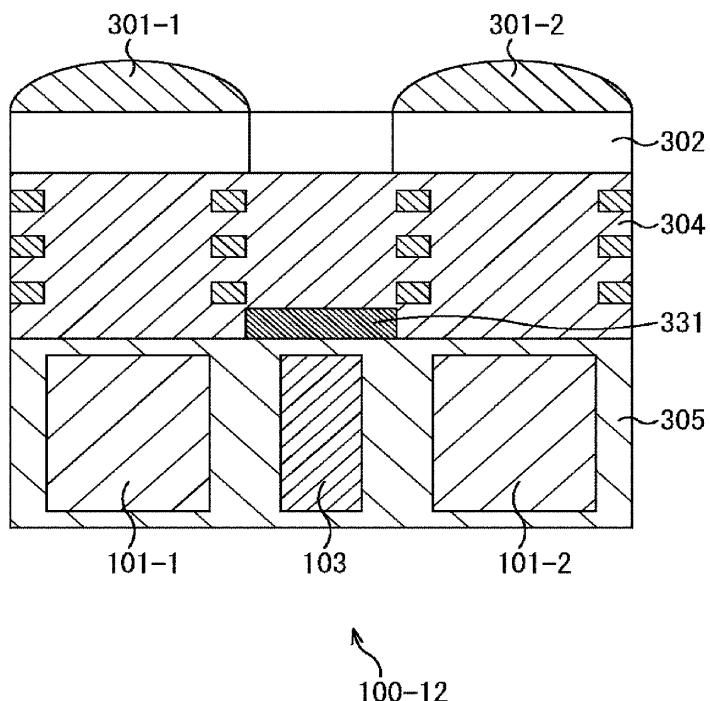
도면15



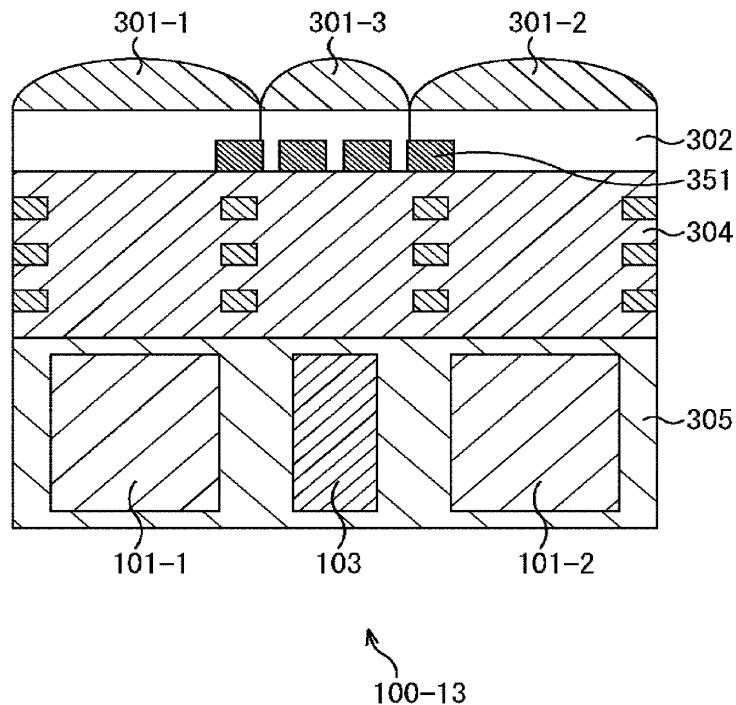
도면16



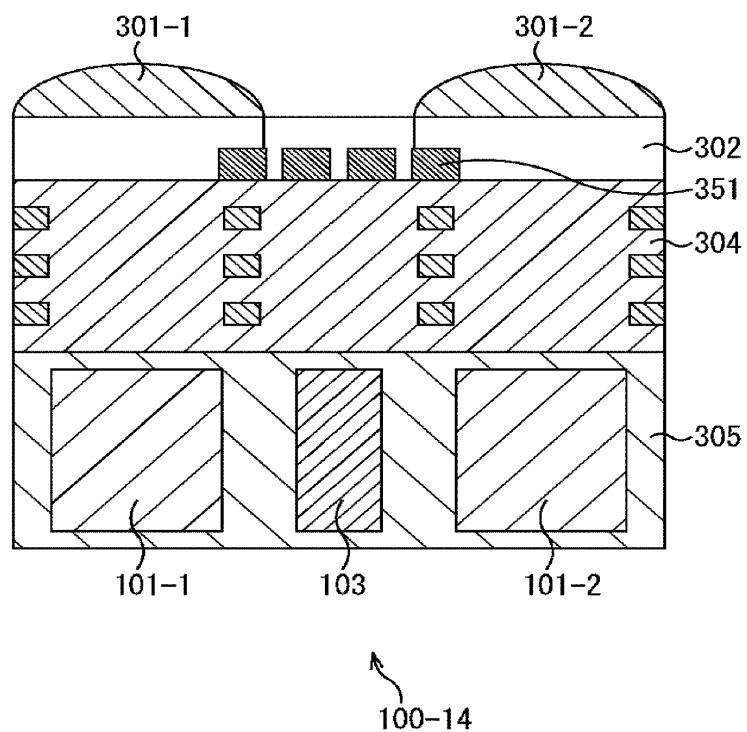
도면17



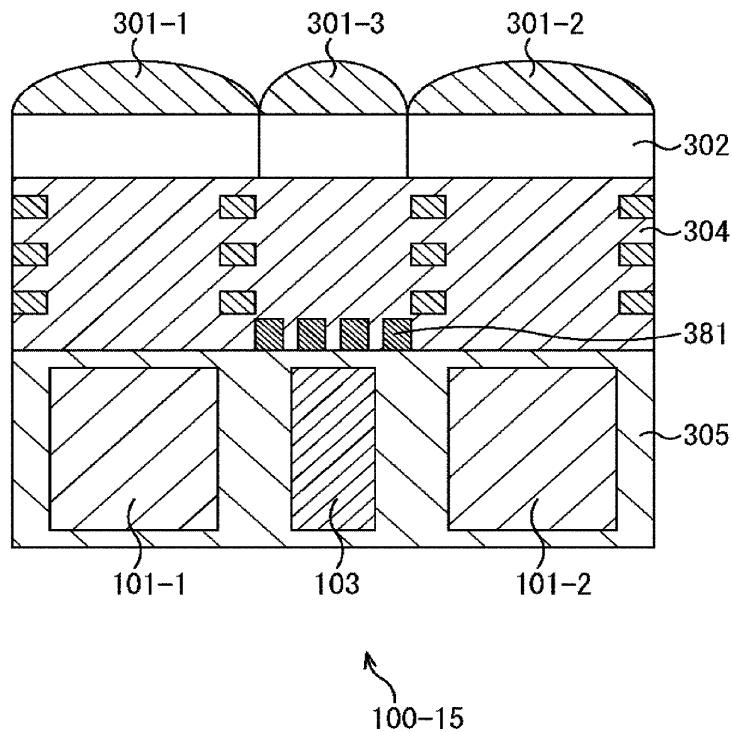
도면18



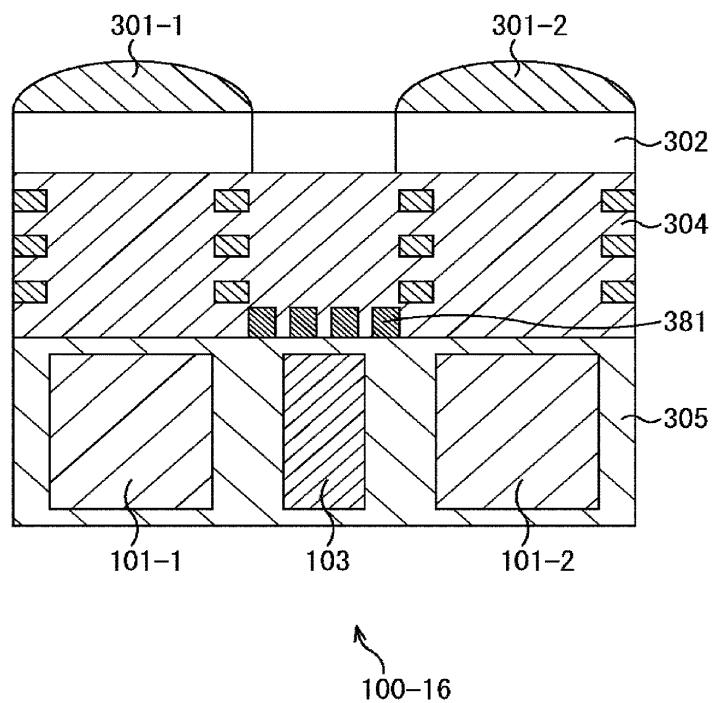
도면19



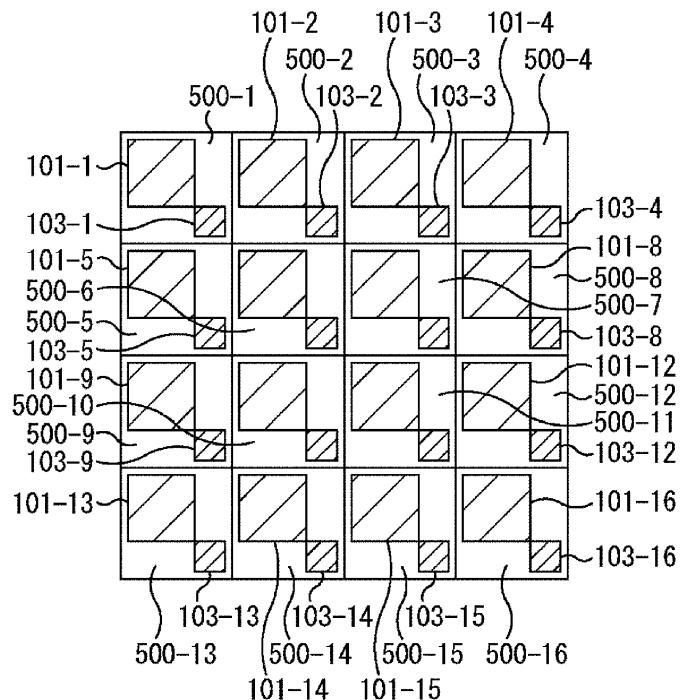
도면20



도면21



도면22



도면23

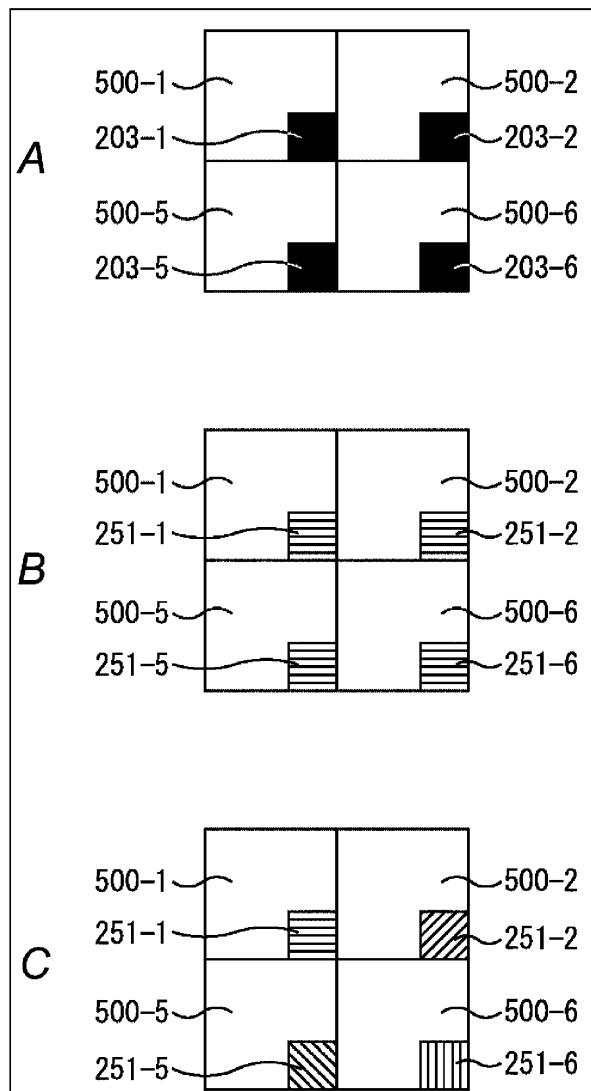
A

	500-1	500-2	500-3	500-4	
	R	G	R	G	
500-5	G		G		500-8
500-6		B		B	500-7
500-9	R	G	R	G	500-12
500-10					500-11
	G	B	G	B	
	500-13	500-14	500-15	500-16	

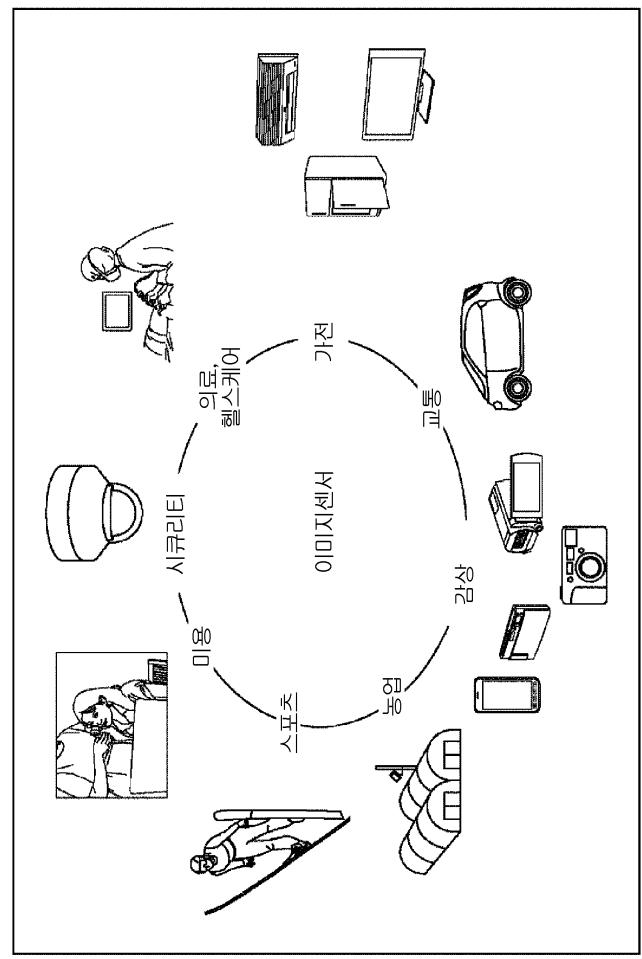
B

	500-1	500-2	500-3	500-4	
	R	R	G	G	
500-5	R	R	G	G	500-8
500-6					500-7
500-9	G	G	B	B	500-12
500-10					500-11
	G	G	B	B	
	500-13	500-14	500-15	500-16	

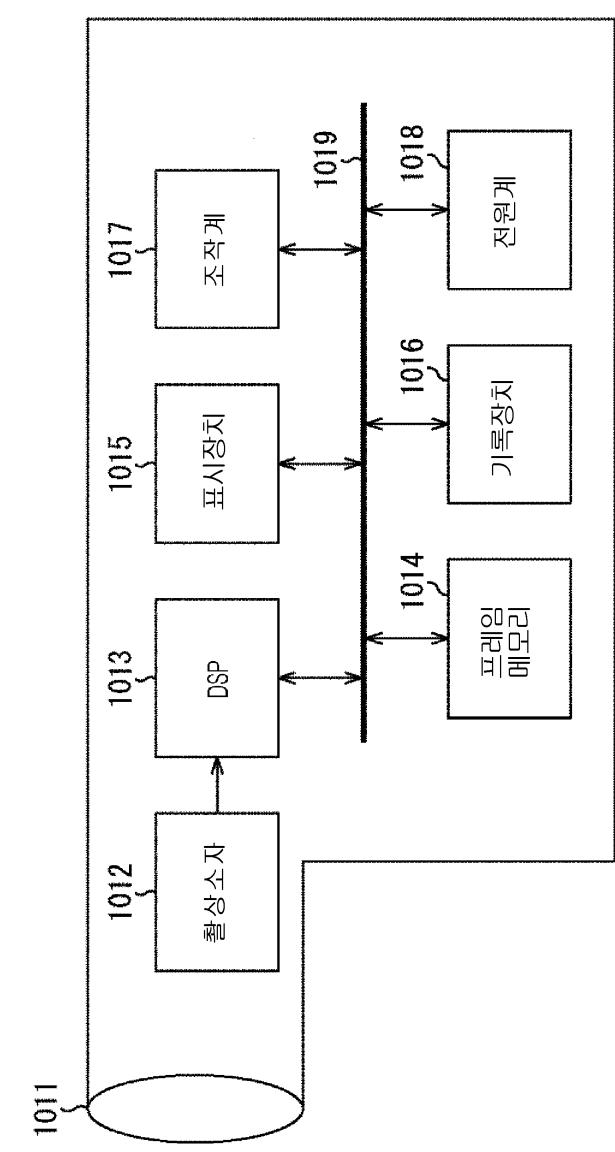
도면24



도면25



도면26



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

기판과,

상기 기판에 형성된 제2 영역보다 큰 상기 기판에 형성된 제1 영역을 갖는 제1 광전변환부와,

상기 제2 영역을 갖는 제2 광전변환부와,

상기 기판의 제1 면으로부터 연장되며, 적어도 일부가 상기 제1 광전변환부와 상기 제2 광전변환부 사이에 있는 트렌치를 포함하며,

차광막을 더 포함하고,

상기 차광막이 상기 제2 광전변환부의 상기 제2 영역의 적어도 일부의 위에 형성되고,

상기 차광막이 상기 촬상 장치의 입사광의 일부를 흡수하며,

상기 차광막이 슬릿을 포함하며,

상기 차광막의 슬릿은 상기 기판의 제1 면위에 마련되며,

상기 슬릿에 해당하는 부분은 상기 슬릿이 아닌 부분의 차광막보다 얇은 것을 특징으로 하는 활상 장치.

【변경후】

기판과,

상기 기판에 형성된 제2 영역보다 큰 상기 기판에 형성된 제1 영역을 갖는 제1 광전변환부와,

상기 제2 영역을 갖는 제2 광전변환부와,

상기 기판의 제1 면으로부터 연장되며, 적어도 일부가 상기 제1 광전변환부와 상기 제2 광전변환부 사이에 있는 트렌치를 포함하며,

차광막을 더 포함하고,

상기 차광막이 상기 제2 광전변환부의 상기 제2 영역의 적어도 일부의 위에 형성되고,

상기 차광막이 활상 장치의 입사광의 일부를 흡수하며,

상기 차광막이 슬릿을 포함하며,

상기 차광막의 슬릿은 상기 기판의 제1 면위에 마련되며,

상기 슬릿에 해당하는 부분은 상기 슬릿이 아닌 부분의 차광막보다 얇은 것을 특징으로 하는 활상 장치.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 10

【변경전】

제1항에 있어서,

상기 차광막이 상기 제1 광전변환막의 일부와 겹치는 것을 특징으로 하는 활상 장치.

【변경후】

제1항에 있어서,

상기 차광막이 상기 제1 광전변환부의 일부와 겹치는 것을 특징으로 하는 활상 장치.

【직권보정 3】

【보정항목】 청구범위

【보정세부항목】 청구항 19

【변경전】

광학 시스템과,

상기 광학 시스템으로부터 광을 수광하는 활상 소자를 포함하고,

상기 활상 소자는,

기판과,

상기 기판에 형성된 제2 영역보다 큰 상기 기판에 형성된 제1 영역을 갖는 제1 광전변환부와,

상기 제2 영역을 갖는 제2 광전변환부와,

차광막을 더 포함하고,

상기 차광막이 상기 제2 광전변환부의 상기 제2 영역의 적어도 일부의 위에 형성되고,

상기 차광막이 상기 활상 장치의 입사광의 일부를 흡수하며,

상기 차광막이 슬릿을 포함하며,

상기 차광막의 슬릿은 상기 기판의 제1 면위에 마련되며,

상기 슬릿에 해당하는 부분은 상기 슬릿이 아닌 부분의 차광막보다 얇으며,

상기 기판의 제1 면으로부터 연장되며, 적어도 일부가 상기 제1 광전변환부와 상기 제2 광전변환부 사이에 있는 차광벽과,

상기 활상 소자로부터 수신된 신호를 처리하는 디지털 신호 프로세서를 포함하는 것을 특징으로 하는 전자 기기.

【변경후】

광학 시스템과,

상기 광학 시스템으로부터 광을 수광하는 활상 소자를 포함하고,

상기 활상 소자는,

기판과,

상기 기판에 형성된 제2 영역보다 큰 상기 기판에 형성된 제1 영역을 갖는 제1 광전변환부와,

상기 제2 영역을 갖는 제2 광전변환부와,

차광막을 더 포함하고,

상기 차광막이 상기 제2 광전변환부의 상기 제2 영역의 적어도 일부의 위에 형성되고,

상기 차광막이 활상 장치의 입사광의 일부를 흡수하며,

상기 차광막이 슬릿을 포함하며,

상기 차광막의 슬릿은 상기 기판의 제1 면위에 마련되며,

상기 슬릿에 해당하는 부분은 상기 슬릿이 아닌 부분의 차광막보다 얇으며,

상기 기판의 제1 면으로부터 연장되며, 적어도 일부가 상기 제1 광전변환부와 상기 제2 광전변환부 사이에 있는 차광벽과,

상기 활상 소자로부터 수신된 신호를 처리하는 디지털 신호 프로세서를 포함하는 것을 특징으로 하는 전자 기기.