(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0082289
(43) 공개일자 2022년06월17일

(51) 국제특허분류(Int. Cl.)
H01L 29/739 (2006.01) *H01L 29/66* (2006.01)
(52) CPC특허분류
H01L 29/7391 (2013.01)
H01L 29/66356 (2013.01)
(21) 출원번호 10-2020-0172041
(22) 출원일자 2020년12월10일
심사청구일자 2021년09월14일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
최우영
서울특별시 용산구 원효로 216, 109동 1303호(신계동, 용산e편한세상)
우재승
서울특별시 서대문구 연희로41길 114, 3동 102호 (홍은동, 미성아파트)
(74) 대리인
정부연

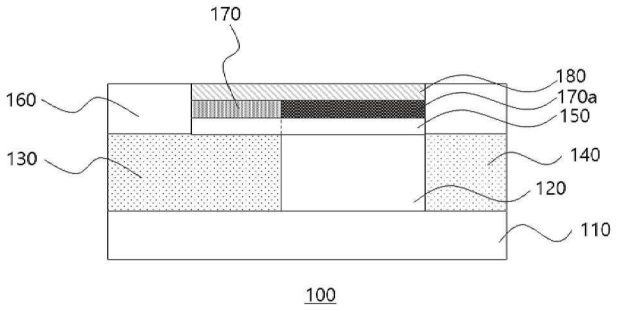
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **터널링 전계효과 트랜지스터 및 이의 제조방법**

(57) 요 약

본 발명은 터널링 전계효과 트랜지스터 및 이의 제조방법에 관한 것으로, 반도체 기판 상에 형성된 소스 영역과, 상기 소스 영역과 일정 거리 이격되어 형성된 드레인 영역과, 상기 소스 영역과 드레인 영역 사이의 상기 반도체 기판 상에 형성된 채널 영역과, 상기 채널 영역 및 상기 소스 영역 일부와 중첩되도록 형성되며, 상기 채널 영역과 일부 중첩되는 트랩층을 포함하는 유전체층과, 상기 유전체층 상에 형성된 게이트를 포함하는 것을 특징으로 한다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	1711116005
과제번호	10080575
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발(R&D,정보화)
연구과제명	초저전력 로직응용을 위한 SiGe 다중 적층 채널 GAA TFET 개발
기 여 율	1/2
과제수행기관명	서강대학교산학협력단
연구기간	2020.01.01 ~ 2020.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711116161
과제번호	2018-0-01421-003
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보통신방송혁신인재양성(R&D)
연구과제명	인공지능 서비스 실현을 위한 지능형 반도체 설계 핵심기술 개발
기 여 율	1/2
과제수행기관명	서강대학교산학협력단
연구기간	2020.01.01 ~ 2020.12.31

명 세 서

청구범위

청구항 1

반도체 기판 상에 형성된 소스 영역;

상기 소스 영역과 일정 거리 이격되어 형성된 드레인 영역;

상기 소스 영역과 드레인 영역 사이의 상기 반도체 기판 상에 형성된 채널 영역;

상기 채널 영역 및 상기 소스 영역 일부와 중첩되도록 형성되며, 상기 채널 영역과 일부 중첩되는 트랩층을 포함하는 유전체층; 및

상기 유전체층 상에 형성된 게이트

를 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 2

제1항에 있어서, 상기 트랩층의 일측은

상기 소스 영역과 상기 채널 영역 간의 경계면에 위치된 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 3

제1항에 있어서, 상기 트랩층은

상기 소스 영역과 상기 채널 영역의 경계면으로부터 상기 드레인 영역과 상기 채널 영역의 경계면까지 연장되어 형성된 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 4

제1항에 있어서, 상기 트랩층의 두께는

상기 유전체층의 두께와 동일하거나 상기 유전체층의 두께보다 낮게 형성되는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 5

제1항에 있어서, 상기 유전체층은

실리콘 산화막(SiO_2), 실리콘 옥시나이트라이드(SiON), 스트론튬 산화막(SrO), 알루미늄 산화막(Al_2O_3), 마그네슘 산화막(MgO), 스칸듐 산화막(Sc_2O_3), 가돌리늄 산화막(Gd_2O_3), 이트륨 산화막(Y_2O_3), 사마륨 산화막(Sm_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 티타늄 산화막(TiO_2), 탄탈 산화막(Ta_2O_5), 바륨 산화막(BaO) 및 비스무스 산화막(Bi_2O_3) 중 선택된 어느 하나의 단일막 또는 2개 이상의 복수로 적층된 복합막 중 어느 하나를 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 6

제1항에 있어서, 상기 소스 영역은

상기 게이트의 일 측면으로부터 상기 게이트의 하부까지 연장되어 형성된 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 7

제1항에 있어서, 상기 드레인 영역은

상기 게이트의 타 측면에 형성되고, 상기 소스 영역과 다른 타입의 불순물로 도핑된 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 8

제1항에 있어서,

상기 반도체 기판 상에 상기 게이트와 중첩되는 상기 소스 영역 및 채널 영역에 접하여 형성된 에피 채널층을 더 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 9

제8항에 있어서, 상기 에피 채널층은

실리콘(Si), 게르마늄(Ge) 및 이들의 조합 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 10

반도체 기판 내에 소스 영역, 드레인 영역 및 채널 영역을 형성하는 단계; 및

상기 반도체 기판 상부에 상기 소스 영역의 일부 및 상기 채널 영역에 중첩되는 유전체층을 형성하는 단계;

상기 유전체층 패턴 표면에 대해 틸트 임플란트(Tilted Implant) 공정을 수행하여 상기 유전체층 내에 상기 채널 영역과 일부 중첩되는 트랩층을 형성하는 단계; 및

상기 유전체층 및 트랩층 상부에 게이트 물질층을 형성하는 단계

를 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터의 제조방법.

청구항 11

제10항에 있어서, 상기 유전체층 패턴은

실리콘 산화막(SiO_2), 실리콘 옥시나이트라이드(SiON) 및 스트론튬 산화막(SrO), 알루미늄 산화막(Al_2O_3), 마그네슘 산화막(MgO), 스칸듐 산화막(Sc_2O_3), 가돌리늄 산화막(Gd_2O_3), 이트륨 산화막(Y_2O_3), 사마륨 산화막(Sm_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 티타늄 산화막(TiO_2), 탄탈 산화막(Ta_2O_5), 바륨 산화막(BaO) 및 비스무스 산화막(Bi_2O_3) 중 선택된 어느 하나의 단일막 또는 2개 이상의 복수로 적층된 복합막 중 어느 하나를 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터의 제조방법.

청구항 12

제10항에 있어서, 상기 트랩층은

상기 소스 영역과 상기 채널 영역 간의 경계면으로부터 상기 채널 영역을 따라 연장된 것을 특징으로 하는 터널링 전계효과 트랜지스터의 제조방법.

청구항 13

제10항에 있어서, 상기 유전체층을 형성하는 단계는

상기 반도체 기판 상부에 더미 게이트 물질층을 형성하는 단계;

상기 더미 게이트 물질층을 식각하여 더미 게이트 패턴을 형성하는 단계;

상기 더미 게이트 패턴을 포함하는 전체 상부에 절연막을 형성하는 단계;

평탄화 공정으로 상기 절연막을 식각하여 상기 더미 게이트 패턴 상부를 노출시키는 절연막 패턴을 형성하는 단계;

상기 더미 게이트 패턴을 제거한 후 상기 절연막 패턴 사이의 상기 반도체 기판 상에 유전체 물질을 증착하는 단계

를 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터의 제조방법.

청구항 14

제13항에 있어서, 상기 더미 게이트 물질층을 형성하는 단계 이전에

상기 반도체 기판 상에 에피 채널층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터의 제조방법.

청구항 15

제14항에 있어서, 상기 에피 채널층은

실리콘(Si), 게르마늄(Ge) 및 이들의 조합 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터의 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 터널링 전계효과 트랜지스터 및 이의 제조 기술에 관한 것으로, 보다 상세하게는 특정 영역에서 일어나는 터널링 전류를 억제시킴으로써 스위칭 특성을 향상시킬 수 있는 터널링 전계효과 트랜지스터 및 이의 제조방법에 관한 것이다.

배 경 기 술

[0003] 최근 딥러닝, IOT 분야의 수요 증가에 의해 많은 반도체의 수요도 동시에 증가하며 반도체 소자들의 전력 사용량이 많이 증가하는 추세이다. 따라서, 저전력 고성능을 갖는 트랜지스터를 구현하기 위한 연구가 필요하다. 다양한 소자들에 대해 연구가 진행 중인데 특히, 그 중에서도 터널링 트랜지스터는 금속 산화막 전계 트랜지스터(Metal-Oxide Semiconductor Field Effect Transistor, MOSFET)보다 저전압에서 더 높은 전류를 가질 수 있어 저전력 소자로 주목받고 있다. 또한, 다른 저전력 소자들과 달리 기존 금속 산화막 전계 트랜지스터와 공정과정을 공유하기 때문에, 산업계 측면에서도 기존 공정을 유지할 수 있다. 터널링 트랜지스터는 기존 금속 산화막 전계 트랜지스터와 달리 밴드 간 터널링 (band-to-band tunneing, BTBT)에 의해 캐리어 이동이 일어나므로 금속 산화막 전계 트랜지스터의 물리적 한계인 60 mV/dec 이하의 문턱전압이하 기울기 (SS)를 가진다. 그러나 터널링

트랜지스터의 SS는 드레인 전류가 증가함에 따라 계속 증가하며, 이는 터널링 트랜지스터의 전류를 낮은 값으로 제한하게 된다. 이를 해결하기 위해 터널링 트랜지스터의 성능을 극대화한 게이트-수직 방향의 터널링 현상을 이용한 소자가 제안된 바 있다. 하지만, 해당 연구는 소자의 전류를 높이는 데는 성공했지만, 모서리 영역에서 일어나는 터널링에 의해 on-off 스위칭의 성능이 떨어진다는 한계가 존재한다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 실시예는 유전체층 내에 트랩층을 형성하여 게이트의 수직 방향으로 밴드간 터널링 구간을 증가시키고, 동시에 소스-게이트 중첩 영역과 채널 영역 간의 경계면으로부터 게이트 대각선 방향으로의 밴드간 터널링을 억제시킴으로써 스위칭 특성을 향상시킬 수 있는 터널링 전계효과 트랜지스터 및 이의 제조방법을 제공하고자 한다.

과제의 해결 수단

[0007] 실시예들 중에서, 터널링 전계효과 트랜지스터는 반도체 기판 상에 형성된 소스 영역과, 상기 소스 영역과 일정 거리 이격되어 형성된 드레인 영역과, 상기 소스 영역과 드레인 영역 사이의 상기 반도체 기판 상에 형성된 채널 영역과, 상기 채널 영역 및 상기 소스 영역 일부와 중첩되도록 형성되며, 상기 채널 영역과 일부 중첩되는 트랩층을 포함하는 유전체층과, 상기 유전체층 상에 형성된 게이트를 포함하는 것을 특징으로 한다.

[0008] 상기 트랩층의 일측은 상기 소스 영역과 상기 채널 영역 간의 경계면에 위치된 것을 특징으로 한다.

[0009] 상기 트랩층은 상기 소스 영역과 상기 채널 영역의 경계면으로부터 상기 드레인 영역과 상기 채널 영역의 경계면까지 연장되어 형성된 것을 특징으로 한다.

[0010] 상기 트랩층의 두께는 상기 유전체층의 두께와 동일하거나 상기 유전체층의 두께보다 낮게 형성되는 것을 특징으로 한다.

[0011] 상기 유전체층은 실리콘 산화막(SiO_2), 실리콘 옥시나이트라이드(SiON), 스트론튬 산화막(SrO), 알루미늄 산화막(Al_2O_3), 마그네슘 산화막(MgO), 스칸듐 산화막(Sc_2O_3), 가돌리늄 산화막(Gd_2O_3), 이트륨 산화막(Y_2O_3), 사마륨 산화막(Sm_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 티타늄 산화막(TiO_2), 탄탈 산화막(Ta_2O_5), 바륨 산화막(BaO) 및 비스무스 산화막(Bi_2O_3) 중 선택된 어느 하나의 단일막 또는 2개 이상의 복수로 적층된 복합막 중 어느 하나를 포함하는 것을 특징으로 한다.

[0012] 상기 소스 영역은 상기 게이트의 일 측면으로부터 상기 게이트의 하부까지 연장되어 형성된 것을 특징으로 한다.

[0013] 상기 드레인 영역은 상기 게이트의 타 측면에 형성되고, 상기 소스 영역과 다른 타입의 불순물로 도핑된 것을 특징으로 한다.

[0014] 상기 반도체 기판 상에 상기 게이트와 중첩되는 상기 소스 영역 및 채널 영역에 접하여 형성된 에피 채널층을 더 포함하는 것을 특징으로 한다.

[0015] 상기 에피 채널층은 실리콘(Si), 게르마늄(Ge) 및 이들의 조합 중 적어도 어느 하나를 포함하는 것을 특징으로 한다.

[0016] 실시예들 중에서, 터널링 전계효과 트랜지스터의 제조 방법은 반도체 기판 내에 소스 영역, 드레인 영역 및 채널 영역을 형성하는 단계와, 상기 반도체 기판 상부에 상기 소스 영역의 일부 및 상기 채널 영역에 중첩되는 유전체층을 형성하는 단계와, 상기 유전체층 패턴 표면에 대해 틸트 임플란트(Tilted Implant) 공정을 수행하여 상기 유전체층 내에 상기 채널 영역과 일부 중첩되는 트랩층을 형성하는 단계와, 상기 유전체층 및 트랩층 상부에 게이트 물질층을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0017] 상기 유전체층 패턴은 실리콘 산화막(SiO_2), 실리콘 옥시나이트라이드(SiON) 및 스트론튬 산화막(SrO), 알루미

늄 산화막(Al_2O_3), 마그네슘 산화막(MgO), 스칸듐 산화막(Sc_2O_3), 가돌리늄 산화막(Gd_2O_3), 이트륨 산화막(Y_2O_3), 사마륨 산화막(Sm_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 티타늄 산화막(TiO_2), 탄탈 산화막(Ta_2O_5), 바륨 산화막(BaO) 및 비스무스 산화막(Bi_2O_3) 중 선택된 어느 하나의 단일막 또는 2개 이상의 복수로 적층된 복합막 중 어느 하나를 포함하는 것을 특징으로 한다.

[0018] 상기 트랩층은 상기 소스 영역과 상기 채널 영역 간의 경계면으로부터 상기 채널 영역을 따라 연장된 것을 특징으로 한다.

[0019] 상기 유전체층을 형성하는 단계는 상기 반도체 기판 상부에 더미 게이트 물질층을 형성하는 단계와, 상기 더미 게이트 물질층을 식각하여 더미 게이트 패턴을 형성하는 단계와, 상기 더미 게이트 패턴을 포함하는 전체 상부에 절연막을 형성하는 단계와, 평탄화 공정으로 상기 절연막을 식각하여 상기 더미 게이트 패턴 상부를 노출시키는 절연막 패턴을 형성하는 단계와, 상기 더미 게이트 패턴을 제거한 후 상기 절연막 패턴 사이의 상기 반도체 기판 상에 유전체 물질을 증착하는 단계를 포함하는 것을 특징으로 한다.

[0020] 상기 더미 게이트 물질층을 형성하는 단계 이전에 상기 반도체 기판 상에 에피 채널층을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

[0021] 상기 에피 채널층은 실리콘(Si), 게르마늄(Ge) 및 이들의 조합 중 적어도 어느 하나를 포함하는 것을 특징으로 한다.

발명의 효과

[0023] 개시된 기술은 다음의 효과를 가질 수 있다. 다만, 특정 실시예가 다음의 효과를 전부 포함하여야 한다거나 다음의 효과만을 포함하여야 한다는 의미는 아니므로, 개시된 기술의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.

[0024] 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터 및 이의 제조방법은 유전체층 내에 트랩층을 형성하여 게이트의 수직 방향으로 밴드간 터널링 구간을 증가시키고, 동시에 소스-게이트 중첩 영역과 채널 영역 간의 경계면으로부터 게이트의 대각선 방향으로의 밴드간 터널링을 억제시킴으로써 스위칭 특성을 향상시킬 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터를 도시한 도면이다.

도 2는 본 발명의 비교예에 따른 터널링 전계효과 트랜지스터를 설명하기 위해 도시한 도면이다.

도 3a 내지 도 3i는 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터의 제조 방법을 도시한 도면이다.

도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터 제조 시 열화 현상의 메커니즘을 도시한 도면이다.

도 5는 본 발명의 일 실시예에 따른 터널링 트랜지스터의 게이트 및 드레인에 각각 스트레스 전압을 인가했을 때 나타나는 현상을 도시한 도면이다.

도 6은 본 발명의 일 실시예에 따른 터널링 트랜지스터의 스위칭 성능 향상을 설명하기 위한 그래프이다.

도 7은 본 발명의 일 실시예에 따른 터널링 트랜지스터의 게이트 전압과 드레인 전류를 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 본 발명의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 본 발명의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다. 또한, 본 발명에서 제시된 목적 또는 효과는 특정 실시예가 이를 전부 포함하여야 한다거나 그러한 효과만을 포함하여야 한다는 의미는 아니므로, 본 발명의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.

[0028] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0029] "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0030] 어떤 구성요소가 다른 구성요소에 "연결되어"있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결될 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어"있다고 언급된 때에는 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 한편, 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0031] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함하다"또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이며, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0032] 각 단계들에 있어 식별부호(예를 들어, a, b, c 등)는 설명의 편의를 위하여 사용되는 것으로 식별부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.

[0033] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 본 발명이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.

[0034] 이하 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 이하 도면상의 동일한 구성 요소에 대하여는 동일한 참조 부호를 사용하고, 동일한 구성 요소에 대해서 중복된 설명은 생략한다.

[0036] 도 1은 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터를 도시한 도면이다.

[0037] 도 1을 참조하면, 터널링 전계효과 트랜지스터(100)는 반도체 기판(110), 소스 영역(130), 드레인 영역(140), 채널 영역(120), 에피 채널층(150), 유전체층(170) 및 게이트(180)를 포함한다. 여기에서, 반도체 기판(110)은 SOI(Silicon On Insulator)를 통해 형성될 수 있다. 또한, 반도체 기판(110)은 SOI 하단의 매몰 산화막(Buried Oxide, BOX) 및 실리콘 기판으로 형성될 수 있다.

[0038] 여기에서, SOI는 실리콘 단결정층 사이에 절연층이 형성되어 있는 구조의 기판에 해당할 수 있다. 매몰 산화막은 절연막으로 사용되는 산화층(Oxide layer)으로, 전기적 절연체의 역할뿐만 아니라 집적회로의 제조공정에서 소자와 소자 간의 격리에 사용되는 산화막에 해당하고, SOI 상의 특정 영역에 불순물을 도핑하는 공정과정에서 해당 영역 이외의 영역에 대한 확산방지막의 역할을 수행할 수 있다. 이하, 반도체 기판(110)은 반드시 이렇게 한정되는 것은 아니다.

[0039] 소스 영역(130) 및 드레인 영역(140)은 반도체 기판(110) 내에 일정 간격 이격되어 형성되어 있다. 예를 들어, 소스 영역(130)은 게이트(180)의 일 측면으로부터 게이트(180)의 하부까지 연장되어 형성되어 있고, 드레인 영역(140)은 게이트(180)의 타 측면에 형성될 수 있다. 즉, 소스 영역(130)은 게이트(180)와 일부 영역이 중첩(overlap)되어 형성될 수 있다.

[0040] 그리고, 소스 영역(130) 및 드레인 영역(140)은 서로 다른 타입의 불순물이 도핑되어 형성될 수 있다. 예를 들어, 소스 영역(130)은 P+ 영역으로 형성되고, 드레인 영역(140)은 N+ 영역으로 형성될 수 있다. 본 발명의 일 실시예는 이에 한정되지 않고, 소스 영역(130)이 N+ 영역으로 형성되고, 드레인 영역(140)이 P+ 영역으로 형성될 수 있다.

[0041] 여기에서, N형 불순물은 비소(As), 인(P), 비스무스(Bi) 및 안티몬(Sb) 중 적어도 어느 하나를 포함할 수 있고, P형 불순물은 알루미늄(Al), 붕소(B), 인듐(In) 및 갈륨(Ga) 중 적어도 어느 하나를 포함할 수 있다. 소스 영역

(130) 및 드레인 영역(140)에 도핑되는 불순물의 농도는 예를 들어, $1\times10^{18}/cm^{-3}$ 내지 $1\times10^{20}/cm^{-3}$ 일 수 있다.

[0042] 채널 영역(120)은 반도체 기판(110) 내에 소스 영역(130)과 드레인 영역(140) 사이에 형성되어 있으며, 소스 영역(130)보다 P형 불순물이 약하게 도핑(P-)되거나, 도핑되지 않은 진성 영역(intrinsic region)으로 형성될 수 있고, 드레인 영역(140)보다 N형 불순물이 약하게 도핑(N- 영역)되거나, 도핑되지 않은 진성 영역으로 형성될 수도 있다.

[0043] 에피 채널층(150)은 반도체 기판(110) 상에 게이트(180)와 중첩되는 소스 영역(130) 및 채널 영역(140)에 접하여 형성되어 있다. 에피 채널층(150)은 게이트(180)의 수직 방향으로 형성된 채널 영역으로 동작한다.

[0044] 이를 위해, 에피 채널층(150)은 반도체 기판(110)과 동일한 물질로 형성할 수 있다. 반드시 이에 한정되지 않고, 에피 채널층(150)은 반도체 기판(110)과 호환이 가능하고, 반도체 기판(110)보다 밴드갭이 낮은 물질을 포함할 수 있다. 예를 들어, 에피 채널층(150)은 실리콘(Si), 게르마늄(Ge), 실리콘 게르마늄(SiGe) 등을 포함할 수 있다. 그리고, 에피 채널층(150)은 에피텍셜 성장(Epitaxial Growth) 공정을 통해 형성될 수 있다.

[0045] 에피 채널층(150) 양측의 소스 영역(130) 및 드레인 영역(140) 상에 절연막 패턴(160)이 형성될 수 있다. 절연막 패턴(160)은 TEOS, 실리콘 산화물(Silicon oxide) 외에도 금속 산화물, 실리콘 질화물(Silicon nitride), 붕소 질화물(Boron nitride), 고분자 화합물 등 반도체 공정에 사용될 수 있는 선택적 식각이 가능한 절연 물질일 수 있다.

[0046] 유전체층(170)은 절연막 패턴(160)들 사이의 에피 채널층(150) 상에 형성된다. 여기에서, 유전체층(170)은 트랩층(170a)을 포함한다. 트랩층(170a)은 소스 영역(130)과 채널 영역(120)의 경계면(점선 참조.)으로부터 채널 영역(120)을 따라 연장되어 형성될 수 있다. 구체적으로, 트랩층(170a)은 게이트(180)와 소스 영역(130)이 중첩되지 않은 영역, 즉 채널 영역(120) 상에 형성될 수 있다. 이때, 트랩층(170a)은 도 1에 도시된 바와 같이 드레인 영역(140)과 채널 영역(120)의 경계면까지 연장되어 형성될 수도 있으나, 이에 한정하지 않는다. 예를 들어, 트랩층(170a)이 소스 영역(130)과 중첩되지 않은 일부 채널 영역(120) 상에만 형성될 수도 있다.

[0047] 트랩층(170a)은 유전체층(170)에 대한 틸트 임플란트 공정을 통해 형성될 수 있다. 또한, 트랩층(170a)은 터널링 트랜지스터의 게이트(180)와 드레인 영역(140)에 스트레스 전압을 인가하여 형성할 수 있다.

[0048] 틸트 임플란트 공정을 통해 트랩층(170a) 형성 시 에너지의 조절을 통해 유전체층(170)과 동일한 두께로 형성될 수 있다. 또한, 유전체층(170) 표면으로부터 일정 두께, 즉, 유전체층(170)의 일부에만 트랩층이 형성되도록 할 수도 있다.

[0049] 여기서, 유전체층(170)은 저 유전율(Low-k)막, 예를 들어 실리콘 산화막(SiO_2) 및 실리콘 옥시나이트라이드(SiON) 중 적어도 어느 하나로 형성할 수 있다. 또한, 유전체층(170)은 고 유전율(High-k)막, 예를 들어 스트론튬 산화막(SrO), 알루미늄 산화막(Al_2O_3), 마그네슘 산화막(MgO), 스칸듐 산화막(Sc_2O_3), 가돌리늄 산화막(Gd_2O_3), 이트륨 산화막(Y_2O_3), 사마륨 산화막(Sm_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 티타늄 산화막(TiO_2), 탄탈 산화막(Ta_2O_5), 바륨 산화막(BaO) 및 비스무스 산화막(Bi_2O_3) 중 선택된 어느 하나의 단일막 또는 2개 이상의 복수로 적층된 복합막으로 형성할 수 있다.

[0050] 이와 같이, 유전체층(170) 내에 트랩층(170a)이 형성됨에 따라 해당 영역의 트랩이 소스 영역(130)의 모서리로부터 게이트(180)의 대각선 방향으로 밴드간 터널링(BTBT) 경로가 형성되는 현상을 억제하여 터널링 트랜지스터의 스위칭 성능을 극대화할 수 있다. 구체적으로, 이하의 도 2를 참조하여 자세히 설명한다.

[0052] 도 2는 본 발명의 비교예에 따른 터널링 전계효과 트랜지스터를 설명하기 위해 도시한 도면이다.

[0053] 도 2를 참조하면, 본 발명의 비교예에 따른 터널링 전계효과 트랜지스터(200')는 본 발명의 일 실시예에 따른 트랩층이 없고, 유전체층(270)으로만 구성된 구조이다. 이 경우에 (a)에 도시된 바와 같이, 유전체층(270)에 의해 생성된 강한 전기장으로 인해 게이트(280)와 중첩된 소스 영역(230)의 모서리에서 게이트(280)의 대각선 방향으로 불필요한 기생 밴드간 터널링(BTBT) 경로가 발생한다('A' 참조.).

[0054] 반면, 본 발명에 따른 터널링 전계 효과 트랜지스터는 (b)에 도시된 바와 같이, 게이트(280)와 중첩되지 않은 소스 영역(230)의 전기장을 약화시켜 게이트와 중첩된 소스 영역의 모서리에서 발생하는 터널링 전류를 억제

('B' 참조.)함으로써, 소스 영역(230)의 모서리에서 게이트(280)의 대각선 방향으로의 기생 밴드간 터널링(BTBT) 경로를 차단시킬 수 있다.

[0055] 도 3a 내지 도 3i는 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터의 제조 방법을 도시한 도면이다.

[0056] 도 3a를 참조하면, 반도체 기판(310)에 소스 영역(330), 드레인 영역(340) 및 채널 영역(320)을 형성한다. 여기에서, 소스 영역(330) 및 드레인 영역(340)은 확산(Diffusion) 공정 또는 이온 주입(Ion Implantation) 공정을 통해 불순물을 도핑하여 형성할 수 있다. 본 발명의 일 실시예에서 소스 영역(330)은 P+ 영역이고, 드레인 영역(340)은 N+ 영역으로 형성할 수 있다. 채널 영역(320)은 소스 영역(330)보다 P형 불순물이 약하게 도핑(P-)되거나, 도핑되지 않은 진성 영역(intrinsic region)으로 형성될 수 있고, 드레인 영역(340)보다 N형 불순물이 약하게 도핑(N- 영역)되거나, 도핑되지 않은 진성 영역으로 형성될 수도 있다.

[0057] 그 다음, 반도체 기판(310) 상부에 에피 채널층(350)을 형성한다. 여기에서, 에피 채널층(350)은 실리콘(Si), 게르마늄(Ge) 및 이들의 조합 중 적어도 어느 하나를 포함하고, 에피텍셜 성장(Epitaxial Growth) 공정을 통해 형성될 수 있다.

[0058] 그 다음, 에피 채널층(350) 상부에 산화막(355) 및 더미 게이트 물질층(357)을 형성한다. 산화막은 TEOS막을 포함할 수 있으며, TEOS막은 화학적 기상증착법(Chemical Vapor Deposition;CVD)으로 형성할 수 있다. 더미 게이트 물질층은 실리콘계 물질(폴리실리콘, 비정질실리콘 등)이나 금속 물질 등으로 형성할 수 있다.

[0059] 도 3b를 참조하면, 반도체 기판(310) 상부에 소스 영역(330)의 일부 및 드레인 영역(340)을 노출시키는 마스크 패턴(미도시)을 형성하고, 마스크 패턴을 식각 마스크로 하여 더미 게이트 물질층(357), 산화막(355) 및 에피 채널층(350)을 식각하여 더미 게이트 물질층 패턴(357a), 산화막 패턴(355a) 및 에피 채널층 패턴(350a)을 형성한다.

[0060] 도 3c를 참조하면, 마스크 패턴(미도시)을 제거한 후 더미 게이트 물질층 패턴(357a), 산화막 패턴(355a) 및 에피 채널층 패턴(350a)을 포함하는 전체 상부에 절연막(360)을 형성한다. 절연막(360)은 TEOS, 실리콘 산화물(Silicon oxide) 외에도 금속 산화물, 실리콘 질화물(Silicon nitride), 붕소 질화물(Boron nitride), 고분자 화합물 등 반도체 공정에 사용될 수 있는 선택적 식각이 가능한 절연 물질일 수 있다.

[0061] 도 3d를 참조하면, 평탄화 공정으로 절연막(360)을 식각하여 더미 게이트 물질층 패턴(357a)을 노출시킨다. 평탄화 공정은 CMP(Chemical Mechanical Planarization)방식으로 진행할 수 있다. 평탄화 공정에 의해 에피 채널층 패턴(350a) 및 산화막 패턴(355a) 및 더미 게이트 물질층 패턴(357a) 측벽에 절연막 패턴(360a)이 형성된다.

[0062] 도 3e를 참조하면, 더미 게이트 물질층 패턴(357a) 및 산화막 패턴(355a)을 제거하여 에피 채널층 패턴(350a)을 노출시킨다.

[0063] 도 3f를 참조하면, 에피 채널층 패턴(350a)상부에 유전체층(370)을 형성한다.

[0064] 유전체층(370)은 저 유전율 물질막, 예를 들어 및 실리콘 옥시나이트라이드(SiON) 중 적어도 어느 하나를 포함할 수 있다. 또한, 유전체층은 유전율이 높은 고 전유전율(High-k) 물질을 포함할 수 있다. 예를 들어, 유전체층(370)은 스트론튬 산화막(SrO), 알루미늄 산화막(Al_2O_3), 마그네슘 산화막(MgO), 스칸듐 산화막(Sc_2O_3), 가돌리늄 산화막(Gd_2O_3), 이트륨 산화막(Y_2O_3), 사마륨 산화막(Sm_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 티타늄 산화막(TiO_2), 탄탈 산화막(Ta_2O_5), 바륨 산화막(BaO) 및 비스무스 산화막(Bi_2O_3) 중 선택된 어느 하나의 단일막 또는 2개 이상의 복수로 적층된 복합막으로 형성할 수 있다.

[0065] 유전체층(370)은 원자층증착(Atomic Layor Deposition: ALD) 공정을 통해 형성될 수 있다. 유전체층(370)은 절연막 패턴(360a)을 포함하는 전체 상부에 유전체 물질을 증착한 후 식각 공정을 통해 절연막 패턴(360a) 상부의 유전체 물질만을 제거하여 절연막 패턴(360a)들 사이의 에피 채널층 패턴(350a)상부에만 유전체 물질이 남겨지도록 한다. 식각 공정은 건식 식각, 예를 들어 플라즈마 식각 공정으로 진행될 수 있으며, 이에 한정되지 않고 습식 식각 공정으로 진행될 수도 있다.

[0066] 도 3g 및 도 3h를 참조하면, 유전체층(370)의 일부 영역에 트랩층(370a)을 형성한다. 트랩층(370a)은 유전체층(370)에 대해 일정 각도 기울어진 틸트 임플란트(Tilted Implant) 공정을 수행하여 형성할 수 있다.

[0067] 임플란트 공정은 Ar(아르곤) 계열을 사용하여 진행할 수 있으나 이에 한정하지는 않는다. 또한, 임플란트 공정 시 주입량 (dose)의 조절로 트랩 층의 트랩 농도를 조절할 수 있으며, 트랩 농도는 10^{19} cm^{-3} 내지 $5*10^{19}$ cm^{-3} 로

유지할 수 있다.

[0068] 틸트 임플란트 공정 수행 시 유전체층(370) 표면에 대해 기울어진 각도는 특정 각도로 한정하지 않으며, 트랩층(370a) 일측이 소스 영역(330)과 채널 영역(320)의 경계면에 위치되도록 그 각도를 조정하여 임플란트 공정을 수행할 수 있다. 즉, 임플란트 공정 시 각도 조절을 통해 트랩층(370a)이 형성되는 위치를 조절할 수 있다.

[0069] 또한, 임플란트 공정 시 절연막 패턴(360a), 에피 채널층(350)의 유전체층(370)의 높이 등을 고려해 소스 영역(330)과 게이트 중첩 채널 영역(320) 간의 경계면에 맞춰서 각도(tilt)를 조절할 수 있다. 각도 조절을 위해 절연막 패턴(360a) 상부에 하드 마스크를 더 형성하고, 하드 마스크의 두께에 따라 임플란트의 경사 각도를 조절할 수 있다. 즉, 추가로 형성된 하드 마스크의 두께에 따라 트랩층의 깊이를 조절할 수 있다. 이때, 하드 마스크는 SiO2, TEOS 등의 물질을 CVD(Chemical Vapor Deposition) 또는 ALD(Atomic Layer Deposition) 방법으로 형성할 수 있다.

[0070] 그리고, 틸트 임플란트 공정 시 에너지 크기의 조절을 통해 트랩층(370a)의 두께 조절이 가능하다. 예를 들어, 유전체층(370) 내에 트랩을 가득 채워 유전체층(370)의 두께만큼 트랩층을 형성할 수 있으며, 상황에 따라 임플란트 공정의 에너지를 조절하여 유전체층(370) 표면으로부터 일정 깊이만큼만 트랩층(370a)을 형성할 수도 있다.

[0071] 또한, 트랩층(370a)은 소스 영역(330)과 채널 영역(320)의 경계면을 시작으로 트랩층(370a)은 채널 영역(320)의 일부 영역에만 형성될 수 있으며, 드레인 영역(340)과 채널 영역(320)의 경계면까지 연장되어 형성될 수 있다.

[0072] 도 3i를 참조하면, 트랩층(370a)이 형성된 유전체층(370) 상에 게이트 물질층(380)을 형성한다. 게이트 물질층(380)은 유전체층(370)을 포함하는 전체 상부에 게이트 도전물질을 형성한 후 절연막 패턴(360a)이 노출될때까지 식각하여 형성할 수 있다. 게이트 물질층(380)은 실리콘계 물질(폴리실리콘, 비정질실리콘 등)이나 금속 물질 등으로 형성할 수 있다.

[0073] 이에 따라, 에피 채널층 패턴(350a), 트랩층(370a)을 포함하는 유전체층(370) 및 게이트 물질층(380)이 적층된 게이트 스택이 형성된다. 즉, 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터의 제조방법은 소스 영역(330)과 채널 영역(320) 간의 경계면을 기준으로 유전체층(370) 내에 트랩층(370a)이 형성됨에 따라 소스 영역(330)의 모서리에서 대각선 방향의 밴드간 터널링(BTBT) 구간의 형성을 억제함으로써, 소자의 스위칭 특성을 향상시킬 수 있다.

[0075] 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터의 제조 방법을 도시한 도면이다.

[0076] 도 4a 및 도 4b를 참조하면, 반도체 기판(410)에 소스 영역(430), 드레인 영역(440) 및 채널 영역(420)을 형성한다.

[0077] 그 다음, 반도체 기판(410) 상부에 에피 채널층(450)을 형성한다. 여기에서, 에피 채널층(450)은 실리콘(Si), 게르마늄(Ge) 및 이들의 조합 중 적어도 어느 하나를 포함하고, 에피텍셜 성장(Epitaxial Growth) 공정을 통해 형성될 수 있다.

[0078] 그 다음, 에피 채널층(450) 상부에 유전체층(470)을 형성한다.

[0079] 유전체층(470) 상부에 게이트 물질층(480)를 형성한다. 게이트 물질층(480)은 실리콘계 물질(폴리실리콘, 비정질실리콘 등)이나 금속 물질 등으로 형성할 수 있다.

[0080] 이에 따라, 게이트 물질층(480), 유전체층(470) 및 에피 채널층(450)으로 구성된 게이트가 형성된다.

[0081] 이후, 게이트와 드레인 영역에 스트레스 전압(Stress voltage)을 인가한다. 스트레스 전압 인가 시 가속 반송자 열화 현상(Hot carrier degradation)이 발생한다. 도 4c에 도시된 바와 같은 가속 반송자 열화 현상을 일으키기 위한 전압 파형을 참조하여, 게이트와 드레인 영역에 각각 스트레스 전압($V_{G.Sterss}$, $V_{D.Stress}$)을 인가할 수 있다.

[0082] 스트레스 전압 인가 시 도 4a에 도시된 바와 같이, 소스 영역(430)과 에피 채널층(450) 사이에 터널링 현상으로 인해 전자가 생성된다. 이어서, 도 4b에 도시된 바와 같이, 드레인 영역(440)으로 가속 운동을 하면서 강한 운동 에너지를 갖게 된다. 이때, 강한 에너지를 갖는 전자는 유전체층(470)과 채널 사이에서 격자와 충돌하여 유전체층(470)과 채널 영역(420) 사이에 트랩층(470a)을 형성하거나, 유전체층(470) 내에 트랩층(470a)을 형성하

게 된다. 이러한 현상을 가속 반송자 열화 현상이라고 한다.

[0083] 본 발명에서는 도 3g와 같은 틸트 임플란트 공정으로 트랩층을 형성할 수 있고, 도 4a와 같이 스트레스 전압을 인가하는 방법으로 트랩층을 형성할 수도 있다. 가속 반송자 열화 현상에 의해 형성된 트랩층은 해당 영역에서의 문턱 전압(Threshold voltage)을 높이는 효과를 보이며, 터널링 트랜지스터의 스위칭 동작 성능을 낮추는 누설 전류를 억제하게 된다.

[0085] 도 5는 본 발명의 일 실시예에 따른 터널링 트랜지스터의 게이트 및 드레인에 각각 스트레스 전압을 인가했을 때 나타나는 현상을 도시한 도면이다.

[0086] 도 5(a)는 터널링 트랜지스터의 게이트 및 드레인에 각각 스트레스 전압을 인가 했을 때 가속 반송자 열화에 의해 터널링된 전자가 최대로 집중되는 지점(점선 참조.)을 도시한다. 도 5(b)는 전자의 에너지가 가장 높고 열화 현상이 일어나는 영역(점선 참조.)을 도시하고 있다. (a) 및 (b)와 같이 전자가 집중되는 지점, 즉, 트랩이 발생하는 지점과 열화 현상이 일어나는 영역은 소스 영역에서 대각 방향으로 모서리 터널링이 일어나는 지점과 일치함을 확인할 수 있다.

[0087] 따라서, 해당 영역에 트랩층이 형성됨에 따라 도 2(b)와 같이 모서리 터널링이 억제되고, 이에 따라 터널링 트랜지스터의 스위칭 성능이 향상될 수 있다.

[0089] 도 6은 본 발명의 일 실시예에 따른 터널링 트랜지스터의 스위칭 성능 향상을 설명하기 위한 그래프이다.

[0090] 도 6을 참조하면, 터널링이 일어나는 모서리 영역에 트랩(Q_f)를 설정하고, 트랩의 농도 변화에 따른 문턱 전압 이후의 기울기(SS)를 나타낸다. (a)에 도시된 바와 같이, 트랩의 농도가 증가할수록 문턱전압이하 기울기(SS)를 감소시키고, (b)는 스트레스 전압을 인가하는 시간에 따라 트랩이 증가되어 SS가 낮아지는 것을 확인할 수 있다. 즉, 모서리 터널링이 발생하는 지역에 트랩이 형성됨에 따라 급격한 온/오프(on/off) 스위칭 동작이 가능하여 스위치 성능이 향상되는 것을 확인할 수 있다.

[0092] 도 7은 본 발명의 일 실시예에 따른 터널링 트랜지스터의 게이트 전압과 드레인 전류를 도시한 그래프이다.

[0093] 도 7은 소스 영역의 모서리 방향의 유전체에 트랩층이 형성되었을 때, 트랩의 농도에 따른 게이트 전압(Gate Voltage) 및 드레인 전류(Drain Current)의 관계를 나타낸 그래프로, 트랩의 농도가 증가할수록 급격한 온/오프(on/off) 스위칭 동작의 기능이 향상되는 것을 알 수 있으며, 이로 인해 터널링 트랜지스터의 스위치 성능을 극대화시킴을 알 수 있다.

[0095] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0097] 100, 200, 300 : 터널링 트랜지스터

110, 210, 310, 410 : 반도체 기판

120, 220, 320, 420 : 채널 영역

130, 230, 330, 430 : 소스 영역

140, 240, 340, 440 : 드레인 영역

150, 250, 350, 450 : 에피 채널층

160, 260, 360a : 절연막 패턴

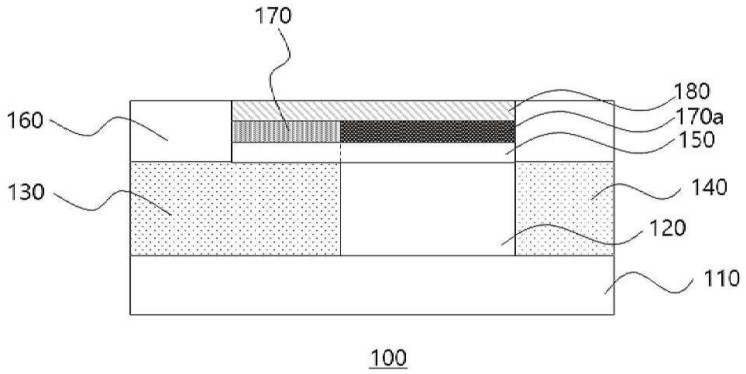
170, 270, 370, 470 : 유전체층

170a, 270a, 370a, 470a : 트랩층

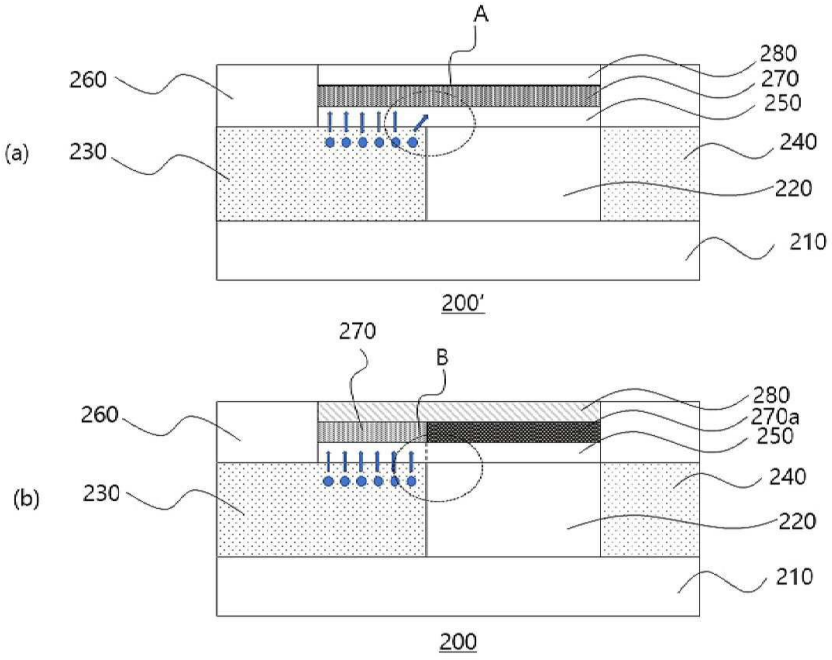
180, 280, 380, 480 : 게이트

도면

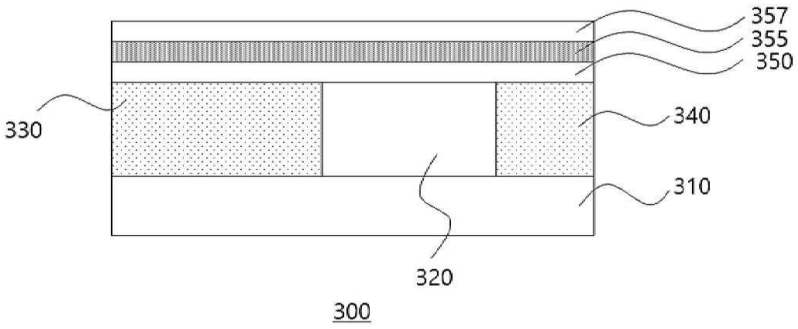
도면1



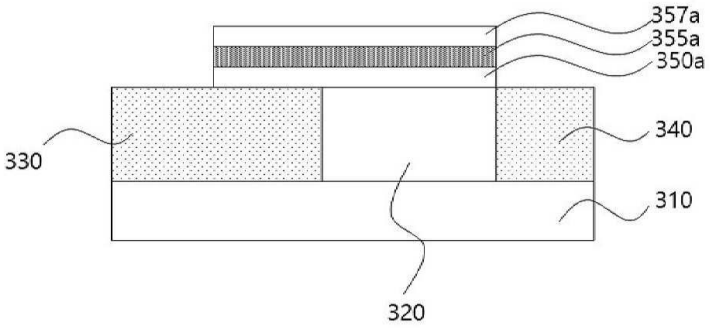
도면2



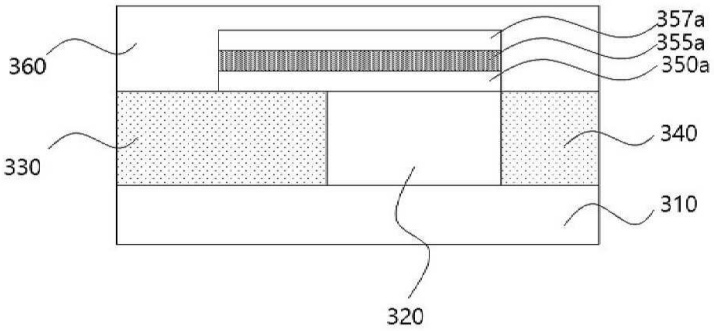
도면3a



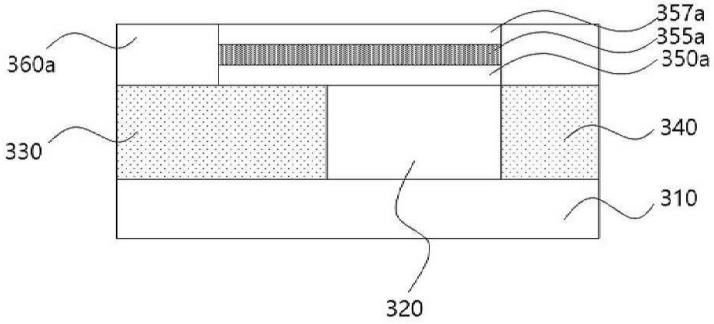
도면3b



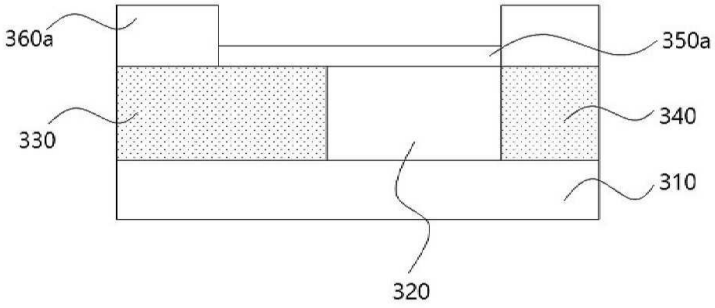
도면3c


357a
355a
350a
360
340
330
310
320

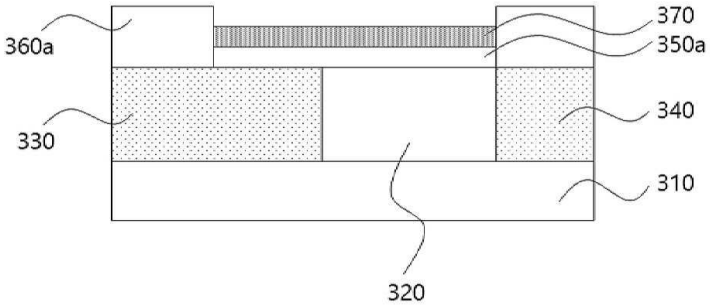
도면3d


357a
355a
350a
360a
340
330
310
320

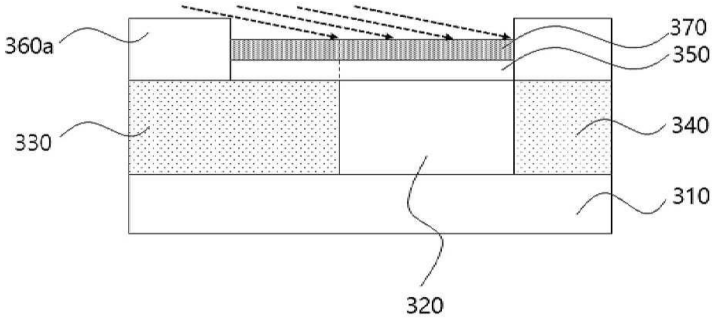
도면3e



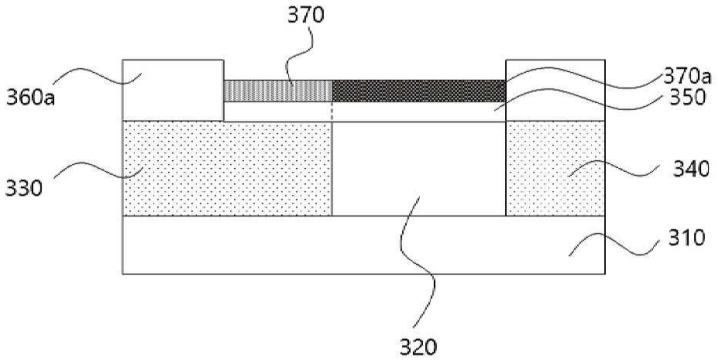
도면3f



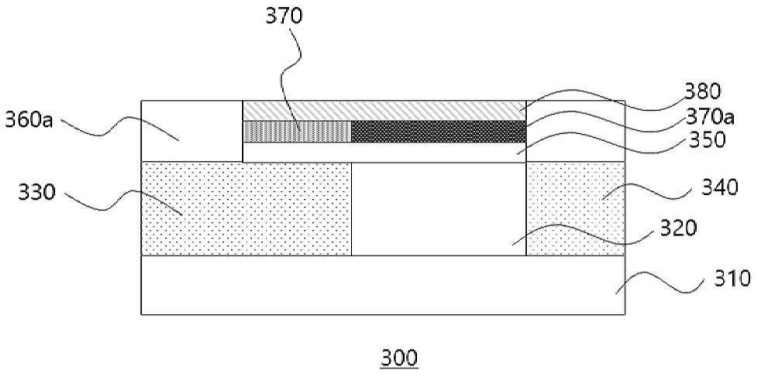
도면3g



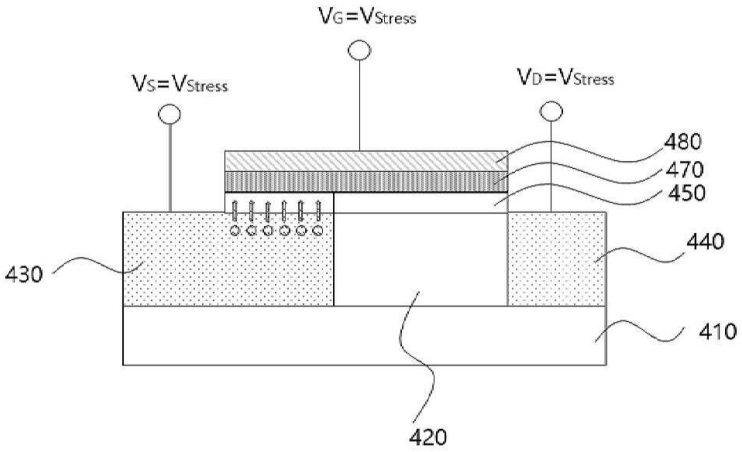
도면3h



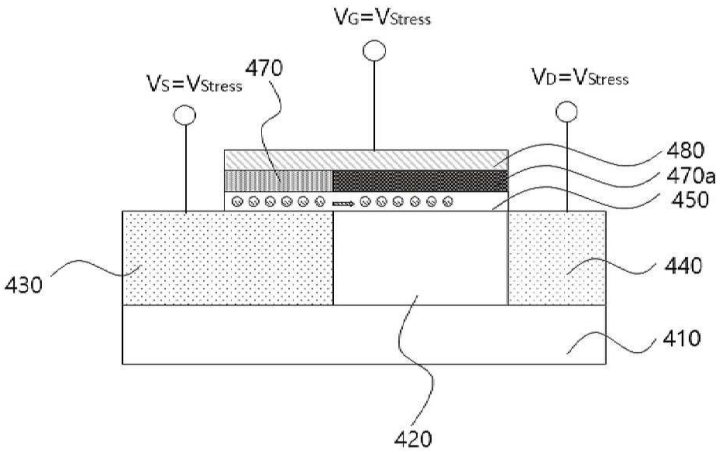
도면3i


370
380
370a
350
360a
330
340
320
310
300

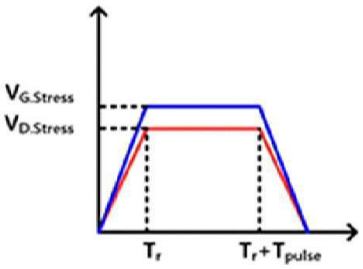
도면4a


VG=VStress
VS=VStress
VD=VStress
480
470
450
440
430
410
420

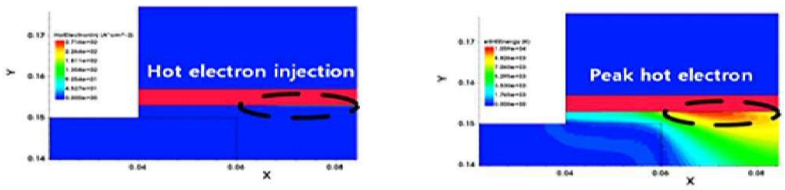
도면4b


VG=VStress
VS=VStress
470
VD=VStress
480
470a
450
430
440
410
420

도면4c

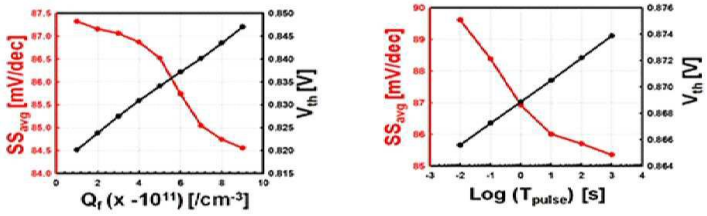

VG.Stress
VD.Stress
Tr
Tr+Tpulse

도면5


Hot electron injection
Peak hot electron
X
Y

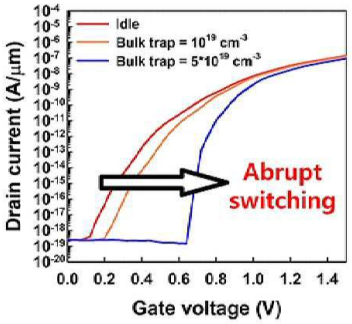
(a) (b)

도면6


SSavg [mV/dec]
Vth [V]
Qf (x -10¹¹) [/cm⁻³]
Log (Tpulse) [s]

(a) (b)

도면7


Idle
Bulk trap = 10^19 cm^-3
Bulk trap = 5*10^19 cm^-3
Abrupt switching
Drain current (A/μm)
Gate voltage (V)
0.0 0.2 0.4 0.6 0.8 1.0 1.2 1.4