

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 19 年 4 月 26 日 (2007.4.26)

【公開番号】特開 2004-363595 (P2004-363595A)
 【公開日】平成 16 年 12 月 24 日 (2004.12.24)
 【年通号数】公開・登録公報 2004-050
 【出願番号】特願 2004-159279 (P2004-159279)
 【国際特許分類】

H 0 1 L 21/76 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

【F I】

H 0 1 L 21/76 L

H 0 1 L 27/10 6 8 1 D

【手続補正書】

【提出日】平成 19 年 2 月 27 日 (2007.2.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ある温度許容度を有する回路素子と分離トレンチとを含む集積回路を形成するための方法であって、

シリコン基板を供給するステップと、

前記分離トレンチを形成する前に、ある温度許容度を有する少なくとも 1 つの回路素子を形成するステップと、

前記シリコン基板内に前記分離トレンチをエッチングするステップと、

前記分離トレンチを、シラザンを含むスピン・オン・トレンチ誘電体で充填するステップと、

約 450 を超えない温度で前記シリコン基板を加熱するステップと、

約 450 から約 900 の範囲内の温度で、水蒸気を含む雰囲気内で加熱することにより、前記スピン・オン・トレンチ誘電体の応力を引張り応力から圧縮応力に変換する応力変換ステップと、

800 を超える温度で酸素を含む雰囲気内で加熱することにより前記シリコン基板をアニーリングするアニーリング・ステップと、

を含む方法。

【請求項 2】

前記分離トレンチが 6 より大きいアスペクト比を有し、

前記スピン・オン・トレンチ誘電体が、酸素雰囲気内でのアニーリング・ステップの後で CMP により平面化され、

水蒸気を含む雰囲気内でのアニーリングが、平面ステップの後で、前記分離トレンチの底部のところのスピン・オン・トレンチ誘電体で、Si-N 結合を Si-O 結合に変換するのに十分な時間の間行われる、請求項 1 に記載の方法。

【請求項 3】

酸素を含む雰囲気内での前記シリコン基板の加熱ステップが、前記最終材料の WERR が設計値より大きくなるように調整された時間の間行われる、請求項 2 に記載の方法

。

【請求項 4】

ある温度許容度を有する垂直トランジスタ D R A M セルと分離トレンチとを含む集積回路を形成するための方法であって、

シリコン基板を供給するステップと、

前記分離トレンチを形成する前に、ある温度許容度を有する少なくとも 1 つの垂直トランジスタ D R A M セルを形成するステップと、

前記シリコン基板内に前記分離トレンチをエッチングするステップと、

前記分離トレンチを、シラザンを含むスピン・オン・トレンチ誘電体で充填するステップと、

約 4 5 0 を超えない温度で前記シリコン基板を加熱するステップと、

約 4 5 0 から約 9 0 0 の範囲内の温度で、水蒸気を含む雰囲気内で加熱することにより、前記スピン・オン・トレンチ誘電体の応力を引張り応力から圧縮応力に変換する応力変換ステップと、

8 0 0 を超える温度で酸素を含む雰囲気内で加熱することにより前記シリコン基板をアニーリングするアニーリング・ステップと、

を含む方法。

【請求項 5】

前記応力変換ステップの時間および前記アニーリング・ステップの時間が、前記垂直トランジスタ D R A M セルの温度許容度を超えないように関連づけられる、請求項 4 に記載の方法。

【請求項 6】

前記応力変換ステップおよび前記アニーリング・ステップが、結果として得られる最終材料が、 $0.1 \sim 2 \text{ G d y n e / c m }^2$ の範囲内の圧縮応力を有し、約 2 未満の W E R R を有するように関連づけられる、請求項 1 また 4 に記載の方法。

【請求項 7】

酸素を含む雰囲気内での前記基板の加熱ステップが、前記最終材料の W E R R が設計値にほぼ等しくなるように調整された時間の間行われる、請求項 1、2、及び 4 の何れかに記載の方法。

【請求項 8】

ある温度許容度を有する回路素子とシリコン基板内の分離トレンチとを有する集積回路であって、

前記分離トレンチが、シラザンを含むスピン・オン・トレンチ誘電体ですでに充填されていて、

前記シリコン基板が約 4 5 0 を超えない温度で加熱されていて、

前記スピン・オン・トレンチ誘電体の応力が、約 4 5 0 ~ 9 0 0 の範囲内の温度で水蒸気を含む雰囲気内で加熱することにより、引張り応力から圧縮応力に変換された応力変換ステップにより圧縮応力であり、

前記シリコン基板が、8 0 0 を超えた温度で酸素を含む雰囲気内で加熱することによりアニーリングされるアニーリング・ステップを施された集積回路。

【請求項 9】

前記応力変換ステップの時間および前記アニーリング・ステップの時間が、前記回路素子の温度許容度を超えないように関連づけられた、請求項 8 に記載の集積回路。

【請求項 10】

前記応力変換ステップおよび前記アニーリング・ステップが、結果として得られる最終材料が、 $0.1 \sim 2 \text{ G d y n e / c m }^2$ の範囲内の圧縮応力を有し、約 2 未満の W E R R を有するように関連づけられた、請求項 8 に記載の集積回路。

【請求項 11】

分離トレンチのサブセットがトランジスタを含むトランジスタ・エリアを囲み、前記応力変換ステップの時間および温度が、スピン・オン・トレンチ誘電体の前記応力の設計制

限值より大きくなならないようになっている、請求項 8 に記載の集積回路。

【請求項 1 2】

前記応力変換ステップの時間および温度が、前記スピン・オン・トレンチ誘電体の前記応力の設計値とほぼ等しくなるようになっている、請求項 1 1 に記載の集積回路。

【請求項 1 3】

前記応力変換ステップおよび前記アニーリング・ステップの時間および温度が、前記スピン・オン・トレンチ誘電体の応力が HDP 技術で堆積された酸化物の応力とほぼ等しくなるようになっている、請求項 8 または 1 1 に記載の集積回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【発明の名称】ポリシラザンをベースとする材料により充填された高アスペクト比の分離トレンチを含む集積回路およびその形成方法

【技術分野】

【0001】

本発明は、集積回路の処理の際の高アスペクト比の分離トレンチの充填に関する。

【背景技術】

【0002】

集積回路ではグラウンド・ルール寸法が収縮するので、高アスペクト比分離トレンチの充填の問題が、通常、高度の処理の際に使用される浅溝分離 (STI) プロセスで使用する分離トレンチの場合に特に問題になっている。

【0003】

従来、業界標準の充填材料およびプロセスは、高密度プラズマ (HDP) 技術で堆積された酸化シリコン (SiO_2) を使用してきた。優れた充填特性を有する高品質の材料を生成するので、この方法は広く採用されてきた。集積回路の設計者は、その構造および材料をこのプロセスに適合させてきた。

【0004】

シリコンは圧電材料であるので、電界効果トランジスタ (FET) の特性は、トランジスタ本体上にかかる応力により影響を受ける。

【0005】

STI プロセスの際には、分離トレンチ材料 (スピン・オン分離トレンチ誘電体) は、トランジスタ本体の縁部と接触し、そのためその応力が変化すると、トランジスタ本体の特性が、特にしきい値電圧およびトランジスタ・ドライブに影響を受ける。

【0006】

他の考慮事項として、集積回路を製造するために必要な長い時間がかかるプロセスは、現在高度に統合されている。すなわち、1つのプロセス・ステップの変更が、このステップの前後に行われるステップの結果に影響を与える恐れがあり、場合によっては、直前または直後ではなく、他のいくつかのステップ分だけ時間的に離れているステップに影響を与える恐れがある。

【0007】

それ故、あるプロセス・ステップを変更するのは、複数の次元または複数の要因を含む決定になる。新しいステップが、もっと丈夫で、もっと薄く、またはもっと密度の低い膜を製造したり、または時間を短縮するだけでは十分ではない。新しいステップは、プロセスの他の側面で利点を打ち消す欠点がないものでなければならない。

【0008】

分離トレンチ充填の特殊な場合には、本発明が解決する問題は、隙間を形成しないで高アスペクト比の分離トレンチを充填するという問題である。

【 0 0 0 9 】

HDPプロセスを使用すると、通常、非整合堆積プロファイルができるが、大部分の整合堆積プロセスの場合のように、高アスペクト比のトレンチを充填すると、隙間 (void) および / または継目 (seal) ができることが分かっている。その理由は、材料が深いトレンチまたはアパーチャの上面に堆積し、最終的にピンチオフし (剥がれ)、頂部の開口部を塞ぎ、その後で材料がトレンチの底部に入り込むのを妨害するからである。このHDP技術は、4より大きいアスペクト比を有する分離トレンチを充填する際に大きな問題を抱えている。

【 0 0 1 0 】

分離トレンチの頂部から塞いでいる材料を除去するために、主要な集積回路製造業者が使用する分離トレンチの充填の複雑なシーケンスは、下記の堆積およびエッチング・サイクルを含む。

【 0 0 1 1 】

第1の堆積

第1の湿式エッチング (頂部上の塞いでいる材料を除去するため)

第2の堆積

第2の湿式エッチング

第3の堆積

エッチング (アパーチャの過度の充填)

さらに、この処理は、乾式エッチングの厚さの低減およびその後で行われる化学的機械的研磨 (CMP) を含むことができる。

【 0 0 1 2 】

これは明らかにコストの高いプロセスであり、等価の充填材料を製造するもっとステップの数が少なく、コストの安いプロセスを開発することは非常に望ましいことである。

【 0 0 1 3 】

すでに説明したように、新しいプロセスを導入するための決定の際の本質的な考慮事項は、例えば、より安いというような利点がある欠点を十分補えるかどうかということである。より詳細に説明すると、プロセスを大きく変えなくても、そのプロセスの密度、エッチング抵抗および応力が、HDP酸化物の特性に十分近いことである。

【 0 0 1 4 】

少なくとも1つのp-n接合、またはそれに関連する温度許容度 (thermal budget) (素子が受ける時間および温度に対する制限を意味する) を有する他の構造が、分離トレンチが形成される前にチップ上にすでに形成されている場合には、もう1つの重要な問題は分離トレンチの温度許容度である。任意の異なる材料 (例えば、曲げシリコンを生成するためのSi/SiGe界面など) に対しても同じことが言える。このような接合または異なる材料の界面 (まとめて、温度許容度を有する回路素子と呼ぶ) が分離トレンチの前に形成された場合には、分離処理の温度許容度が変化 (増大) すると、ドーピング剤の内部拡散 (または材料の内部拡散) が起こり、デバイスが劣化する。一般的に、材料拡散中の何らかの変化、およびドーピング剤の濃度のプロファイルの変化が、デバイスの性能を劣化させることが十分考えられる。

【 0 0 1 5 】

適例としては、Asの外部への拡散が2つの埋め込みストラップ接点の間を移動するのに十分長い時間継続した場合には、2つの隣接するキャパシタが相互にクロストークを起こす垂直トランジスタDRAM/eDRAMである。深溝キャパシタは、分離トレンチの前に形成されるので、過度のAsの外部への拡散を防止するために、分離処理の温度許容度は深溝キャパシタの温度許容度を超えてはならない。

【 0 0 1 6 】

スピン・オン・ガラス (SOG) またはスピン・オン誘電体 (SOD) と呼ばれる材料でのスピンは、優れた充填特性を有することが分かっている。

【 0 0 1 7 】

また、これらの材料の他の特性は、HDP酸化物（HDPとも呼ばれる）の特性よりも遥かに劣っていることも分かっている。

【0018】

例えば、スピン・オン・ガラスは、引張り応力、高い湿式エッチング速度を有し、熱的に不安定である。

【0019】

優れた充填特性を有するポリシラザンと呼ばれる材料についてある程度の研究が行われている。この材料は、[SiNR₁R₂NR₃]_n という構造式を有する。ここで、R₁、R₂およびR₃は、無機ポリシラザンの場合には、すべて水素であり、有機ポリシラザンの場合には、アルキル、アリールまたはアルコキシル有機基である。便宜上、ポリシラザンを短縮してシラザンと呼ぶことにする。

【0020】

この材料は、1,000～10,000の分子量を有する。この材料は、スピン・オン・ステップ用の溶媒に溶かした溶液として塗布される。この溶媒は、予備ベーキング・ステップで比較的低い温度（約350 未満）で蒸発させられ、この材料は種々の雰囲気内で加熱により硬化される。

【0021】

Samsung は、金属の第1のレベルの下の中間誘電体膜を含むシラザンの種々の用途について研究を行った（英国特許GB2361937号）。この研究において、推薦された膜は、900～1000の範囲の温度で水蒸気中でアニールされる。この参照文献は、結果として得られる応力またはCMPを考慮しないで、予備ベーキングおよび高温スチーム（水蒸気を含む）ベーキングという2つのステップからなるプロセスを使用する。平面化はスピン・オン・プロセスだけで行った。

【0022】

Samsung グループによるもう1つの参照文献である、IEEE2002のVLSI技術に関するIEEEシンポジウムの技術論文のダイジェスト132、133ページ（0-7803-7312-X/02）掲載の「0.1ミクロン以下のデバイス用のP-SOGを使用する隙間のない低応力の浅溝分離技術」（Void-Free and Low Stress Shallow Trench Isolation Technology using P-SOG for sub-0.1um Device）は、（先に湿式エッチングにより凹部を形成し）その後でHDP酸化物キャップを形成し、HDP酸化物のCMPを行う、700 での酸素雰囲気内でアニーリングを行うシラザン・プロセスを開示している。

【0023】

Samsung グループによるもう1つの参照文献である、2002年6月13日付けの米国特許出願番号US2002/0072246 A1号、および「60nmを超えるDRAMおよび他のデバイス用の新しいSOGを使用する非常に製造し易い低温度許容度の隙間と水蒸気を含まない前金属誘電体プロセス」（A Highly Manufacturable, Low Thermal Budget, Void and Seam free Pre-Metals Dielectric Process Using New SOG for a beyond 60nm DRAM and Other Devices）（0-7803-7052-X/01）2001 IEEEは、金属の第1のレベルの下に中間誘電体を形成するための3つのステップからなるプロセスを開示している。このプロセスの場合には、第1のベーキングは、350～500の範囲内の温度で行われる。アニーリング・プロセスは、600～1200の広い温度範囲で、好適には、酸素雰囲気内で行われる。

【0024】

これらの参照文献は、ベーキング・ステップ（500 未満）とアニーリング・ステップとの間に行われるCMPプロセスの使用を教示している。

【0025】

上記参照文献は、半導体プロセスの統合は、用途に大きく依存することを示している。このプロセスは、応力がトランジスタが設計される応力でない場合には、または構造体の他の部分を除去するために主として設計されたエッチング・ステップで除去さ

れる膜のエッチングがあまりに高速であまりに大量である場合には、または、非常に重要であり変更することができないステップ以降の高温ステップ中に膜が破損した場合には、絶縁を行う膜を形成するだけでは十分でない。分離誘導トレンチのアニーリングが、すべての前に存在する p - n 構造およびチップ上の界面をシフトさせないことも重要である。

【0026】

十分に分離するための基本的なジョブを実行し、業界標準の HDP 酸化物の応力およびエッチング抵抗に近い応力およびエッチング抵抗を有する分離トレンチ充填プロセスを発見するための努力が引き続き行われてきた。

【特許文献1】英国特許 GB 2 3 6 1 9 3 7 号

【特許文献2】米国特許出願番号 US 2 0 0 2 / 0 0 7 2 2 4 6 A 1 号

【非特許文献1】IEEE 2 0 0 2 の V L S I 技術に関する IEEE シンポジウムの技術論文のダイジェスト 1 3 2、1 3 3 ページ (0 - 7 8 0 3 - 7 3 1 2 - X / 0 2) 掲載の「0.1ミクロン以下のデバイス用の P - SOG を使用する隙間のない低応力の浅いトレンチ隔離技術」(Void-Free and Low Stress Shallow Trench Isolation Technology using P-SOG for sub-0.1um Device)

【非特許文献2】「60nm を超える DRAM および他のデバイス用の新しい SOG を使用する非常に製造し易い低熱予算の隙間と水蒸気を含まない前金属誘電体プロセス」(A Highly Manufacturable, Low Thermal Budget, Void and Seam free Pre-Metals Dielectric Process Using New SOG for beyond 60nm DRAM and Other Devices) (0 - 7 8 0 3 - 7 0 5 2 - X / 0 1) 2 0 0 1 IEEE

【発明の開示】

【発明が解決しようとする課題】

【0027】

本発明は、分離トレンチを形成する前に、少なくとも1つの p - n 接合または異なる材料の界面を有するシリコン集積回路内の分離トレンチを充填するための方法に関する。

【課題を解決するための手段】

【0028】

本発明のある態様は、前のレベル接合の温度許容度制限内の圧縮応力を有する隙間のない熱的に安定した分離トレンチの最終材料の製造を含む。

【0029】

本発明のある態様は、分離トレンチの最終材料の応力を引張り応力から圧縮応力に変換する応力変換ステップを含む。

【0030】

本発明の別の態様は、後でアニーリングが乾燥した雰囲気内で行われる応力変換ステップを含む。

【0031】

本発明の別の態様は、先ず水蒸気雰囲気内で加熱ステップが行われ、その後に乾燥雰囲気内でアニーリングが行われるアニーリング・ステップを含む。

【0032】

本発明の別の態様は、最終材料の応力および湿式エッチング速度を適合化するための、許容されるデバイス温度許容度およびアニーリング・ステップを関連づけるための機能を含む。

【発明を実施するための最良の形態】

【0033】

図1～図3は、SOD用途での基本シーケンスである。これらの図においては、パッド窒化物/酸化物20を有するシリコン基板10は、例えば、反応性イオン・エッチングのような任意の通常のプロセスによりその中にエッチングされた一組のアパーチャを有する。2つのサイズのアパーチャが示してあるが、それは実際のウェーハが、アパーチャ間に種々の間隔、種々のアパーチャの幅、および種々の深さを有することができることを示すためである。このような違いは、例えば、パターン密度に依存する場合がある1回のエッ

チング・プロセスの変動によるものであり、または2つの異なるプロセス中に形成されたアパーチャを同時に充填したことによる場合がある。

【0034】

図1の右側では、アパーチャ34は、幅48および深さ46を有し、そのためアスペクト比は46/48である。アパーチャ32は、幅44および深さ42を有するので、アスペクト比は42/44である。アパーチャ32のアスペクト比は、アパーチャ34のアスペクト比よりも大きい。

【0035】

プロセス中、スピン・オン誘電体(SOD)またはスピン・オン・ガラス(SOG)と呼ばれるトレンチ誘電体充填物質が、上記材料(トレンチ誘電体充填物質)を表面上に非常に均一に広げるために回転しているウェーハに塗布される。適当な低い粘度を有する材料は、種々のアパーチャ内に浸透し、あふれ出て、頂面52はパッド20の頂面よりも高くなる。図2はその結果を示す。

【0036】

次に、図3に示すように、過度にあふれ出た材料を除去するために、ウェーハがCMPまたはエッチングバック・ステップにより平面化される。図3は、また、酸素雰囲気内で材料をアニールすることによる、アパーチャの側面に沿って形成された酸化物57の余分な厚さも示す。水蒸気を含む雰囲気内でのアニーリングの従来のステップは、シラザン内の窒素および水素をアンモニアおよび分子状水素に変換し、この分子状水素は材料から抜け出し、後に大部分は酸化シリコンである残滓を残す。雰囲気が酸素を含んでいると、Si-N結合からSi-O結合への変換が促進される。最終材料の特性は、この変換が行われた程度により異なる。

【0037】

図4および図5は、シラザン充填54が任意の従来のエッチングにより凹み、HDPのキャップ層62が、標準技術により堆積され、CMPにより平面化される本発明のオプションとしての態様を示す。

【0038】

当業者であれば、シラザン層54の応力をHDP層62の応力に近づけると、プロセスがさらにしっかりし、結果がよくなることを理解することができるだろう。

【0039】

スピン・オン材料(トレンチ誘電体充填物質)は、化学蒸着法のようなプロセスでは充填できない種々のアパーチャ・プロファイルを充填するという周知の特性を有する。図6を参照すると、この図は、内側に曲がったプロファイルを有するアパーチャ310を示す。このことは、横方向の寸法Bが、アパーチャの頂部のまたは頂部近くの対応する横方向の寸法Aより長いことを意味する。

【0040】

図8は、材料320'の本体内にすでに形成された隙間325を含むCVDプロセスによる結果を示す。対照的に、図7は、アパーチャを均一に充填するスピン・オン・プロセスの結果を示す。

【0041】

アスペクト比が約4を超える(垂直なトレンチ側壁プロファイルを形成する)場合には、浅溝分離、またはSTIと呼ばれる分離トレンチ用の工業規格材料は、アパーチャを均一に充填しない高密度プラズマ援用酸化物(HDP酸化物)であることは周知である。

【0042】

現代の処理の場合には、チップ上のフィーチャの密度を増大するために、アスペクト比は常に増大する。プロセス・エンジニアは、現在約10の範囲内のアスペクト比を有する充填トレンチを取り扱っていて、遥かに大きいアスペクト比を有する充填トレンチを計画している。全体の材料の一部を堆積するステップ、新しい材料が塞がらないようにアパーチャの上部をクリーニングするステップ、次に、第2の部分充填するステップを含む大きなアスペクト比のトレンチを充填するために、種々の複雑で高価なスキームが使用され

ている。

【0043】

プロセス・エンジニアは、スピン・オン材料の充填特性のほうが遥かにすぐれているにもかかわらず、前述のスキームを使用する。何故なら、現在、スピン・オン材料は受け入れられないからである。分離トレンチの場合には、分離充填したトレンチを絶縁するだけでは、すなわち、電流を流さないというだけでは十分でない。プロセス統合は、プロセス内のステップおよび結果として得られる材料の特性が、プロセスおよび構造の残りとの整合することを要求する。

【0044】

現在使用しているプロセスは、HDP酸化物の特性と整合させるために開発したもので、これらの現在のプロセスを変更するのは大仕事である。HDP酸化物の材料特性をエミュレートするスピン・オン・プロセスを開発することができれば非常に有利である。

【0045】

本発明者は、スピン・オン材料の応力、組成および湿式エッチング抵抗をHDP酸化物のこれらのものと同様となるように調整することができることを発見した。

【0046】

製造業者の勤める方法で処理したポリシラザンは、低いエッチング抵抗、低い引張り応力、および、低い密度を有するHDP酸化物とは非常に異なる特性を有する最終材料を生成する。

【0047】

本発明によれば、処理ステップのシーケンスは下記のとおりである。

2000～4000の範囲の分子量を有するスピン・オン・シラザンをジブチル・エーテルのような溶媒に溶解する。

20～120分間、100～450 の範囲内の温度でO₂雰囲気内(400～700トル)で予備ベーキングする。

20～120分間、450～800 の範囲内の温度でH₂O中で第1のアニーリングを行う。

前のレベルの温度許容度が許す場合には、20～120分間、800～1200 の範囲内の温度で水蒸気を含まない酸素雰囲気内(400～700トル)で、第2のアニーリングを行う。

【0048】

結果として得られる膜をCMPで平面化する。

【0049】

深いSTIトレンチ(アスペクト比が6より大きい)の場合には、追加ステップは、トレンチの底部の材料が確実に酸化し、Si-N結合からSi-O結合に変換するように、CMPの後で20～120分間、450～800 の範囲内の温度で、水蒸気内で追加アニーリングを行う。

【0050】

本発明の有利な機能は、最終材料のパラメータを、処理パラメータを変化させることにより変えることができることである。最終材料は、不純物による汚染が少ない高品質の酸化物であり、900 で1.5未満の湿式エッチング除去比(WERR)を有し、0.1～2 Gdyn/cm²の範囲内の圧縮応力を有し、標準スラリによるCMPで平面化することができ、1000 を超える温度で熱的に安定していて、HDP酸化物より優れた厚さの均一性(1%σ未満)を有する。

【0051】

図9を参照すると、水蒸気および酸素雰囲気内でアニールしたシラザン膜内の材料応力を示す。点410は、HDP酸化物の典型的な値を示す。曲線420は、700～900 の範囲内の水蒸気によるアニーリングの結果を示す。図9を見れば分かるように、800 および900 のところの点はHDPに非常に近く、一方、酸素雰囲気内でアニールした膜の結果(曲線430)は、ある引張り応力を有する。

【 0 0 5 2 】

図 1 0 は、湿式エッチング速度、すなわち、熱酸化物に対するエッチング速度に関する曲線を示す。エッチング材料は、緩衝剤で処理したフッ化水素酸 (B H F) である。曲線 5 2 0 上の 8 0 0 および 9 0 0 での水蒸気によるアニーリングの結果は、点 5 1 0 の H D P 酸化物の結果に非常によく似ていて、一方、酸素によるアニーリングの結果、曲線 5 3 0 は、遥かに高い (もっと低いエッチング抵抗を有する)。

【 0 0 5 3 】

図 1 1 は、結果として得られる酸化物の屈折率の対応する結果を示す。屈折率は、材料密度の測定値であり、またシリコン対酸素の化学量論的比率である。

【 0 0 5 4 】

この場合も、曲線 6 2 0 (水蒸気によるアニーリング) は、H D P 酸化物の通常の点 6 1 0 にもっと近い。一方、曲線 6 3 0 の酸素によるアニーリング上の点は、かなり異なっている。図 1 2 は、2 つの異なる温度 (水蒸気中) でのアニーリング後の最終材料の組成を示す。C の残留濃度 (曲線 C)、N の残留濃度 (曲線 N S i) および水素の残留濃度 (曲線 H) は、1 0 0 0 の場合よりも 7 0 0 の場合の方が遥かに高い。

【 0 0 5 5 】

非常に高温 (1 0 0 0) で水蒸気によるアニーリングを行うと、不純物レベルの低い最終材料ができるが、前のレベルの接合がもっと低い温度許容度制限を有する場合には、明らかにこの膜は使用することができない。垂直トランジスタの場合には、多くの場合、トランジスタを形成した後で S T I が行われ、例えば、1 0 0 n m 垂直 D R A M グラウンド・ルールを仮定して、9 0 0 を超える温度での任意の長い (1 0 分を超える) アニーリングを行ってはならない。

【 0 0 5 6 】

シリコンの高温水蒸気による酸化についてのもう 1 つの周知の問題は、ドーピング材の拡散 (B、P、A s 等) のための活動エネルギーを低減し、その後でその拡散係数 (いわゆる酸素促進拡散 (O E D)) を増大する欠陥が形成されることである。この欠陥は、前の p - n 接合プロファイル内の望ましくない変化をさらに大きくする。

【 0 0 5 7 】

8 0 0 を超える温度で水蒸気による酸化を行うと、ウェーハ (バルク、エピタキシャルまたは S O I) 内のシリコンの過度の酸化が起こり、このような過度の酸化により、能動エリア内で形成されるトランジスタのパラメータが劣化する恐れがあることが分かっている。厚い (3 0 0 を超える) 酸化膜が S T I 側壁 (特に、頂部の隅の部分) 上に成長し、隣接する能動エリア内に応力が発生し、欠陥の数が増大する。パッド S i N ストリップおよび以降のエッチングおよびアニーリング処理ステップの後で、頂部の S T I の隅に欠陥が容易に形成される。能動エリア内の応力は回路設計により変化する可能性がある。本発明の利点は、新しいトレンチ充填材料の形成が、トランジスタの設計された応力を変化させないことである。

【 0 0 5 8 】

シラザン膜に対して第 1 の 8 0 0 での水蒸気によるアニーリングを行ったら、8 0 0 を超える温度で酸素内で第 2 のアニーリングに進むことが有利である。このようなアニーリングを行うと、湿式エッチング速度比がさらに低減し (熱酸化物の速度比の約 1 . 1 に)、膜応力圧縮が 0 . 5 ~ 2 G d y n e / c m 2 の範囲内に維持される。(図 9)

【 0 0 5 9 】

最終材料の特性は、水蒸気によるアニーリングおよび酸素によるアニーリングの時間を変化させることにより、調整または適合することができる。

【 0 0 6 0 】

1 つの好適な実施形態を参照しながら本発明を説明してきたが、当業者であれば特許請求の範囲の精神および範囲から逸脱することなしに、本発明を種々の別の方法で実行することができることを理解することができるだろう。

【図面の簡単な説明】

【 0 0 6 1 】

【図 1】本発明の実施における基板の一部である。

【図 2】本発明の実施における基板の一部である。

【図 3】本発明の実施における基板の一部である。

【図 4】HDPキャップ層を塗布するためのオプションとしてのステップである。

【図 5】HDPキャップ層を塗布するためのオプションとしてのステップである。

【図 6】内側に曲がったプロファイルを有するアパーチャの充填である。

【図 7】内側に曲がったプロファイルを有するアパーチャの充填である。

【図 8】内側に曲がったプロファイルを有するアパーチャの充填である。

【図 9】異なる処理による材料の応力のグラフである。

【図 10】異なる処理による相対エッチング速度のグラフである。

【図 11】異なる処理による相対エッチング速度のグラフである。

【図 12】異なる処理による材料の組成のグラフである。

【符号の説明】

【 0 0 6 2 】

1 0 シリコン基板

2 0 パッド室化物 / 酸化物

3 4 アパーチャ

4 6 深さ

4 8 幅

5 2 頂面

5 4 シラザン層

5 7 酸化物

6 2 HDP層

3 1 0 アパーチャ