

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4825529号
(P4825529)

(45) 発行日 平成23年11月30日 (2011.11.30)

(24) 登録日 平成23年9月16日 (2011.9.16)

(51) Int.Cl.

H O 1 L 23/12 (2006.01)

F I

H O 1 L 23/12 Q

H O 1 L 23/12 5 O 1 W

請求項の数 7 (全 18 頁)

(21) 出願番号	特願2006-27830 (P2006-27830)	(73) 特許権者	302062931
(22) 出願日	平成18年2月6日 (2006.2.6)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2007-208153 (P2007-208153A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成19年8月16日 (2007.8.16)	(74) 代理人	100080001
審査請求日	平成21年2月2日 (2009.2.2)		弁理士 筒井 大和
		(72) 発明者	嶋貫 好彦
			北海道亀田郡七飯町字中島 1 4 5 番地 株
			式会社ルネサス北日本セミコンダクタ内
		審査官	越本 秀幸
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

平面形状が方形状からなる主面、平面形状が方形状からなり、かつ前記主面とは反対側の裏面、前記主面に形成された複数のワイヤ接合部、前記裏面に形成された複数のランド部、前記主面と前記裏面の間に形成された複数の第 1 貫通孔、前記主面と前記裏面の間に形成された複数の第 2 貫通孔、および前記複数の第 1 貫通孔のそれぞれの内壁に形成され、前記複数のワイヤ接合部と前記複数のランド部とをそれぞれ電氣的に接続するメッキ膜を有する配線基板と、

前記配線基板の主面上に搭載された半導体チップと、
前記半導体チップの複数の電極と前記配線基板の主面に形成された前記複数のワイヤ接合部とをそれぞれ電氣的に接続する複数のワイヤと、
前記半導体チップ及び前記複数のワイヤを封止する樹脂体と、
前記複数のランド部上に形成された複数の外部端子と、
を有し、
前記複数の第 1 貫通孔のうち、前記複数のランド部において最外周に配置された第 1 ランド部と電氣的に接続されるメッキ膜が形成された貫通孔は、前記第 1 ランド部より前記配線基板の中心側に形成されており、

前記複数の第 2 貫通孔は、前記複数の第 1 貫通孔および前記複数のランド部より前記配線基板の外側にそれぞれ形成されており、かつ、前記複数のワイヤ接合部のうちの前記配線基板の第 1 辺と並ぶ第 1 方向に沿って形成された複数の第 1 ワイヤ接合部の配列延長線

10

20

と、前記複数のワイヤ接合部のうちの前記配線基板の前記第 1 辺と交差する第 2 辺と並ぶ第 2 方向に沿って形成された複数の第 2 ワイヤ接合部の配列延長線との交点部にそれぞれ形成されており、

前記複数の第 2 貫通孔のそれぞれは、前記複数のワイヤ接合部、前記複数のランド部、および前記複数の第 1 貫通孔のそれぞれの内壁に形成された前記メッキ膜と接続されていないことを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、前記複数の第 1 貫通孔の内部に金属膜が埋め込まれていることを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、前記複数の第 1 貫通孔及び前記複数の第 2 貫通孔の内部に金属膜が埋め込まれていることを特徴とする半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、前記複数の第 1 貫通孔はレーザによって形成されていることを特徴とする半導体装置。

【請求項 5】

請求項 1 記載の半導体装置において、前記複数の第 1 貫通孔及び前記複数の第 2 貫通孔はレーザによって形成されていることを特徴とする半導体装置。

【請求項 6】

請求項 1 記載の半導体装置において、前記配線基板は、複数のコア材を貼り合わせて形成されていることを特徴とする半導体装置。

【請求項 7】

請求項 1 記載の半導体装置において、前記複数の第 1 貫通孔のそれぞれは、前記複数のワイヤ接合部よりも前記配線基板の中心側に形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその組み立てに関し、特に、配線基板を有する半導体装置に適用して有効な技術に関する。

【背景技術】

【0002】

大型基板の主面に半田バンプを介して複数個の半導体チップを搭載した後、各半導体チップをエポキシ樹脂でモールドし、次いでバーンイン試験および電気特性評価試験を行った後、ダイシング装置を使って大型基板を切断することにより、複数個の BGA を製造する技術がある（例えば、特許文献 1 参照）。

【特許文献 1】特開平 9 - 321088 号公報（図 7）

【発明の開示】

【発明が解決しようとする課題】

【0003】

BGA (Ball Grid Array) や CSP (Chip Size Package) 等を使用される配線基板は、1 層から成るコア材の主面及び裏面に配線パターンが形成されている。

【0004】

しかしながら、半導体装置の薄型化に伴い、配線基板の厚さも薄くする傾向にある。これにより、コア材も薄くなるためコア材の機械的強度が低くなり縦方向（基板厚さ方向）に亀裂が生じ易くなる。

【0005】

そこで、配線基板の機械的強度を向上するために、薄いコア材の片面に配線パターンを形成したものを準備し、それぞれのコア材を貼り合わせた、コア材が複数層から成る配線基板が使用されてきている。例えば、コア材が 2 層から成る配線基板を用いた半導体装置

10

20

30

40

50

がある。

【 0 0 0 6 】

しかしながら、半導体装置の更なる小型化に伴い、特にチップサイズと配線基板がほぼ同じ大きさからなるＣＳＰにおいて、温度サイクル試験等で貼り合わせたコア材が剥離（コアクラック）するという問題が生じた。その結果、配線基板の主面と裏面を電氣的に接続する貫通孔（スルーホール）内に形成された配線が断線する。

【 0 0 0 7 】

この剥離の問題について本発明者らが検討した結果、以下のことが明らかになった。

【 0 0 0 8 】

まず、半導体チップは、例えばシリコンからなるため、その熱膨張係数は約1.4である。これに対し、半導体チップを実装するための配線基板の熱膨張係数は約10と半導体チップよりも遥かに大きい。すなわち、温度サイクル試験において貼り合わせたコア材のうち、熱膨張係数の差により半導体チップを実装している側のコア材の膨張がはんだボールを形成している側のコア材に比べ抑えられるため、貼り合わせた界面で剥離が生じる。

【 0 0 0 9 】

なお、半導体装置の薄型化に伴い、コア材の厚さも薄くなっているため、配線基板自体の機械的強度が低下していることも原因である。

【 0 0 1 0 】

さらに、剥離は温度サイクル試験によってパッケージ外周から生じ易いため、特に基板において貫通孔が複数のランドよりも外周に配置されていると、パッケージ外周からのコア材の剥離により、貼りあわせた部分で貫通孔が分離して断線に至ることが問題である。

【 0 0 1 1 】

本発明の目的は、半導体装置の信頼性の向上を図ることができる技術を提供することにある。

【 0 0 1 2 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 3 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【 0 0 1 4 】

すなわち、本発明は、配線基板の複数のランド部において最外周に配置された第1ランド部と電氣的に接続されるメッキ膜が形成された第1貫通孔は、前記第1ランド部より前記配線基板の中心側に形成されているものである。

【発明の効果】

【 0 0 1 6 】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【 0 0 1 7 】

半導体装置の配線基板において最外周に配置されたランド部に電氣的に接続される第1貫通孔が、ランド部より配線基板の中心側に形成されていることにより、温度サイクル試験等で配線基板の外周からクラックが生じて第1貫通孔より外側に配置されたランド部でクラックの進展を抑制することができる。これにより、半導体装置の信頼性の向上を図ることができる。

【発明を実施するための最良の形態】

【 0 0 1 8 】

以下の実施の形態では特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【 0 0 1 9 】

10

20

30

40

50

さらに、以下の実施の形態では便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

【 0 0 2 0 】

また、以下の実施の形態において、要素の数など（個数、数値、量、範囲などを含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良いものとする。

【 0 0 2 1 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 2 】

（実施の形態 1）

図 1 は本発明の実施の形態 1 の半導体装置の構造の一例を封止体を透過して示す平面図、図 2 は図 1 に示す A - A 線に沿って切断した断面の構造を示す断面図、図 3 は図 2 に示す B 部の構造を示す拡大部分断面図、図 4 は図 1 に示す半導体装置に組み込まれる配線基板の主面側の導体パターンの一例を示す平面図、図 5 は図 4 に示す配線基板の裏面側の導体パターンの一例を示す裏面図である。また、図 6 は図 4 に示す配線基板のスルーホール 20

【 0 0 2 3 】

本実施の形態 1 の半導体装置は、配線基板上に半導体チップ 1 が搭載された樹脂封止型の小型の半導体パッケージであり、本実施の形態 1 ではその一例として、図 1 ~ 図 3 に示すような C S P 7 を取り上げて説明する。なお、C S P 7 は、配線基板の裏面 3 b に複数の外部端子である半田ボール 8 が格子状に配置されて取り付けられており、したがって、C S P 7 は、B G A 型の半導体パッケージである。

【 0 0 2 4 】

図 1 ~ 図 3 に示す C S P 7 の構造について説明すると、配線基板であるパッケージ基板 3 と、パッケージ基板 3 の主面 3 a に搭載され、かつ集積回路を有する半導体チップ 1 と、半導体チップ 1 の電極であるパッド 1 c とパッケージ基板 3 のボンディング用端子 3 p とを電気的に接続する導電性のワイヤ 4 と、パッケージ基板 3 の裏面 3 b の複数のランド部 3 d 上に設けられた複数の外部端子である半田ボール 8 と、樹脂体 6 とからなる。

【 0 0 2 5 】

なお、半導体チップ 1 は、例えば、シリコンなどによって形成され、その主面 1 a には集積回路が形成されている。また、半導体チップ 1 におけるその厚さと交差する平面形状は方形状であり、本実施の形態 1 では正方形である。さらに、図 1 に示すように主面 1 a の周縁部には集積回路と電気的に接続される複数のパッド 1 c が形成されている。また、このパッド 1 c と、パッケージ基板 3 の主面 3 a の周縁部に配置されたボンディング用端子 3 p とが導電性のワイヤ 4 によってそれぞれ電気的に接続されている。このワイヤ 4 は、例えば、金線等である。

【 0 0 2 6 】

また、半導体チップ 1 は、図 3 に示すように、その裏面 1 b が、ペースト剤やダイアタッチフィルム等の接着剤 2 を介してパッケージ基板 3 に固着され、主面 1 a を上方に向けた状態でパッケージ基板 3 に搭載されている。

10

20

30

40

50

【 0 0 2 7 】

また、樹脂体 6 は、例えば、エポキシ樹脂等からなるとともに、パッケージ基板 3 の主面 3 a 側に形成されており、半導体チップ 1 及び複数の導電性のワイヤ 4 を樹脂封止するものである。

【 0 0 2 8 】

また、パッケージ基板 3 の裏面 3 b に設けられた複数の外部端子である半田ボール 8 は、例えば、P b - S n 等の半田からなり、パッケージ基板 3 の裏面 3 b に格子状に配置されている。

【 0 0 2 9 】

ここで、パッケージ基板 3 は、主面 3 a と、主面 3 a に対向する裏面 3 b と、主面 3 a の周縁部に形成された複数のボンディング用端子（ワイヤ接合部）3 p と、裏面 3 b に形成された複数のランド部 3 d と、主面 3 a 及び裏面 3 b に形成され、かつ複数のボンディング用端子 3 p と複数のランド部 3 d の間にそれぞれ形成された複数のスルーホール（第 1 貫通孔）3 e とを有している。すなわち、主面 3 a の周縁部に形成された複数のボンディング用端子 3 p は、それぞれ対応するスルーホール 3 e を介して裏面 3 b のランド部 3 d に電氣的に接続されている。

【 0 0 3 0 】

なお、パッケージ基板 3 におけるその厚さと交差する平面形状は方形状であり、本実施の形態 1 では正方形である。

【 0 0 3 1 】

また、パッケージ基板 3 は、図 3 に示すように比較的薄い 2 枚のコア材 3 c を貼り合わせて形成されている。2 枚のコア材 3 c の貼り合わせ後の厚さは、例えば、0.1 mm 程度であり、表裏面のソルダレジスト膜 3 q を含めた基板の総厚は、例えば、0.2 mm 程度である。これにより、パッケージ基板 3 の機械的強度の向上が図られているとともに、パッケージ基板 3 の薄型化に対応している。すなわち、C S P 7 の薄型化に対応している。

【 0 0 3 2 】

また、本実施の形態 1 の C S P 7 は、小型の半導体パッケージであるが、図 1 及び図 2 に示すように、特にチップサイズとパッケージ基板 3 がほぼ同じ大きさのものである。すなわち、パッケージ基板 3 は、半導体チップ 1 より僅かに大きい程度の面積であり、半導体チップ 1 の外側のパッケージ基板 3 の周縁部の領域に、複数のボンディング用端子 3 p が並んで設けられており、これらのボンディング用端子 3 p と半導体チップ 1 のパッド 1 c がそれぞれワイヤ 4 で電氣的に接続されている。

【 0 0 3 3 】

なお、複数のボンディング用端子 3 p は、図 3 及び図 4 に示すようにパッケージ基板 3 の主面 3 a の周縁部において、ソルダレジスト膜 3 q の開口窓 3 f に露出している。さらに、ボンディング用端子 3 p は、その一端はそれぞれ配線 3 n を介してスルーホール 3 e に接続され、他端には電解メッキ処理用の給電線 3 r が接続されている。したがって、ボンディング用端子 3 p、配線 3 n 及びスルーホール 3 e には電解メッキ処理が施されている。パッケージ基板 3 のボンディング用端子 3 p、配線 3 n、給電線 3 r、スルーホール 3 e 及びランド部 3 d 等の導体パターンは、例えば、銅合金からなり、さらにこれらの導体パターンに施されるメッキは、例えば、N i / A u メッキである。本実施の形態 1 では、例えばサブトラクティブ法によりパッケージ基板 3 を製造した場合について説明したが、これに限定されるものではない。例えば、セミアディティブ法によりパッケージ基板 3 を製造する場合は、下地となる C u シード層を無電解メッキ処理により形成した後、電解メッキ処理により C u 配線を形成してもよい。

【 0 0 3 4 】

一方、パッケージ基板 3 の裏面 3 b には、図 5 に示すように、それぞれスルーホール 3 e とランド部 3 d が相互に接続されてなる複数の導体パターンが形成されており、複数のランド部 3 d のうち、パッケージ基板 3 の裏面 3 b において最外周に配置されたランド部（第 1 ランド部）3 d と電氣的に接続されているスルーホール 3 e は、最外周に配置され

10

20

30

40

50

たランド部（第１ランド部）３ｄよりパッケージ基板３の中心側に形成されている。すなわち、スルーホール３ｅとランド部３ｄが相互に接続されてなる複数の導体パターンのうち、ランド部３ｄが最外周に配置された前記導体パターンにおいて、スルーホール３ｅはランド部３ｄより内側に形成されている。

【００３５】

なお、主面３ａ側のスルーホール３ｅと裏面３ｂ側のスルーホール３ｅは、図３に示すように、ホール内壁に形成されたメッキ膜３ｇによって電氣的に接続されている。

【００３６】

本実施の形態１のＣＳＰ７では、パッケージ基板３において、最外周に配置されたランド部（第１ランド部）３ｄに電氣的に接続されるスルーホール３ｅが、最外周に配置されたランド部（第１ランド部）３ｄよりパッケージ基板３の中心側（内側）に形成されていることにより、温度サイクル試験等でパッケージ基板３の外周から剥離が生じてスルーホール３ｅより外側に配置されたランド部（第１ランド部）３ｄで剥離の進展を抑制することができる。

【００３７】

これにより、剥離がスルーホール３ｅに対して直接的なダメージを与えることを抑制でき、不良に至るまでの時間を稼ぐことができる。

【００３８】

その結果、スルーホール３ｅでの断線の発生を低減することができ、ＣＳＰ７の信頼性の向上を図ることができる。

【００３９】

なお、最外周ではなく、外側から２列目及びそれより内側に形成されたランド部（第２ランド部）３ｄを有する導体パターンにおいては、必ずしもスルーホール３ｅが対応するランド部（第２ランド部）３ｄより基板の中心側に配置されていなくてもよく、少なくとも複数のスルーホール（第１貫通孔）３ｅが最外周のランド部（第１ランド部）３ｄよりパッケージ基板３の中心側（内側）に配置されていれば、外周から２列目及びそれより内側に形成されたランド部（第２ランド部）３ｄより外側に配置されていてもよい。

【００４０】

また、図６及び図７は、パッケージ基板３のスルーホール３ｅ内に孔埋め材を充填する構造の例を示すものであり、例えば、図６に示すパッケージ基板３では、スルーホール３ｅの孔埋め材として、ソルダレジスト等の絶縁膜３ｉを充填している。前記孔埋め材としてソルダレジスト等の絶縁膜３ｉを充填することにより、基板のコスト上昇を抑えることができる。

【００４１】

一方、図７に示す変形例のパッケージ基板３では、スルーホール３ｅの孔埋め材として、銅合金等の金属膜３ｈが充填されている。前記孔埋め材として、スルーホール３ｅ内に金属膜３ｈが埋め込まれていることにより、スルーホール３ｅ内にボイドが形成されることを阻止できる。更には、パッケージ基板３の主面３ａ及び裏面３ｂに形成された配線３ｎと一体形成することが可能であるため、機械的強度を向上することができる。その結果、放熱性も向上させることができるだけでなく、仮に剥離（クラック）がパッケージ基板３の最外周に形成されたランド部（第１ランド部）３ｄを通過してスルーホール３ｅにまで到達したとしても断線不良を抑制することができ、ＣＳＰ７の信頼性を向上させることができる。

【００４２】

次に、本実施の形態１のＣＳＰ７の製造方法を、図８～図１０に示す製造プロセスフロー図を用いて説明する。

【００４３】

まず、図８のステップＳ１に示す基板準備を行う。ここでは、複数のパッケージ基板３を形成する領域が区画配置された多数個取り基板９を準備する。なお、パッケージ基板３を形成する領域では、最外周に配置されたランド部（第１ランド部）３ｄと電氣的に接続

10

20

30

40

50

されるスルーホール 3 e が、ランド部（第 1 ランド部）3 d よりパッケージ基板 3 を形成する領域の中心側（内側）に形成されている基板を準備する。

【 0 0 4 4 】

その後、ステップ S 2 に示すダイボンディングを行って多数個取り基板 9 上に図 3 に示す接着剤 2 を介して半導体チップ 1 を固着する。その際、パッケージ基板 3 を形成する領域の周縁部のボンディング用端子 3 p 列の内側に半導体チップ 1 を搭載する。

【 0 0 4 5 】

その後、ステップ S 3 に示すワイヤボンディングを行う。ここでは、図 3 に示すように、半導体チップ 1 の主面 1 a のパッド 1 c と、これに対応する多数個取り基板 9 のパッケージ基板 3 のワイヤ接合部であるボンディング用端子 3 p とを金線等の導電性のワイヤ 4 によって電氣的に接続する。

【 0 0 4 6 】

その後、ステップ S 4 に示す樹脂モールドを行う。ここでは、多数個取り基板 9 上に於いて、複数の半導体チップ 1 や複数のワイヤ 4 を樹脂成形金型 1 5 の 1 つのキャビティ 1 5 a で一括して覆って樹脂封止し、これによって一括封止体 5 を形成する。なお、一括封止体 5 を形成する封止用樹脂は、例えば、熱硬化性のエポキシ樹脂等である。

【 0 0 4 7 】

その後、図 9 のステップ S 5 に示すボールマウントを行って図 3 に示すようにパッケージ基板 3 の裏面 3 b の各ランド部 3 d に半田ボール 8 を接続する。

【 0 0 4 8 】

その後、ステップ S 6 に示すマークを行う。ここではレーザーマーキング法等でマーキング 1 0 を行なって一括封止体 5 にマークを付す。なお、マーキング 1 0 は、例えば、インクマーキング法などで行ってもよい。

【 0 0 4 9 】

その後、ステップ S 7 に示す個片化を行う。ここでは、一括封止体 5 の表面にダイシングテープ 1 2 を貼り、ダイシングテープ 1 2 で固定した状態でダイシングブレード 1 1 によって切断して各 C S P 7 に個片化する。

【 0 0 5 0 】

これにより、ステップ S 8 に示すように C S P 7 の組み立てを完了して製品完成となる。

【 0 0 5 1 】

なお、図 1 0 は樹脂モールド後の組み立ての変形例を示す製造プロセスフロー図である。

【 0 0 5 2 】

図 1 0 に示す変形例は、マークを行った後にボールマウントを行うものである。

【 0 0 5 3 】

ボールマウントの工程は、パッケージ基板 3 のランド部 3 d に半田を塗布した後、リフロー処理により半田ボール 8 を形成する。このため、ボールマウントの工程においても、このリフロー処理によりパッケージ基板 3 が更に反る問題が生じる。マークの工程では、レーザーマーキング法などでマーキングを行うが、パッケージ基板 3 が反った状態では、一括封止体 5 の表面に垂直にレーザを照射することが困難となるため、一括封止体 5 の表面にマークが付されないというマーキング不良が発生する。

【 0 0 5 4 】

そこで、図 1 0 に示す変形例は、パッケージ基板 3 が反る要因の一つである半田ボール 8 形成時のリフロー処理を行う前に、先にマークの工程を行うものである。これにより、マーキング不良を抑制することができる。

【 0 0 5 5 】

（実施の形態 2 ）

図 1 1 は本発明の実施の形態 2 の半導体装置の構造の一例を封止体を透過して示す平面図、図 1 2 は図 1 1 に示す A - A 線に沿って切断した断面の構造を示す断面図、図 1 3 は

10

20

30

40

50

図 1 2 に示す B 部の構造を示す拡大部分断面図である。また、図 1 4 は図 1 1 に示す半導体装置に組み込まれる配線基板の主面側の導体パターンの一例を示す平面図、図 1 5 は図 1 4 に示す配線基板の裏面側の導体パターンの一例を示す裏面図、図 1 6 は図 1 4 に示す C - C 線に沿って切断した断面の構造を示す拡大部分断面図である。

【 0 0 5 6 】

図 1 1 ~ 図 1 3 に示す本実施の形態 2 の半導体装置は、実施の形態 1 の C S P 7 と同様に、配線基板上に半導体チップ 1 が搭載された樹脂封止型の小型の C S P 1 3 である。

【 0 0 5 7 】

本実施の形態 2 の C S P 1 3 では、パッケージ基板 3 の裏面 3 b の複数のランド部 3 d において、図 1 5 に示すように最外周に配置されたランド部（第 1 ランド部）3 d と電気的に接続されるスルーホール 3 e は、ランド部（第 1 ランド部）3 d よりパッケージ基板 3 の中心側に形成されている。さらに、これに加えて複数のスルーホール（第 1 貫通孔）3 e より外側に複数のダミースルーホール（第 2 貫通孔）3 m が形成されており、本実施の形態 2 では、パッケージ基板 3 の 4 つの角部付近にダミースルーホール 3 m が形成されている。詳細には、パッケージ基板 3 において、複数のダミースルーホール（第 2 貫通孔）3 m は、複数のスルーホール（第 1 貫通孔）3 e 及び複数のランド部 3 d より外側に形成されており、さらに、第 1 方向に形成された複数のボンディング用端子 3 p の配列延長線と第 1 方向と交差する第 2 方向に形成された複数のボンディング用端子 3 p の配列延長線との交点付近にダミースルーホール 3 m が形成されている。

【 0 0 5 8 】

すなわち、最外周に配置されたランド部（第 1 ランド部）3 d と電気的に接続されるスルーホール（第 1 貫通孔）3 e が、ランド部（第 1 ランド部）3 d より内側に形成されており、さらにパッケージ基板 3 の 4 つの角部付近にダミースルーホール（第 2 貫通孔）3 m が形成されている。

【 0 0 5 9 】

なお、ダミースルーホール 3 m は、図 1 4 ~ 図 1 6 に示すように、ランド部 3 d やスルーホール 3 e 、さらにボンディング用端子 3 p 等の他の導体パターンと接続していないノンコネクホールである。ダミースルーホール 3 m は、パッケージ基板 3 の周縁部に形成されるものであるが、特に応力が集中し易い角部に形成することが好ましい。上記した剥離（コアクラック）はパッケージ基板 3 の外周から進展するが、外周の中でも特にパッケージ基板 3 の中心から最も遠い箇所、すなわち角部付近に応力が集中し易いためである。

【 0 0 6 0 】

また、C S P 1 3 は、C S P 7 と同様に、小型の半導体パッケージであり、パッケージ基板 3 は、半導体チップ 1 より僅かに大きい程度ある。そこで、本実施の形態 2 の C S P 1 3 のように、最外周に配置されたランド部 3 d と電気的に接続されるスルーホール 3 e を、ランド部 3 d より内側に形成することにより、周縁部に形成するダミースルーホール 3 m とスルーホール 3 e とが同列配置になることを避けられる。つまり、最外周に配置されたランド部 3 d と電気的に接続されるスルーホール 3 e を、ランド部 3 d より内側に形成することにより、パッケージ基板 3 が半導体チップ 1 より僅かに大きな C S P 1 3 であってもパッケージ基板 3 の周縁部にダミースルーホール 3 m を配置することが可能になる。

【 0 0 6 1 】

ただし、半導体チップ 1 とパッケージ基板 3 の大きさは、極めて近いため、パッケージ基板 3 の角部を含む周縁部にダミースルーホール 3 m を形成した場合、これらダミースルーホール 3 m の更に外側に放熱用ビア等の他の貫通孔を形成するスペースは無い。

【 0 0 6 2 】

本実施の形態 2 の C S P 1 3 によれば、最外周に配置されたランド部（第 1 ランド部）3 d と電気的に接続されるスルーホール（第 1 貫通孔）3 e が、ランド部 3 d より内側に形成され、さらにパッケージ基板 3 の周縁部にダミースルーホール（第 2 貫通孔）3 m が形成されていることにより、温度サイクル試験等でパッケージ基板 3 の外周から剥離が生

じてもダミースルーホール 3 m によって剥離の進展を抑制することができる。さらに、剥離が内側に進展したとしても最外周のランド部 3 d でクラックの進展を抑制することができる。

【 0 0 6 3 】

これにより、実施の形態 1 に比べスルーホール 3 e における断線の発生をさらに低減することができる。C S P 1 3 の信頼性の向上をさらに図ることができる。

【 0 0 6 4 】

なお、ダミースルーホール 3 m 内に充填する孔埋め材としては、実施の形態 1 と同様に、ソルダレジスト等の絶縁膜 3 i を充填してもよいし、または、銅合金等の金属膜 3 h を充填してもよい。ただし、ダミースルーホール 3 m 内に金属膜 3 h を充填する場合、ダミースルーホール 3 m に導体膜を形成するとともに前記導体膜に繋がる給電線 3 r が接続されている必要がある。

10

【 0 0 6 5 】

また、本実施の形態 2 の C S P 1 3 は、少なくともスルーホール 3 e の外側に複数のダミースルーホール 3 m が設けられていればよく、最外周に配置されたランド部 3 d と電氣的に接続されるスルーホール 3 e が、必ずしもランド部 3 d より内側に形成されていなくてもよい。

【 0 0 6 6 】

本実施の形態 2 の C S P 1 3 のその他の構造と、C S P 1 3 によって得られるその他の効果については、C S P 7 と同様であるため、その重複説明は省略する。

20

【 0 0 6 7 】

(実施の形態 3)

図 1 7 は本発明の実施の形態 3 の半導体装置の構造の一例を封止体を透過して示す平面図、図 1 8 は図 1 7 に示す A - A 線に沿って切断した断面の構造を示す断面図、図 1 9 は図 1 7 に示す B - B 線に沿って切断した断面の構造を示す断面図、図 2 0 は図 1 8 に示す C 部の構造を示す拡大部分断面図である。さらに、図 2 1 は図 1 7 に示す半導体装置に組み込まれる配線基板の主面側の導体パターンの一例を示す平面図、図 2 2 は図 2 1 に示す配線基板の裏面側の導体パターンの一例を示す裏面図である。

【 0 0 6 8 】

図 1 7 ~ 図 2 0 に示す本実施の形態 3 の半導体装置は、実施の形態 1 の C S P 7 と同様に、配線基板上に半導体チップ 1 が搭載された樹脂封止型の小型の C S P 1 4 である。

30

【 0 0 6 9 】

本実施の形態 3 の C S P 1 4 では、パッケージ基板 3 の裏面 3 b の複数のランド部 3 d において、図 2 2 に示すように最外周に配置されたランド部 3 d と電氣的に接続されるスルーホール 3 e は、ランド部 3 d よりパッケージ基板 3 の中心側に形成されている。さらに、これに加えて複数のスルーホール (第 1 貫通孔) 3 e より外側に複数のダミースルーホール (第 2 貫通孔) 3 m が形成されており、本実施の形態 2 では、図 2 1 に示すようにパッケージ基板 3 の 4 つの角部付近 (第 1 方向に形成された複数のボンディング用端子 3 p の配列延長線と第 1 方向と交差する第 2 方向に形成された複数のボンディング用端子 3 p の配列延長線との交点付近) と、ボンディング用端子 3 p の列間とにダミースルーホール 3 m が形成されている。

40

【 0 0 7 0 】

また、C S P 1 4 では、パッケージ基板 3 のスルーホール 3 e とダミースルーホール 3 m それぞれが、レーザ加工によって形成されている。レーザ加工では、基板に貫通孔を形成する場合、ドリルで貫通孔を形成する場合に比較して貫通孔の孔径を非常に小さくすることができる。さらに、図 2 0 に示すように、貫通孔におけるレーザの進行方向の前側の開口部 3 j と後側側の開口部 3 k とではその大きさが異なる。

【 0 0 7 1 】

レーザ加工においては、レーザの中心の強度が最も高く、中心から離れて外周に向かうにつれてレーザの強度が低くなる。したがって、レーザの中心は強度が高いことにより、

50

基板を貫通するが、これに比べて外周は強度が低いいため貫通までは至らず、結果として図 20 に示すように、スルーホール 3 e における基板の厚さ方向に沿った断面の形状は、台形（正台形）になる。

【0072】

図 20 に示すパッケージ基板 3 の場合には、レーザの進行方向の前側の開口部（レーザ照射面とは反対側に形成されるスルーホール 3 e の開口部）3 j は、その形状が、例えば、直径 0.02 ~ 0.03 mm 程度の円形であり、一方、レーザの進行方向の後ろ側の開口部（レーザ照射面に形成されるスルーホール 3 e の開口部）3 k は、その形状が、例えば、直径 0.05 ~ 0.07 mm 程度の円形である。

【0073】

なお、ダミースルーホール 3 m を形成する際に、レーザ加工の方向は主面側からでも裏面側からでもどちらでもよい。

【0074】

また、CSP14 のパッケージ基板 3 では、図 21 に示すように、各ボンディング用端子 3 p の外側に図 4 に示すような給電線 3 r が形成されていない。すなわち、CSP14 のパッケージ基板 3 は、無電解メッキ処理等によって各導体パターンのメッキを形成したものである。

【0075】

また、CSP14 は、CSP7 と同様に、小型の半導体パッケージであり、パッケージ基板 3 は、半導体チップ 1 より僅かに大きい程度ある。したがって、パッケージ基板 3 の周縁部にダミースルーホール 3 m を形成するスペースを確保するのが困難である。そこで、本実施の形態 3 の CSP14 では、ボンディング用端子 3 p の列間にダミースルーホール 3 m を配置するにあたり、全てのスルーホール 3 e をレーザ加工によって形成して貫通孔の孔径を非常に小さくすることで、スペースを確保している。すなわち、最外周に配置されたランド部 3 d と電氣的に接続するスルーホール 3 e を、ランド部 3 d よりパッケージ基板 3 の中心側に形成できるとともに、周縁部にダミースルーホール 3 m を形成することができる。

【0076】

特に、ピン数の増加によってダミースルーホール 3 m の形成がスペース的に困難な場合、スルーホール 3 e やダミースルーホール 3 m をレーザ加工によって形成することに相対的に小径の穴（ドリル加工で開けた穴よりも小さい穴）を開けることが可能となり、ダミースルーホール 3 m を形成するためのスペースの確保が容易になる。例えば、多ピン化に対応させてボンディング用端子 3 p の列間に形成する際のダミースルーホール 3 m は、図 21 に示すように、可能な限り孔径が小さな方が好ましい。

【0077】

このように CSP14 においても、実施の形態 2 の CSP13 と同様に、最外周に配置されたランド部 3 d と電氣的に接続されるスルーホール 3 e が、ランド部 3 d より内側に形成され、さらに 4 つの角部を含むパッケージ基板 3 の周縁部にダミースルーホール 3 m が形成されていることにより、温度サイクル試験等でパッケージ基板 3 の外周からクラックが生じてもダミースルーホール 3 m によってクラックの進展を抑制することができる。さらに、クラックが内側に進展したとしても最外周のランド部 3 d でクラックの進展を抑制することができる。

【0078】

これにより、スルーホール 3 e における断線の発生をさらに低減することができ、CSP14 の信頼性の向上をさらに図ることができる。

【0079】

なお、ダミースルーホール 3 m 内に充填する孔埋め材としては、実施の形態 1 と同様に、ソルダレジスト等の絶縁膜 3 i を充填してもよいし、または、銅合金等の金属膜 3 h を充填してもよい。ただし、ダミースルーホール 3 m 内に金属膜 3 h を充填する場合、ダミースルーホール 3 m に導体膜を形成するとともに前記導体膜に繋がる給電線 3 r が接続さ

10

20

30

40

50

れている必要がある。

【 0 0 8 0 】

本実施の形態 3 の C S P 1 4 のその他の構造と、C S P 1 4 によって得られるその他の効果については、実施の形態 2 の C S P 1 3 と同様であるため、その重複説明は省略する。

【 0 0 8 1 】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【 0 0 8 2 】

例えば、前記実施の形態 1 , 2 及び 3 では、パッケージ基板 3 においてコア材 3 c が 2 層の場合を説明したが、コア材 3 c は 2 層以上の複数の層が貼り合わされて形成されていれば何層であってもよい。

【産業上の利用可能性】

【 0 0 8 3 】

本発明は、配線基板を有した電子装置に好適である。

【図面の簡単な説明】

【 0 0 8 4 】

【図 1】本発明の実施の形態 1 の半導体装置の構造の一例を封止体を透過して示す平面図である。

【図 2】図 1 に示す A - A 線に沿って切断した断面の構造を示す断面図である。

【図 3】図 2 に示す B 部の構造を示す拡大部分断面図である。

【図 4】図 1 に示す半導体装置に組み込まれる配線基板の主面側の導体パターンの一例を示す平面図である。

【図 5】図 4 に示す配線基板の裏面側の導体パターンの一例を示す裏面図である。

【図 6】図 4 に示す配線基板のスルーホール構造の一例を示す拡大部分断面図である。

【図 7】図 4 に示す配線基板の変形例のスルーホール構造を示す拡大部分断面図である。

【図 8】図 1 に示す半導体装置の組み立てにおける樹脂モールドまでの組み立ての一例を示す製造プロセスフロー図である。

【図 9】図 1 に示す半導体装置の組み立てにおける樹脂モールド後の組み立ての一例を示す製造プロセスフロー図である。

【図 10】図 1 に示す半導体装置の組み立てにおける樹脂モールド後の組み立ての変形例を示す製造プロセスフロー図である。

【図 11】本発明の実施の形態 2 の半導体装置の構造の一例を封止体を透過して示す平面図である。

【図 12】図 11 に示す A - A 線に沿って切断した断面の構造を示す断面図である。

【図 13】図 12 に示す B 部の構造を示す拡大部分断面図である。

【図 14】図 11 に示す半導体装置に組み込まれる配線基板の主面側の導体パターンの一例を示す平面図である。

【図 15】図 14 に示す配線基板の裏面側の導体パターンの一例を示す裏面図である。

【図 16】図 14 に示す C - C 線に沿って切断した断面の構造を示す拡大部分断面図である。

【図 17】本発明の実施の形態 3 の半導体装置の構造の一例を封止体を透過して示す平面図である。

【図 18】図 17 に示す A - A 線に沿って切断した断面の構造を示す断面図である。

【図 19】図 17 に示す B - B 線に沿って切断した断面の構造を示す断面図である。

【図 20】図 18 に示す C 部の構造を示す拡大部分断面図である。

【図 21】図 17 に示す半導体装置に組み込まれる配線基板の主面側の導体パターンの一例を示す平面図である。

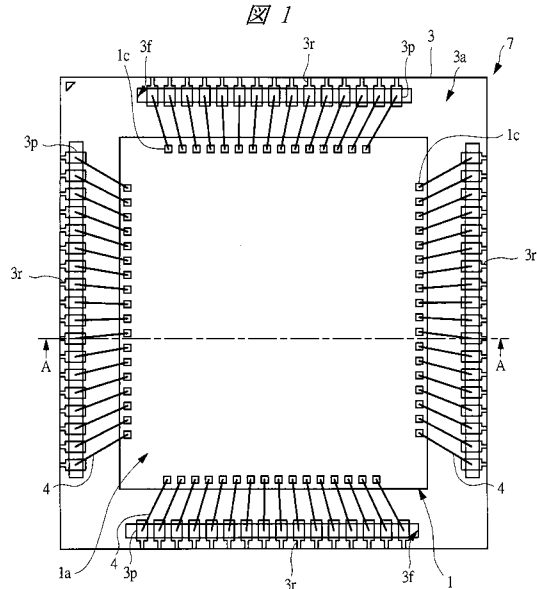
【図 2 2】図 2 1 に示す配線基板の裏面側の導体パターンの一例を示す裏面図である。

【符号の説明】

【 0 0 8 5 】

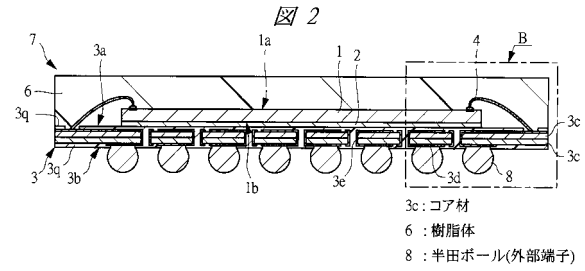
1	半導体チップ	
1 a	主面	
1 b	裏面	
1 c	パッド (電極)	
2	接着剤	
3	パッケージ基板 (配線基板)	
3 a	主面	10
3 b	裏面	
3 c	コア材	
3 d	ランド部	
3 e	スルーホール (第 1 貫通孔)	
3 f	開口窓	
3 g	メッキ膜	
3 h	金属膜	
3 i	絶縁膜	
3 j , 3 k	開口部	
3 m	ダミースルーホール (第 2 貫通孔)	20
3 n	配線	
3 p	ボンディング用端子 (ワイヤ接合部)	
3 q	ソルダレジスト膜	
3 r	給電線	
4	ワイヤ	
5	一括封止体	
6	樹脂体	
7	C S P (半導体装置)	
8	半田ボール (外部端子)	
9	多数個取り基板	30
1 0	マーキング	
1 1	ダイシングブレード	
1 2	ダイシングテープ	
1 3 , 1 4	C S P (半導体装置)	
1 5	樹脂成形金型	
1 5 a	キャビティ	

【図 1】



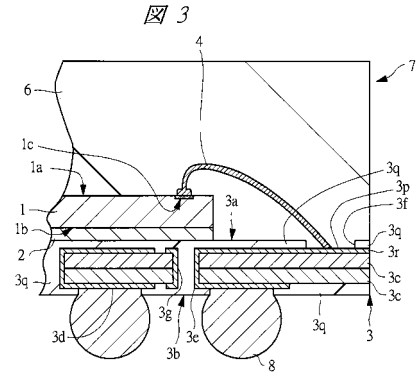
1 : 半導体チップ 3p : ボンディング用端子(ワイヤ接合部)
 1c : パッド(電極) 4 : ワイヤ
 3a : 主面 7 : CSP(半導体装置)

【図 2】

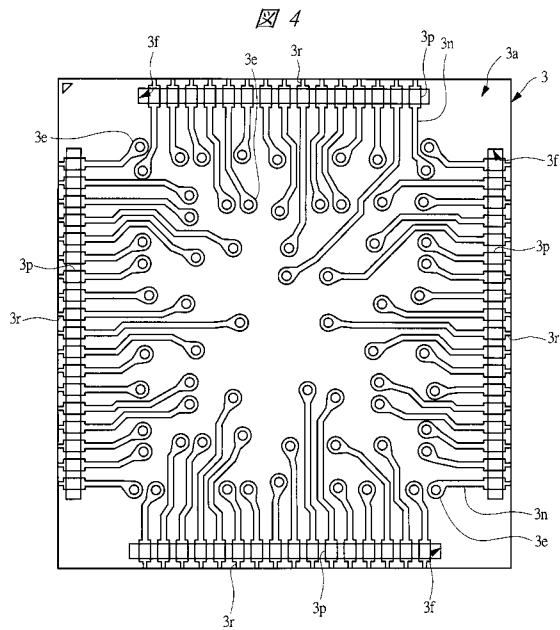


3c : コア材
 6 : 樹脂体
 8 : 半田ボール(外部端子)

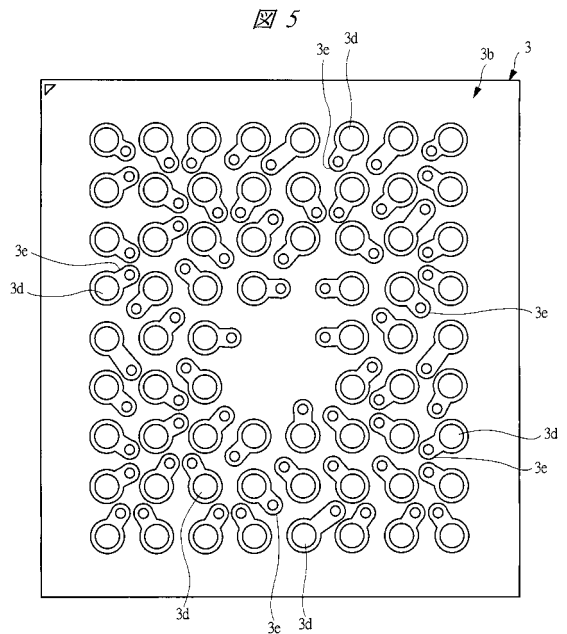
【図 3】



【図 4】

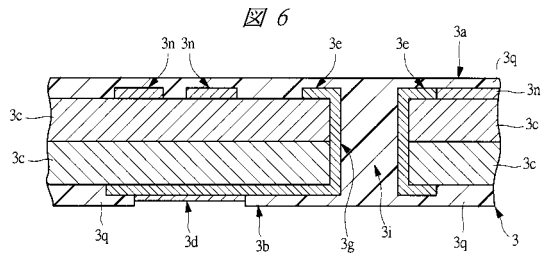


【図 5】

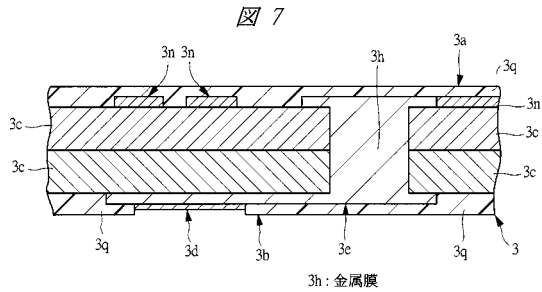


3 : パッケージ基板(配線基板)
 3b : 裏面
 3d : ランド部
 3e : スルーホール(第1貫通孔)

【 図 6 】

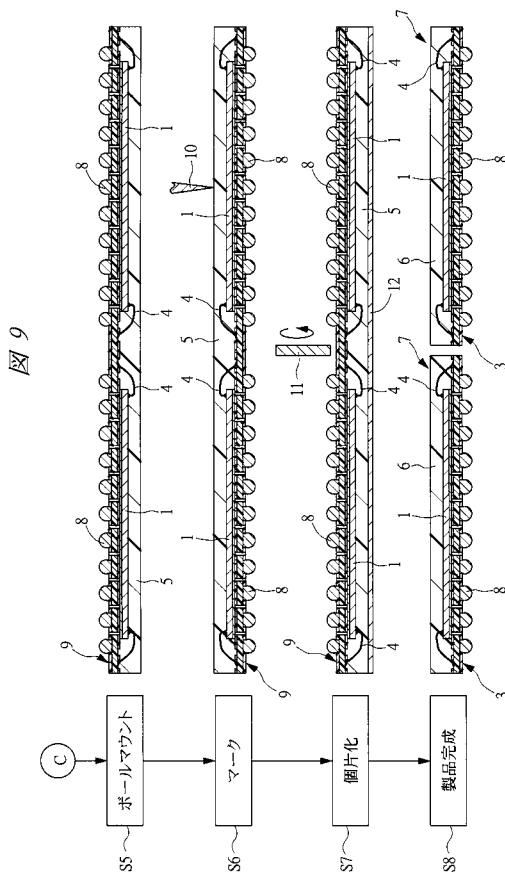


【圖 7】

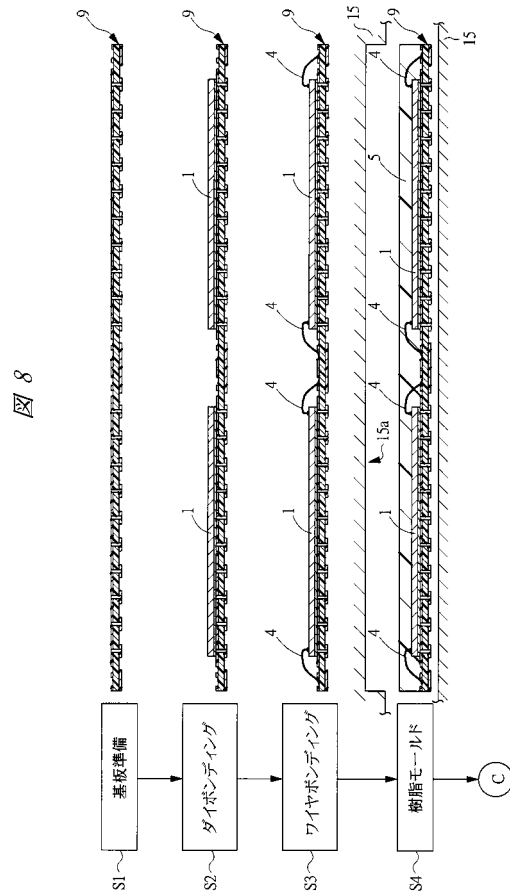


3h: 金属膜

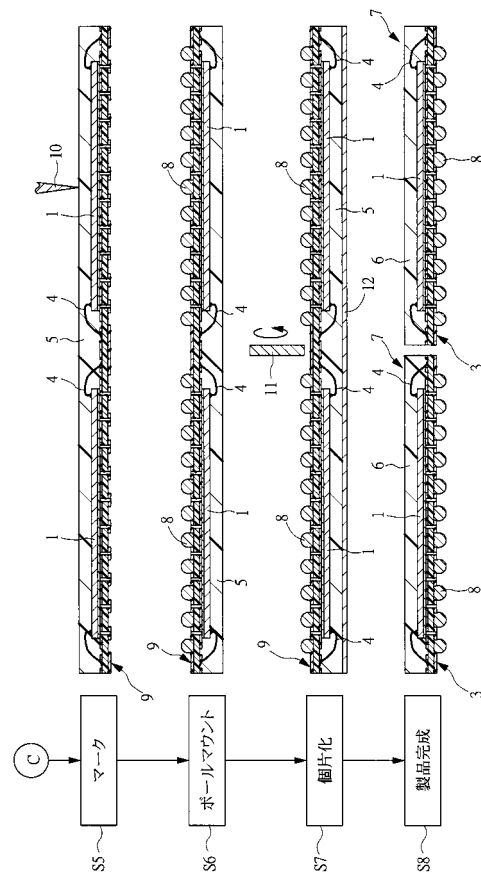
【 図 9 】



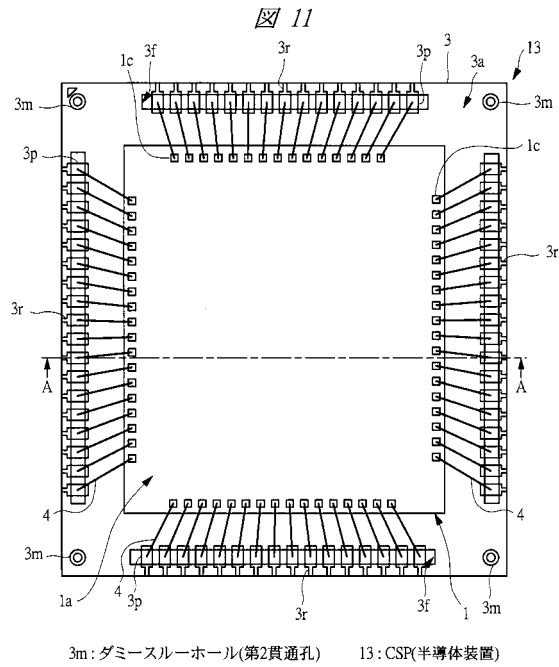
【 図 8 】



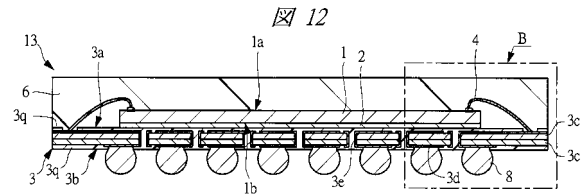
【 図 1 0 】



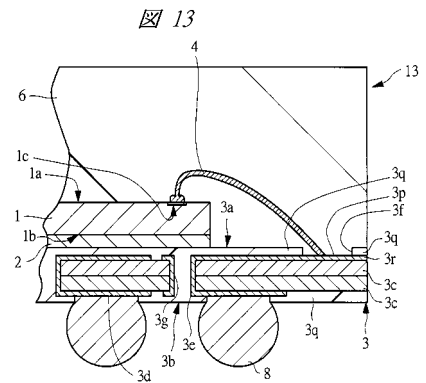
【図 1 1】



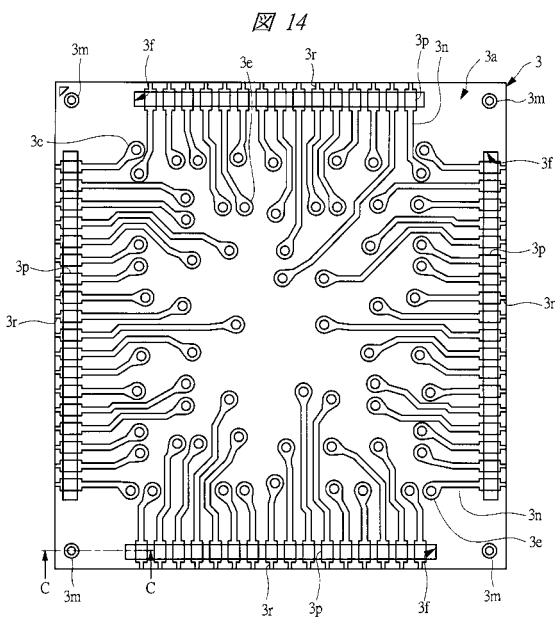
【図 1 2】



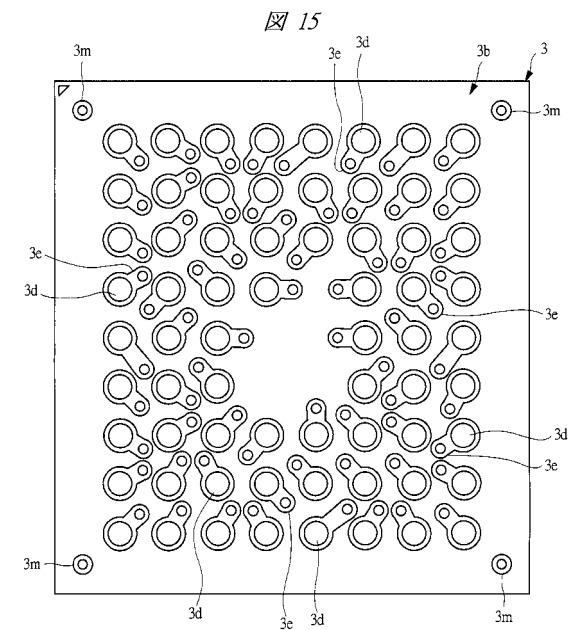
【図 1 3】



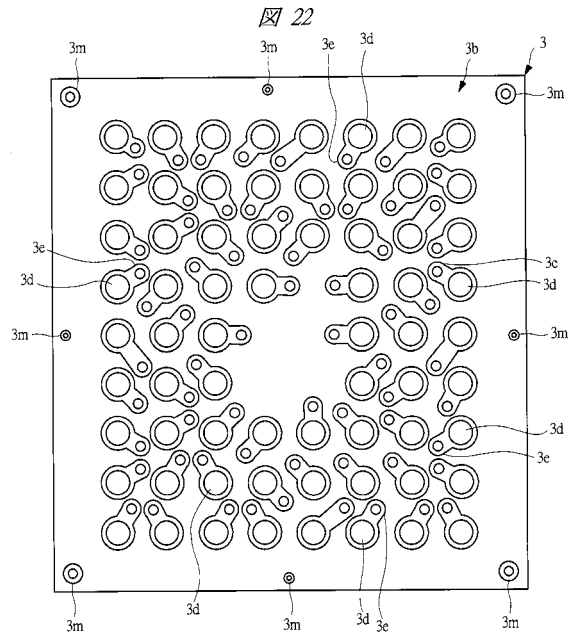
【図 1 4】



【図 1 5】



【図 22】



フロントページの続き

(56)参考文献 特開2005-072515(JP,A)
特開平11-003954(JP,A)
特開2004-056137(JP,A)
特開2002-118204(JP,A)
特開2005-101137(JP,A)
特開平09-186422(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 23/12