

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3877459号

(P3877459)

(45) 発行日 平成19年2月7日(2007.2.7)

(24) 登録日 平成18年11月10日(2006.11.10)

(51) Int. Cl.

F I

H O 1 L 21/331 (2006.01)

H O 1 L 29/72 P

H O 1 L 29/732 (2006.01)

H O 1 L 27/08 I O 1 C

H O 1 L 21/8228 (2006.01)

H O 1 L 27/08 I O 1 V

H O 1 L 27/082 (2006.01)

H O 1 L 21/8224 (2006.01)

請求項の数 2 (全 7 頁)

(21) 出願番号 特願平11-31386
 (22) 出願日 平成11年2月9日(1999.2.9)
 (65) 公開番号 特開2000-232111(P2000-232111A)
 (43) 公開日 平成12年8月22日(2000.8.22)
 審査請求日 平成16年11月4日(2004.11.4)

(73) 特許権者 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100131071
 弁理士 ▲角▼谷 浩
 (72) 発明者 赤石 実
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内

審査官 小川 将之

(56) 参考文献 特開平09-219447(JP, A)
 特開昭61-044460(JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

埋め込みコレクタとなる一導電型のコレクタ埋め込み層を形成し、その上に逆導電型のエピタキシャル層を形成する工程と、

前記コレクタ埋め込み層上方の前記エピタキシャル層の表面に耐酸化膜を形成する工程と、

前記耐酸化膜で被覆されないエピタキシャル層表面を選択酸化してLOCOS絶縁膜を形成する工程と、

前記LOCOS酸化膜を形成した後、前記LOCOS酸化膜

を選択マスクとして、逆導電型の不純物を拡散して低濃度ウェル領域を形成する工程と、

10

前記LOCOS酸化膜を除去して前記エピタキシャル層表面に段差を形成し、

前記エピタキシャル層の膜厚が薄い領域と厚い領域とを形成する工程と、

前記膜厚の薄い領域の表面から一導電型の不純物を拡散して前記コレクタ埋め込み層に達するコレクタ導出領域を形成する工程と、

前記膜厚の厚い領域の表面から一導電型の不純物を拡散してエミッタ領域を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項2】

埋め込みコレクタとなる一導電型のコレクタ埋め込み層を形成し、その上に逆導電型のエピタキシャル層を形成する工程と、

前記コレクタ埋め込み層上方の前記エピタキシャル層の表面に耐酸化膜を形成する工程

20

と、

前記耐酸化膜で被覆されないエピタキシャル層表面を選択酸化してL O C O S絶縁膜を形成する工程と、

前記L O C O S酸化膜を除去して前記エピタキシャル層表面に段差を形成し、
前記エピタキシャル層の膜厚が薄い領域と厚い領域とを形成する工程と、

前記膜厚の薄い領域の表面から一導電型の不純物を拡散して前記コレクタ埋め込み層に達するコレクタ導出領域を形成する工程と、

前記膜厚の厚い領域の表面から一導電型の不純物を拡散してエミッタ領域を形成する工程と、を具備し、

前記L O C O S酸化膜の形成工程を酸素雰囲気中の処理として、前記コレクタ埋め込み層の上方拡散深さに段差を付けることを特徴とする半導体装置の製造方法。 10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、コレクタ抵抗を減じることが可能な、縦型PNPトランジスタの製造方法に関する。

【0002】

【従来の技術】

一般に高性能なアナログ回路は、NPNトランジスタのみで構成することは困難であるため、NPNトランジスタとPNPトランジスタを相補対に組み合わせて構成することが多い。しかし出力段回路においては、従来のラテラルPNPトランジスタは大電流化することが難しいので、回路的に複数個のトランジスタを組み合わせて擬似的なPNPトランジスタを形成することが多かった。しかし、複数個を組み合わせることで飽和電圧が大きくなり、高性能な出力段回路を得ることが困難であった。そこで、NPNトランジスタと同じ縦型構造のPNPトランジスタを開発することにより、高性能な出力段回路を得ることを可能にした。この縦型PNPトランジスタの構造を図4に従って説明する。 20

【0003】

P型半導体基板1上にN型の第1と第2のエピタキシャル層2、3を形成し、これらを接合分離するためのP+領域4、5、6を形成して素子形成のための島領域を形成する。基板1表面にはN+型の埋め込み層7を設け、第1のエピタキシャル層2の表面にはP+コレクタ埋め込み層8とN+領域9を形成する。島領域となる第2のエピタキシャル層3表面にP型ベース10、N+型エミッタ11およびN+コレクタコンタクト領域12を形成してNPNトランジスタとする。なお、コレクタコンタクト領域12に重ねて、エピタキシャル層3表面から埋め込み層7に達するN+拡散領域を設けることもある。 30

【0004】

もう一方の島領域にはコレクタ埋め込み層8に達するP+型コレクタ導出領域13を設けてPNPトランジスタのベースとし、該ベースの表面にP+エミッタ領域を形成して縦型PNPトランジスタとする。なお、ベースにN-型の領域15を形成することもある。

【0005】

上記の縦型PNPトランジスタにおいて、その飽和電圧特性 $V_{ce(sat)}$ はコレクタ埋め込み層8とコレクタ導出領域13との抵抗成分(コレクタ直列抵抗 R_{c16})でほぼ決定される事が知られている。一般的にエピタキシャル層表面から熱拡散によって形成した拡散領域は、表面部分で不純物濃度が高く、深い部分で不純物濃度が薄くなる濃度分布を持つ。従って、コレクタ直列抵抗 R_{c16} はコレクタ導出領域13とコレクタ埋め込み層8とがどの程度重畳しているかによっても左右されることになる。一方、トランジスタのエミッタ・コレクタ間耐圧 V_{CEO} は、P+エミッタ領域14とP+コレクタ埋め込み層8との間隔17で大略決定されることが知られている。従って、両者の特性は第2のエピタキシャル層3の膜厚によって大きく左右されることが伺える。 40

【0006】

図5に、第2のエピタキシャル層8の膜厚に対する両者の特性図を示した。膜厚が大にな 50

るほど、コレクタ導出領域13とコレクタ埋め込み層8との重畳量が減少しさらにはP+エミッタ領域14とP+コレクタ埋め込み層8との間隔17が大きくなることから、両特性共に値が増加する傾向にある。

【0007】

このような特性にあるとき、半導体素子としての良否判定を行うには、飽和電圧 $V_{ce(sat)}$ はあらかじめ定められた一定値以下であること、一方の耐圧 V_{CEO} は同じくあらかじめ定められた一定値以上であること、という相反する要求となる。従って、第2のエピタキシャル層3の膜厚はこれらの値が両者とも満足する範囲(符号18)に制御しなければならない。

【0008】

10

【発明が解決しようとする課題】

しかしながら、気相成長法によるエピタキシャル層は、比較的ばらつきが大きく、例えば高耐圧用途に $10\mu m$ 成長させた場合にはプラスマイナス $1\mu m$ 程度の誤差が発生する。加えて、エピタキシャル層を形成した後の各種酸化処理による膜厚減もばらつきの要因となる。これらの要因が重なって、従来の装置では飽和電圧 $V_{ce(sat)}$ 特性とエミッタ・コレクタ間耐圧 V_{CEO} 特性とを両方満足し得る範囲18が例えばプラスマイナス $0.5\mu m$ 以内と狭く、制御が困難である欠点があった。また、特性が規格から外れることによって歩留まりが低下するという欠点があった。

【0009】

【課題を解決するための手段】

20

本発明はかかる従来の課題に鑑みなされたもので、埋め込みコレクタとなる一導電型のコレクタ埋め込み層を形成し、その上に逆導電型のエピタキシャル層を形成する工程と、前記コレクタ埋め込み層上方の前記エピタキシャル層の表面に耐酸化膜を形成する工程と、前記耐酸化膜で被覆されないエピタキシャル層表面を選択酸化してLOCOS絶縁膜を形成する工程と、前記LOCOS酸化膜を除去して前記エピタキシャル層表面に段差を形成し、前記エピタキシャル層の膜厚が薄い領域と厚い領域を形成する工程と、前記膜厚の薄い領域の表面から一導電型の不純物を拡散して前記コレクタ埋め込み層に達するコレクタ導出領域を形成する工程と、前記膜厚の厚い領域の表面から一導電型の不純物を拡散してエミッタ領域を形成する工程と、を具備することを特徴とするものである。

30

【0010】

【発明の実施の形態】

以下に本発明の一実施の形態を図面を参照しながら詳細に説明する。

【0011】

第1工程：図1(A)参照

P型の半導体基板21を準備する。基板21表面にアンチモンなどのN型不純物を選択拡散してN+領域22を形成し、更にボロンなどのP型不純物を選択拡散して素子分離用のP+領域23を形成する。符号24は選択拡散に供したシリコン酸化膜である。

40

【0012】

第2工程：図1(B)参照

基板21表面の酸化膜を除去した後に、気相成長法によって全面に $8\sim 12\mu m$ 厚みのN型の第1のエピタキシャル層25を形成する。第2のエピタキシャル層25表面にアンチモンなどのN型不純物を選択拡散してNPNトランジスタの埋め込み層となるN+領域26と縦型PNPトランジスタ用のN+領域27を形成し、更にボロンなどのP型不純物を選択拡散して素子分離用のP+領域28と縦型PNPトランジスタのP+コレクタ埋め込み層29を形成する。符号30は選択拡散に供したシリコン酸化膜である。

【0013】

第3工程：図1(C)参照

50

酸化膜 30 を除去した後に、気層成長法によって全面に $5 \sim 10 \mu\text{m}$ 厚みの N 型の第 2 のエピタキシャル層 31 を形成する。第 2 のエピタキシャル層 31 の表面を清浄化した後に熱酸化して膜厚が $1000 \text{ \AA}$ 程度のシリコン酸化膜 32 を形成し、次いで酸化膜 32 の上に膜厚が $1000 \text{ \AA}$ 程度のシリコン窒化膜を堆積する。これを通常のホットエッチング技術によってパターンニングし、P+コレクタ埋め込み層 29 の上方に P+コレクタ埋め込み層 29 の平面視の面積よりは小さな面積を持つ耐酸化膜 33 を形成する。

【0014】

第 4 工程：図 2 (A) 参照

基板 21 全体を 1100°C 、酸化雰囲気中で $1 \sim 3$ 時間程度熱処理することにより、第 2 のエピタキシャル層 31 の表面を熱酸化して LOCOS 酸化膜 34 を形成する。LOCOS 酸化膜 34 は 1.5μ 程度の膜厚に形成され、酸化前のエピタキシャル層表面から下方に $0.6 \mu\text{m}$ 程度、上方に $0.9 \mu\text{m}$ 程度の割合で形成される。

10

【0015】

また、該熱処理によって N+埋め込み層 26 や P+コレクタ埋め込み層 29 が上下方向に拡散される。このとき、熱処理が酸化を行うために酸素を供給した処理であれば、供給した酸素の影響によって N+埋め込み層 26 や P+コレクタ埋め込み層 29 の拡散が増速拡散の影響を受ける。増速酸化の影響は第 2 のエピタキシャル層 31 が露出した領域で発生し、酸素を通過しない耐酸化膜 33 の下部では影響が出ない。その為、耐酸化膜 33 の下に位置する P+コレクタ埋め込み層 29 の中央付近 29a はそれ程拡散されず、周辺部分 29b は大きく拡散されて、断面形状で中央が凹んだ形状に拡散される。中央部 29a と周辺部 29b との拡散量の差は約 $0.5 \mu\text{m}$ である。

20

【0016】

第 5 工程：図 2 (B) 参照

耐酸化膜 33 を除去し、残った LOCOS 酸化膜 34 を選択マスクとして全体に燐をイオン注入し、注入した不純物を熱拡散することにより N-ウェル領域 35 を形成する。LOCOS 酸化膜 34 をマスクにすることによって、マスク数の低減を図ることが出来る。

【0017】

第 6 工程：図 3 (A) 参照

LOCOS 酸化膜 34 を除去する。耐酸化膜 33 を形成した部分は選択酸化の影響を受けていないので、LOCOS 酸化膜 34 を形成した部分のエピタキシャル層の膜厚は減じられて薄い領域 51 となり、形成しない部分のエピタキシャル層の膜厚は形成前と同等の厚い領域 52 となる。よって、第 2 のエピタキシャル層 31 の表面に段差を設けることが出来る。この段差は、約 0.6μ 程度である。

30

【0018】

そして、膜厚の薄い領域 51 の第 2 のエピタキシャル層 31 表面からボロンを選択拡散して、素子分離用の P+領域 36 と、縦型 PNP トランジスタの P+コレクタ導出領域 37 を形成する。P+領域 36 は P+領域 28 に達して素子分離を完成させ、P+コレクタ導出領域 37 はコレクタ埋め込み層 29 に達して縦型 PNP トランジスタのベースとなるべき領域を区画する。

【0019】

P+領域 36 とコレクタ導出領域 37 は、共に膜厚の薄い領域 51 からの拡散となる。従って、P+領域 36 とコレクタ導出領域 37 の拡散の先端部は、LOCOS 酸化膜 34 によって形成した段差の分だけ下方に達することになる。

40

【0020】

第 7 工程：図 3 (B) 参照

第 2 のエピタキシャル層 31 表面から各種拡散処理を行って、NPNTランジスタの P 型ベース領域 38、N+型エミッタ領域 39、N+型コレクタコンタクト領域 40、縦型 PNP トランジスタの P+エミッタ領域 41 を形成する。P+エミッタ領域 41 は、耐酸化膜 33 によってエピタキシャル層の膜厚が減じられていない厚い領域 52 領域からの拡散になる。その後、電極配線を配置する。

50

【0021】

この様に、エピタキシャル層表面に段差を設け。段差の上部からP+エミッタ領域41を形成することで、P+エミッタ領域41とコレクタ埋め込み層29との間隔42を拡大できる。加えて、耐酸化膜33で被覆した箇所のコレクタ埋め込み層29は増速酸化されないで凹んでおり、凹みによって前記間隔42を更に拡大することが出来る。よって、縦型PNPトランジスタのエミッタ・コレクタ間耐圧VCEOを増大できる。

【0022】

一方、P+コレクタ導出領域37は段差の下から拡散するので、コレクタ導出領域37とP+埋め込み層29との重畳量を拡大できる。これによって、より高不純物濃度の高い部分が重畳するので、コレクタ直列抵抗Rcを減じ、縦型PNPトランジスタの飽和電圧Vce(sat)を下げる事が出来る。

10

【0023】

図5を参照して、本願の縦型PNPトランジスタはエミッタ・コレクタ間耐圧VCEOを増大し飽和電圧Vce(sat)を下げる事ができるので、所望の特性を得ることが出来るエピタキシャル層の膜厚の範囲が符号50の様に拡大する。従って、製造歩留まりを向上することが出来る。

【0024】

【発明の効果】

以上に説明したとおり、本発明によれば、縦型PNPトランジスタのエミッタ・コレクタ間耐圧VCEOを増大し飽和電圧Vce(sat)を下げる事ができる利点を有する。これによって、エピタキシャル層の膜厚の許容範囲が広がり、製造歩留まりを向上できる利点を有する。

20

【0025】

更に、耐酸化膜33形成用の露光マスクを1枚追加するものの、N-ウェル領域35形成用の露光マスクを廃止できるので、全体的にはマスク数の増大がなく実施できるものである。

【図面の簡単な説明】

【図1】本発明を説明するための断面図である。

【図2】本発明を説明するための断面図である。

【図3】本発明を説明するための断面図である。

30

【図4】従来例を説明するための断面図である。

【図5】エピタキシャル層の膜厚と特性との相関関係を示す図である。

【符号の説明】

21 半導体基板

25 第1のエピタキシャル層

26 N+埋め込み層

29 P+コレクタ埋め込み層

31 第2のエピタキシャル層

33 耐酸化膜

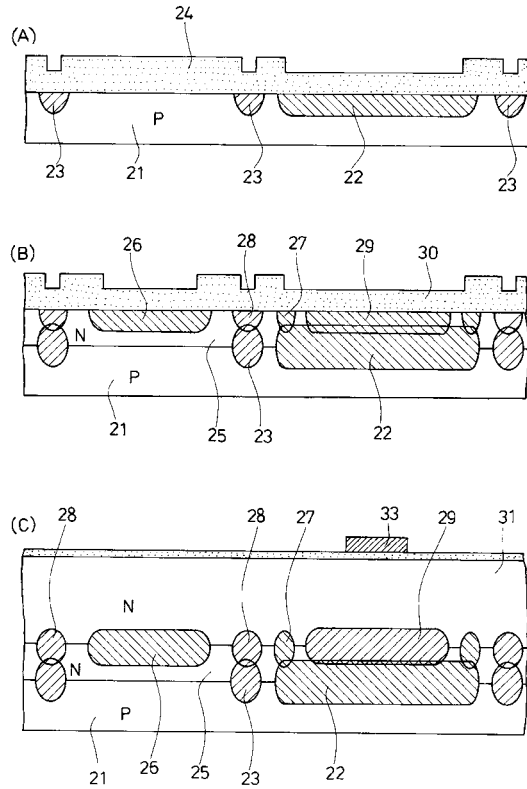
34 LOCOS酸化膜

40

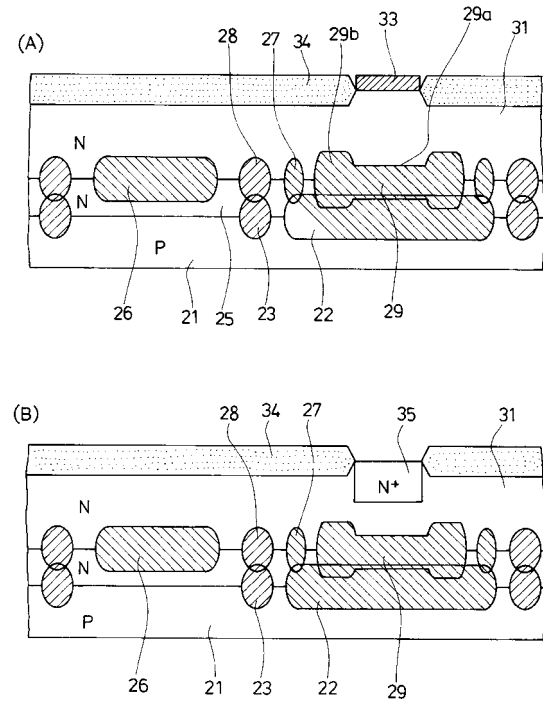
37 P+コレクタ導出領域

41 P+エミッタ領域

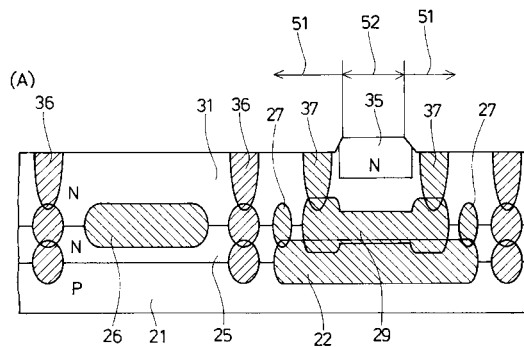
【図 1】



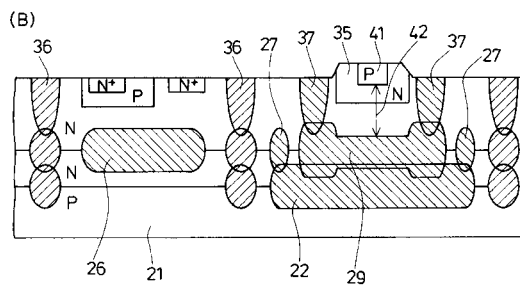
【図 2】



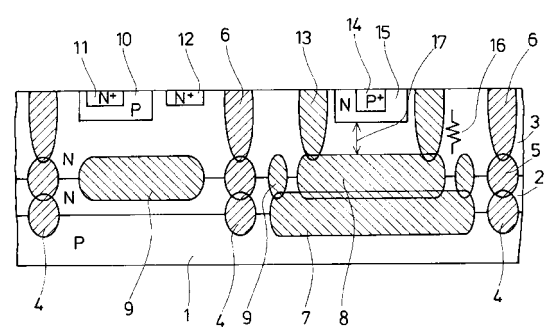
【図 3】



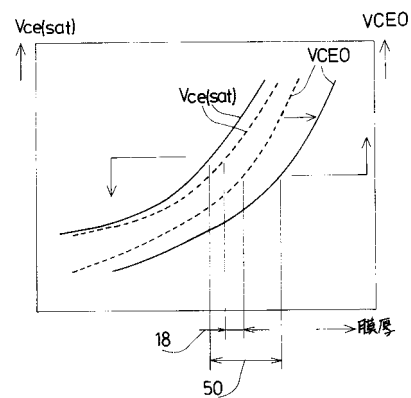
21 半導体基板
22 N⁺埋込層
25 第1のエピタキシャル層
29 P⁺コレクタ埋込層
31 第2のエピタキシャル層
51 膜厚の薄い領域
52 膜厚の厚い領域
41 P⁺エミッタ領域



【図 4】



【図 5】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

H01L 21/331

H01L 21/8224

H01L 21/8228

H01L 27/082

H01L 29/732