

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月14日(14.05.2020)



(10) 国際公開番号

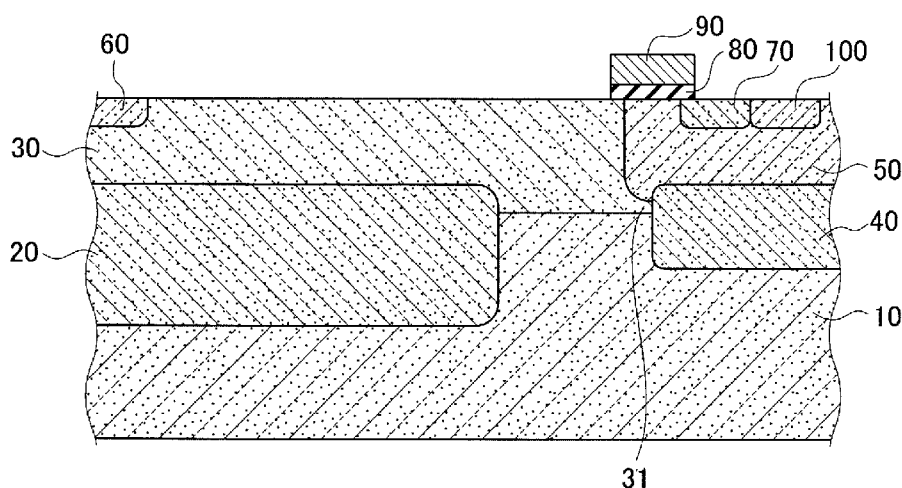
WO 2020/095412 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
- (21) 国際出願番号: PCT/JP2018/041504
- (22) 国際出願日: 2018年11月8日(08.11.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP).
- (72) 発明者: 藤田 直人 (FUJITA Naoto); 〒3528666 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内 Saitama (JP).

- (74) 代理人: 三好 秀和, 外 (MIYOSHI Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目2番8号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device is provided with: a second conductive-type embedded region (20) that is embedded in a part of the upper surface of a first conductive-type semiconductor substrate (10); a second conductive-type first semiconductor region (30) that is disposed above the semiconductor substrate (10) so as to cover the embedded region (20) and that has an impurity concentration lower than that of the embedded region (20); a first conductive-type connection region (40) that is embedded in a part of the upper surface of the semiconductor substrate (10) in a remaining region obtained by excluding the region where the first semiconductor region (30) is disposed, and that has a side surface

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

connected to an extension region (31) which is a part of the lower part of the first semiconductor region (30); and a first conductive-type second semiconductor region (50) that is disposed on the upper surface of the connection region (40) and has a side surface connected to the first semiconductor region (30). The extension region (31) of the first semiconductor region (30) extends below the end of the second semiconductor region (50), and comes into contact with the side surface of the connection region (40).

(57) 要約: 半導体装置は、第1導電型の半導体基板(10)の上面の一部に埋め込まれた第2導電型の埋設領域(20)と、埋設領域(20)を覆って半導体基板(10)の上方に配置された、埋設領域(20)よりも不純物濃度の低い第2導電型の第1半導体領域(30)と、第1半導体領域(30)の配置された領域の残余の領域で半導体基板(10)の上面の一部に埋め込まれ、第1半導体領域(30)の下部の一部である延伸領域(31)と側面が接続する第1導電型の接続領域(40)と、接続領域(40)の上面に配置され、第1半導体領域(30)に側面が接続する第1導電型の第2半導体領域(50)を備える。第1半導体領域(30)の延伸領域(31)が、第2半導体領域(50)の端部の下方を延伸して接続領域(40)の側面と接する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、主電流の電流経路が主面と平行である半導体装置に関する。

背景技術

[0002] 半導体装置の耐圧を向上させるために、種々の対策が検討されている。例えば、MOSFET (metal oxide semiconductor field effect transistor) のゲート電極とドレイン領域との間にフィールドプレートを配置する構造が開示されている（特許文献1 参照。）。特許文献1 に記載の発明では、ゲート電極とドレイン領域の間に形成された熱酸化膜の上にフィールドプレートを配置することによって、半導体装置の耐圧を向上させている。

先行技術文献

特許文献

[0003] 特許文献1：特開2001-7327号公報

発明の概要

発明が解決しようとする課題

[0004] 近年、半導体装置の耐圧に対する要求は高まっている。これに対し、オン動作で流れる主電流が半導体基板の主面と平行である半導体装置（以下、「横型の半導体装置」という。）について十分な耐圧を実現することが困難になっている。本発明は、耐圧を向上できる横型の半導体装置を提供することを目的とする。

課題を解決するための手段

[0005] 本発明の一態様によれば、第1導電型の半導体基板と、半導体基板の上面の一部に埋め込まれた第2導電型の埋設領域と、埋設領域を覆って半導体基板の上方に選択的に配置された、埋設領域よりも不純物濃度の低い第2導電型の第1半導体領域と、第1半導体領域の配置された領域の残余の領域で半導体基板の上面の一部に埋め込まれ、第1半導体領域の下部の一部である延

伸領域と側面が接続する第 1 導電型の接続領域と、接続領域の上面に配置され、第 1 半導体領域に側面が接続する第 1 導電型の第 2 半導体領域とを備え、第 1 半導体領域の延伸領域が第 2 半導体領域の端部の下方を延伸して接続領域の側面と接する半導体装置が提供される。

発明の効果

[0006] 本発明によれば、耐圧を向上できる横型の半導体装置を提供できる。

図面の簡単な説明

[0007] [図1]本発明の実施形態に係る半導体装置の構造を示す模式的な断面図である。

[図2]本発明の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である（その 1）。

[図3]本発明の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である（その 2）。

[図4]本発明の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である（その 3）。

[図5]本発明の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である（その 4）。

[図6]本発明のその他の実施形態に係る半導体装置の構造を示す模式的な断面図である。

発明を実施するための形態

[0008] 次に、図面を参照して、本発明の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、各層の厚みの比率などは現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0009] また、以下に示す実施形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の実施形態は、構成部品の材

質、形状、構造、配置などを下記のものに特定するものでない。この発明の実施形態は、請求の範囲において、種々の変更を加えることができる。

[0010] 本発明の実施形態に係る半導体装置は、図1に示すように、第1導電型の半導体基板10の上面の一部に埋め込まれた第2導電型の埋設領域20と、埋設領域20を覆って半導体基板10の上方に選択的に配置された第2導電型の第1半導体領域30を備える。埋設領域20は半導体基板10と接しており、埋設領域20の配置されていない領域で、第1半導体領域30が半導体基板10と接している。第1半導体領域30の不純物濃度は、埋設領域20の不純物濃度よりも低く設定されている。

[0011] 図1に示す半導体装置は、第1半導体領域30の配置された領域の残余の領域で半導体基板10の上面の一部に埋め込まれた第1導電型の接続領域40と、接続領域40の上面に配置された第1導電型の第2半導体領域50を更に備える。第2半導体領域50の側面は、第1半導体領域30に接続している。図1に示すように、第1半導体領域30の下部の一部である延伸領域31と、接続領域40の側面が接続する。つまり、第1半導体領域30の延伸領域31が、第2半導体領域50の端部の下方を延伸して接続領域40の側面と接続している。

[0012] 更に、第2導電型のドレイン領域60が第1半導体領域30の上面の一部に配置され、第2導電型のソース領域70が第2半導体領域50の上面の一部に配置されている。そして、ドレイン領域60とソース領域70との間で、ゲート絶縁膜80を介してゲート電極90が第2半導体領域50の上方に配置されている。

[0013] なお、図1に示した半導体装置では、第2半導体領域50の上面の一部に、第1導電型のバックゲート領域100が配置されている。第2半導体領域50と接続領域40を介して、バックゲート領域100と半導体基板10が電氣的に接続される。

[0014] なお、第1導電型と第2導電型とは互いに反対導電型である。すなわち、第1導電型がp型であれば、第2導電型はn型であり、第1導電型がn型で

あれば、第2導電型はp型である。以下では、第1導電型がp型であり、第2導電型がn型である場合について例示的に説明する。

[0015] 図1に示した半導体装置は、オン動作においてソース領域70とドレイン領域60の間に半導体基板10の主面と平行に主電流の流れる横型トランジスタである。以下に、図1に示した半導体装置の基本的な動作について説明する。

[0016] ソース領域70の電位を基準として、ドレイン領域60に正の電位を印加した状態でゲート電極90の電位を制御することにより、半導体装置がオン動作する。即ち、ゲート電極90とソース領域70間の電圧を所定の閾値電圧以上にすることにより、ゲート電極90の下方で第2半導体領域50にチャネルが形成される。これにより、ソース領域70とドレイン領域60間に主電流が流れる。以下において、チャネルが形成される領域を「チャネル形成領域」という。なお、埋設領域20の第2半導体領域50に近い側の端部は、チャネル形成領域とドレイン領域60の間に位置する。

[0017] 一方、オフ動作では、ゲート電極90とソース領域70間の電圧を所定の閾値電圧よりも低くする。これにより、チャネルが消滅し、主電流が遮断される。

[0018] オフ動作では、第1導電型である半導体基板10、第2半導体領域50及び接続領域40と、第2導電型である第1半導体領域30及び埋設領域20との界面のpn接合から空乏層が広がる。第1半導体領域30よりも埋設領域20の不純物濃度の高いため、第1半導体領域30と半導体基板10との界面よりも、埋設領域20と半導体基板10との界面において、空乏層が半導体基板10側に長く延伸する。したがって、埋設領域20を有さない半導体装置と比べて、図1に示した半導体装置では耐圧を向上させることができる。

[0019] 埋設領域20の端部が第2半導体領域50に近いほど、第1半導体領域30と半導体基板10との界面の距離に対する、埋設領域20と半導体基板10との界面の距離の比が長い。このため、半導体装置の耐圧が向上する。し

かし、埋設領域 20 の端部をゲート電極 90 の側に延伸させて第 2 半導体領域 50 に近づけすぎると、第 1 半導体領域 30 と第 2 半導体領域 50 の間に形成される空乏層の横方向の広がりが増大されてしまう。このため、空乏層が十分に広がる前に、第 1 半導体領域 30 と第 2 半導体領域 50 の間で耐圧破壊が生じ、半導体装置の耐圧が低下する。

[0020] このため、埋設領域 20 の第 2 半導体領域 50 に対向する端部を、第 1 半導体領域 30 と第 2 半導体領域 50 が接続する界面よりもドレイン領域 60 に近い位置にすることが好ましい。図 1 に示す半導体装置では、埋設領域 20 の第 2 半導体領域 50 に対向する端部の位置は、ゲート電極 90 とドレイン領域 60 の間である。

[0021] 更に、図 1 に示した半導体装置では、第 1 半導体領域 30 の延伸領域 31 が、第 2 半導体領域 50 の端部の下方を延伸して接続領域 40 の側面と接続している。このため、表面付近における空乏層を伸ばすことができる。これにより、表面付近の電界集中を回避でき、半導体装置の耐圧を更に向上させ、信頼性を高めることができる。

[0022] 以下に、図面を参照して図 1 に示した半導体装置の製造方法を説明する。なお、以下に述べる半導体装置の製造方法は一例であり、この変形例を含めて、これ以外の種々の製造方法により実現可能である。

[0023] まず、第 1 導電型の半導体基板 10 を用意する。例えば、半導体基板 10 に p 型のシリコン基板を用いる。半導体基板 10 の不純物濃度は、 $5.0 \times 10^{13} \sim 4.5 \times 10^{14} \text{ cm}^{-3}$ 程度である。なお、半導体基板 10 にシリコン基板以外の基板を使用してもよい。

[0024] そして、図 2 に示すように、半導体基板 10 の上面の一部に埋め込むようにして埋設領域 20 及び接続領域 40 を形成する。例えば、フォトリソグラフィ技術により形成したマスク材を用いて、n 型不純物を半導体基板 10 の上面の一部に選択的にイオン注入し、埋設領域 20 を所定の位置に形成する。n 型不純物は、例えば砒素やリンなどである。埋設領域 20 の膜厚は $15 \sim 25 \mu\text{m}$ 程度であり、不純物濃度は、 $1.1 \times 10^{15} \sim 1.5 \times 10^{15} \text{ cm}^{-3}$

程度である。同様に、p型不純物を半導体基板10の上面の一部に選択的にイオン注入し、接続領域40を所定の位置に形成する。p型不純物は、例えばボロンなどである。接続領域40の膜厚は8～15 μm 程度であり、不純物濃度は、 $5.0 \times 10^{16} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$ 程度である。

[0025] 次いで、図3に示すように、埋設領域20及び接続領域40を覆うように、半導体基板10の上方の全面に第1半導体領域30を形成する。例えば、エピタキシャル成長法を用いて、第1半導体領域30を形成する。第1半導体領域30の膜厚は5～10 μm 程度であり、不純物濃度は $8.0 \times 10^{14} \sim 1.0 \times 10^{15} \text{ cm}^{-3}$ 程度である。

[0026] 次に、図4に示すように、第1半導体領域30の一部に選択的にp型不純物をイオン注入して、第2半導体領域50を形成する。このとき、半導体基板10の上面に達するように第2半導体領域50が形成される。第2半導体領域50の膜厚は3～8 μm 程度であり、不純物濃度は、 $5.0 \times 10^{15} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$ 程度である。なお、図4に示すように、第2半導体領域50の端部が接続領域40の端部よりも埋設領域20側に突き出るように、接続領域40及び第2半導体領域50を形成する。

[0027] その後、図5に示すように、ドレイン領域60及びソース領域70を形成する。例えばフォトリソグラフィ技術を用いてパターニングしたマスク材をマスクにしたイオン注入法により、n型不純物を第1半導体領域30の上部の一部に選択的に注入してドレイン領域60を形成する。同様に、n型不純物を第2半導体領域50の上部の一部に選択的に注入してソース領域70を形成する。その後、p型不純物を第2半導体領域50の上部の一部に選択的に注入してバックゲート領域100を形成する。更に、ゲート絶縁膜80及びゲート電極90を所定の位置に形成して、図1に示す半導体装置が完成する。

[0028] なお、埋設領域20及び接続領域40を形成した後の製造工程での熱処理の影響などにより、埋設領域20や接続領域40の不純物が周囲に拡散する。このため、埋設領域20及び接続領域40の上部が上方に延伸し、半導体

基板 10 と第 1 半導体領域 30 の界面よりも埋設領域 20 及び接続領域 40 と第 1 半導体領域 30 の界面が上方に位置している。

[0029] (その他の実施形態)

上記のように、本発明は実施形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

[0030] 例えば、図 6 に示すように、ドレイン領域 60 とゲート電極 90 との間で第 1 半導体領域 30 の上面にフィールド絶縁膜 110 を形成し、フィールド絶縁膜 110 の上面にフィールドプレート 120 を配置してもよい。フィールドプレート 120 を所定の電位に設定することにより、ゲート電極 90 のドレイン領域 60 に近い側の端部における電界集中が緩和され、半導体装置の耐圧を更に向上させることができる。

[0031] 上記では半導体装置が MOSFET である場合を説明した。しかし、半導体装置が他の構造のトランジスタであってもよい。例えば、半導体装置が JFET の場合にも、本発明は適用可能である。

[0032] このように、本発明はここでは記載していない様々な実施形態等を含むことはもちろんである。

産業上の利用可能性

[0033] 本発明の半導体装置は、横型の半導体装置を製造する製造業を含む電子機器産業に利用可能である。

符号の説明

[0034] 10…半導体基板
20…埋設領域
30…第 1 半導体領域
40…接続領域
50…第 2 半導体領域
60…ドレイン領域

70…ソース領域

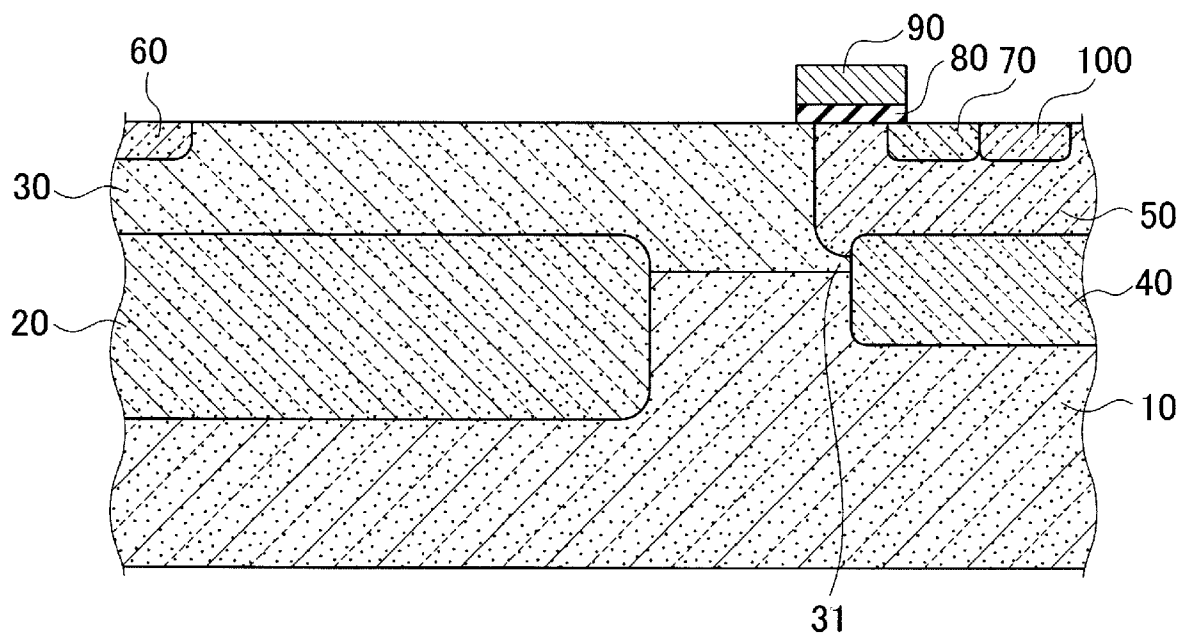
80…ゲート絶縁膜

90…ゲート電極

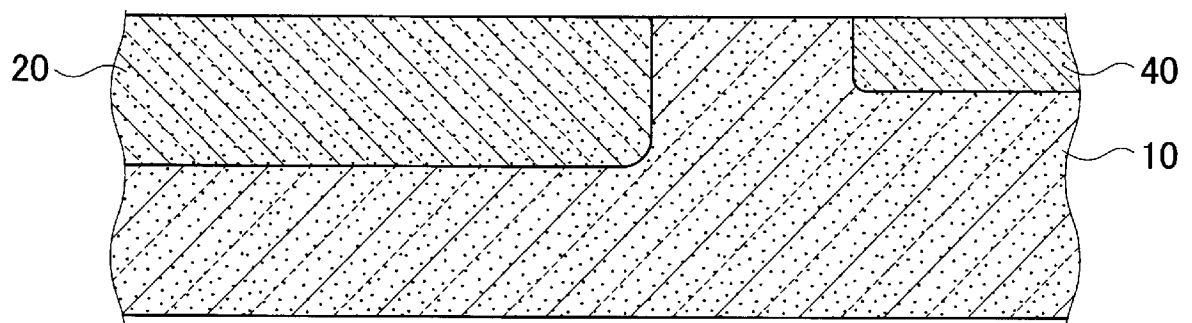
請求の範囲

- [請求項1] 第1導電型の半導体基板と、
 前記半導体基板の上面の一部に埋め込まれた第2導電型の埋設領域と、
 と、
 前記埋設領域を覆って前記半導体基板の上方に選択的に配置された、前記埋設領域よりも不純物濃度の低い第2導電型の第1半導体領域と、
 と、
 前記第1半導体領域の配置された領域の残余の領域で前記半導体基板の上面の一部に埋め込まれ、前記第1半導体領域の下部の一部である延伸領域と側面が接続する第1導電型の接続領域と、
 前記接続領域の上面に配置され、前記第1半導体領域に側面が接続する第1導電型の第2半導体領域と、
 前記第1半導体領域の上面の一部に配置された第2導電型のドレイン領域と、
 前記第2半導体領域の上面の一部に配置された第2導電型のソース領域と、
 前記ドレイン領域と前記ソース領域との間で前記第2半導体領域の上方に配置されたゲート電極と
 を備え、
 前記第1半導体領域の前記延伸領域が、前記第2半導体領域の端部の下方を延伸して前記接続領域の側面と接することを特徴とする半導体装置。
- [請求項2] 前記埋設領域の前記第2半導体領域に対向する端部が、前記第1半導体領域と前記第2半導体領域が接続する界面よりも前記ドレイン領域に近い位置にあることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記埋設領域の前記第2半導体領域に対向する端部が、前記ゲート電極と前記ドレイン領域の間に位置することを特徴とする請求項1に記載の半導体装置。

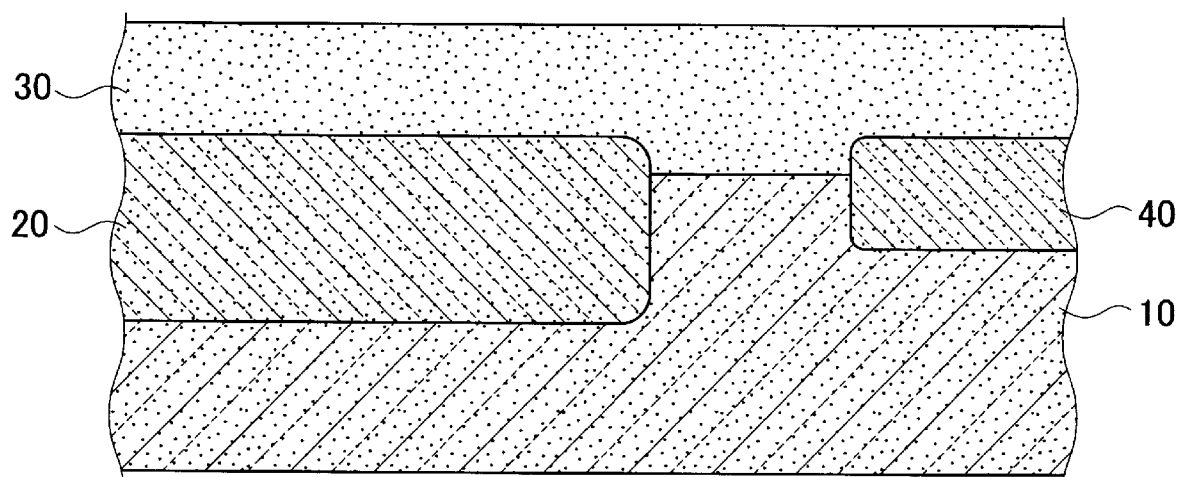
[図1]



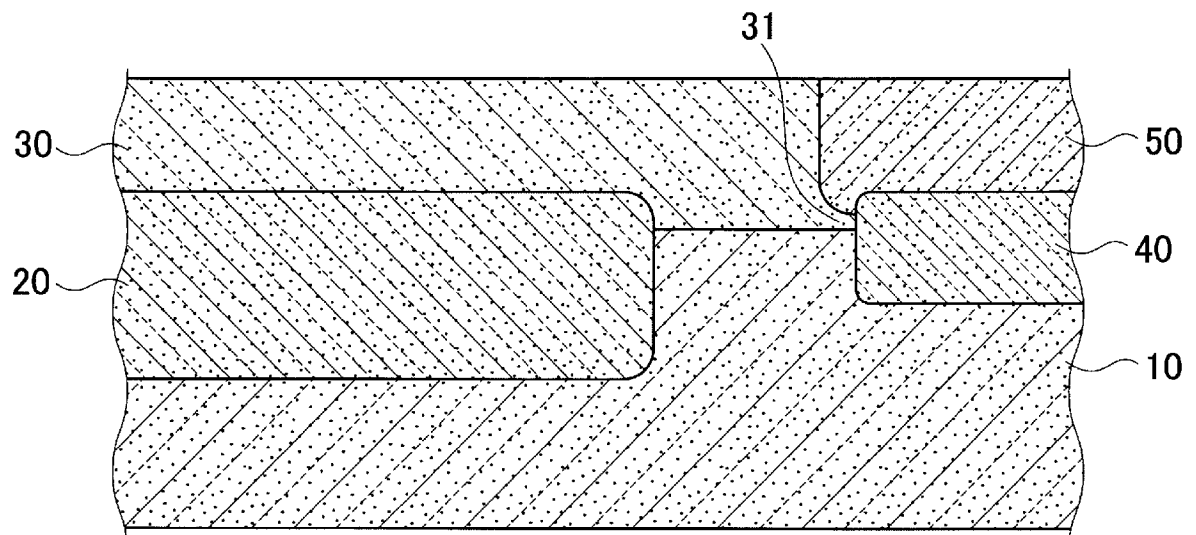
[図2]



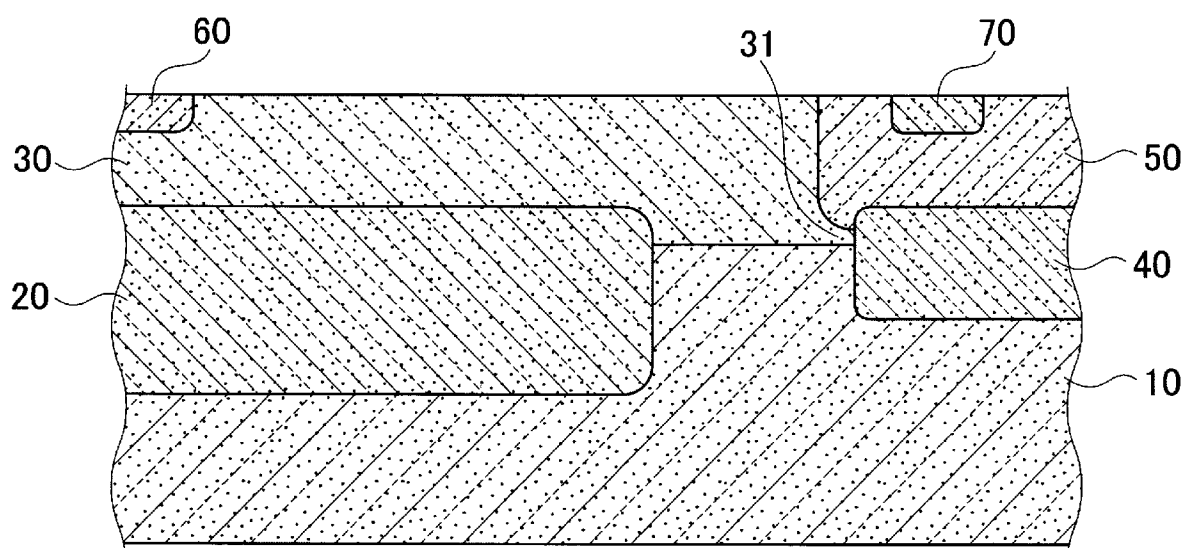
[図3]



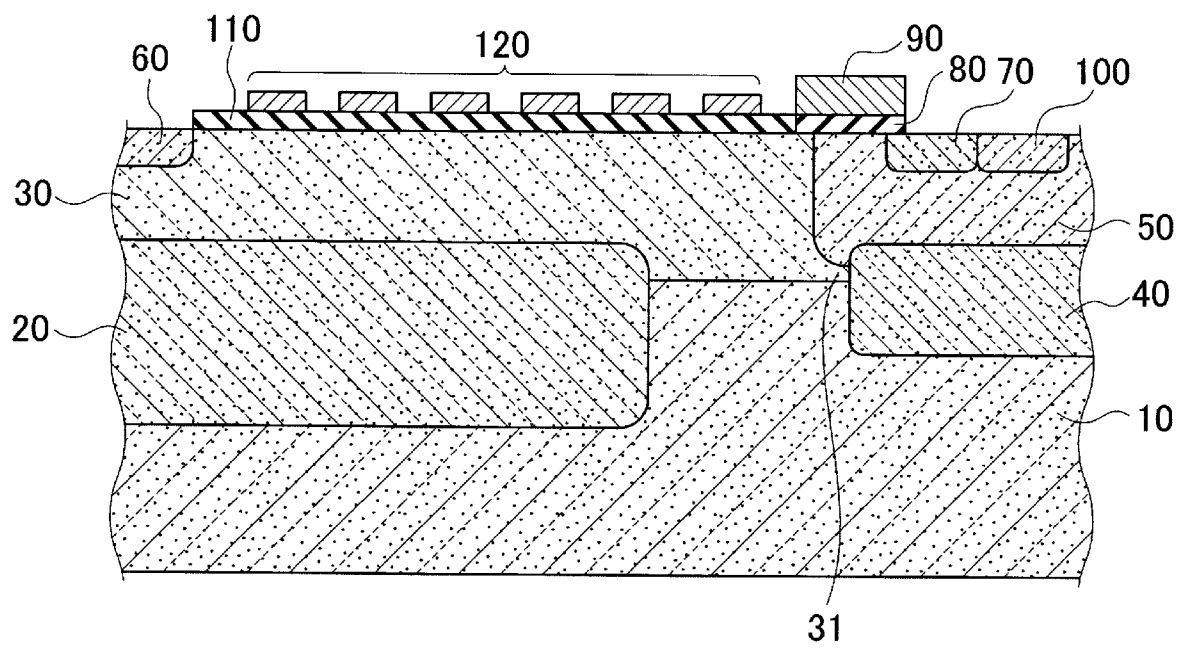
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/041504

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/336 (2006.01) i, H01L29/78 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 04-196360 A (NISSAN MOTOR CO., LTD.) 16 July 1992 (Family: none)	1-3
A	JP 2009-059949 A (SHARP CORPORATION) 19 March 2009 (Family: none)	1-3
A	JP 2011-086939 A (MICREL INC.) 28 April 2011 & US 2010/032753 A1 & EP 2312621 A1 & KR 10-2011-0040727 A & CN 102104059 A & TW 201123311 A	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
24.01.2019

Date of mailing of the international search report
05.02.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/041504

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-045063 A (JAPAN RADIO CO., LTD.) 25 February 2010 (Family: none)	1-3

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 04-196360 A（日産自動車株式会社）1992.07.16, （ファミリーなし）	1-3
A	JP 2009-059949 A（シャープ株式会社）2009.03.19, （ファミリーなし）	1-3
A	JP 2011-086939 A（マイクロレール・インコーポレイテッド）2011.04.28, & US 2010/032753 A1 & EP 2312621 A1 & KR 10-2011-0040727 A & CN 102104059 A & TW 201123311 A	1-3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

24.01.2019

国際調査報告の発送日

05.02.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5 F

6299

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-045063 A (新日本無線株式会社) 2010.02.25, (ファミリーなし)	1-3