

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7692361号  
(P7692361)

(45)発行日 令和7年6月13日(2025.6.13)

(24)登録日 令和7年6月5日(2025.6.5)

|                   |                             |          |                                                          |
|-------------------|-----------------------------|----------|----------------------------------------------------------|
| (51)国際特許分類        |                             | F I      |                                                          |
| H 0 4 N           | 23/60 (2023.01)             | H 0 4 N  | 23/60 3 0 0                                              |
| H 0 4 N           | 21/238 (2011.01)            | H 0 4 N  | 21/238                                                   |
| H 0 4 N           | 21/24 (2011.01)             | H 0 4 N  | 21/24                                                    |
| H 0 4 N           | 7/18 (2006.01)              | H 0 4 N  | 7/18 A                                                   |
| H 0 4 L           | 47/431 (2022.01)            | H 0 4 L  | 47/431                                                   |
| 請求項の数 8 (全27頁)    |                             |          |                                                          |
| (21)出願番号          | 特願2021-558335(P2021-558335) | (73)特許権者 | 316005926<br>ソニーセミコンダクタソリューションズ株式会社<br>神奈川県厚木市旭町四丁目14番1号 |
| (86)(22)出願日       | 令和2年11月12日(2020.11.12)      | (74)代理人  | 110001357<br>弁理士法人つばさ国際特許事務所                             |
| (86)国際出願番号        | PCT/JP2020/042254           | (72)発明者  | 小澤 美穂<br>神奈川県厚木市旭町四丁目14番1号<br>ソニーセミコンダクタソリューションズ株式会社内    |
| (87)国際公開番号        | WO2021/100602               | 審査官      | 村山 絢子                                                    |
| (87)国際公開日         | 令和3年5月27日(2021.5.27)        |          |                                                          |
| 審査請求日             | 令和5年9月27日(2023.9.27)        |          |                                                          |
| (31)優先権主張番号       | 特願2019-209580(P2019-209580) |          |                                                          |
| (32)優先日           | 令和1年11月20日(2019.11.20)      |          |                                                          |
| (33)優先権主張国・地域又は機関 | 日本国(JP)                     |          |                                                          |
|                   |                             | 最終頁に続く   |                                                          |

(54)【発明の名称】 送信装置、受信装置、および伝送システム

(57)【特許請求の範囲】

【請求項1】

1 フレームの画像を構成する1ライン分の画素データをペイロードに含み、前記ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、

前記送信部に入力される前記画素データの伝送レートと、前記送信部から前記伝送路へと出力される前記画素データの伝送レートとの差を埋めるために前記ペイロードに挿入されるパディングコードの挿入率を演算可能な挿入率演算部と、

前記挿入率演算部によって演算された前記パディングコードの挿入率を示すデータを前記ヘッダに付加可能なヘッダ生成部と

を備える

送信装置。

【請求項2】

1 フレームの画像を構成する1ライン分の画素データをペイロードに含み、前記ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、

前記送信部に入力される前記画素データの伝送レートと、前記送信部から前記伝送路へと出力される前記画素データの伝送レートとの差を埋めるために前記ペイロードに挿入されるパディングコードの挿入率を演算可能な挿入率演算部と、

前記挿入率演算部によって演算された前記パディングコードの挿入率を示すデータを記憶可能なレジスタと

を備え、

前記レジスタは、前記パケットを前記伝送路を介して受信可能な受信装置に、前記パケットの伝送経路とは異なる経路で前記パディングコードの挿入率を示すデータを出力可能である

送信装置。

【請求項 3】

1 フレームの画像を構成する 1 ライン分の画素データをペイロードに含み、前記ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、

前記送信部に入力される前記画素データの伝送レートと、前記送信部から前記伝送路へと出力される前記画素データの伝送レートとの差を埋めるために前記ペイロードに挿入されるパディングコードの挿入率を演算可能な挿入率演算部と、

10

前記画素データに代えてダミー領域を前記ペイロードに含むパケットを生成可能であり、前記ダミー領域に前記パディングコードの挿入率を示すデータを付加するパケット生成部と

を備える

送信装置。

【請求項 4】

前記パディングコードは、前記送信部から前記伝送路へと出力される前記画素データの伝送レートが、前記送信部に入力される前記画素データの伝送レートよりも大きく、かつ所定の条件を満たす場合に前記ペイロードに挿入される

請求項 1 ないし 3 のいずれか 1 つに記載の送信装置。

20

【請求項 5】

1 フレームの画像を構成する 1 ライン分の画素データをペイロードに含み、前記ペイロードにヘッダを付加した複数のパケットを、伝送路を介して送信装置の送信部から受信可能な受信部

を備え、

前記送信部に入力される前記画素データの伝送レートと、前記送信部から前記伝送路へと出力される前記画素データの伝送レートとの差を埋めるために前記ペイロードに挿入されるパディングコードの挿入率のデータを、前記送信装置から受信可能である

受信装置。

【請求項 6】

30

前記受信部は、前記パディングコードの挿入率のデータを含むパケットを前記伝送路を介して受信可能である

請求項 5 に記載の受信装置。

【請求項 7】

前記パケットの伝送経路とは異なる経路で前記パディングコードの挿入率を示すデータを受信可能である

請求項 5 に記載の受信装置。

【請求項 8】

送信装置と、

受信装置と

40

を含み、

前記送信装置は、

1 フレームの画像を構成する 1 ライン分の画素データをペイロードに含み、前記ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、

前記送信部に入力される前記画素データの伝送レートと、前記送信部から前記伝送路へと出力される前記画素データの伝送レートとの差を埋めるために前記ペイロードに挿入されるパディングコードの挿入率を演算可能な挿入率演算部と

を備え、

前記受信装置は、

前記複数のパケットを前記伝送路を介して、前記送信装置の前記送信部から受信可能な

50

## 受信部

を備え、

前記パディングコードの挿入率のデータを、前記送信装置から受信可能である  
伝送システム。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、画像データの送信を行う送信装置、画像データの受信を行う受信装置、および画像データの送受信を行う伝送システムに関する。

【背景技術】

【0002】

伝送システムには、撮像部から出力された複数ライン分の画素データを含む画像データを送信部と受信部との間で送受信するものがある。特許文献1には、制御情報を含むヘッダと、1ライン分の画素データを含むペイロードとを有するパケットを生成し、このパケットを用いて、画像データを送受信する伝送システムが開示されている。特許文献1に記載の技術では、送信部に入力される画素データの伝送レート（画素データ帯域）と、送信部から送信され受信部に入力される画素データの伝送レート（PHY伝送帯域）との伝送帯域の差を埋めるために、ペイロードデータ中にパディング（Padding）コードと呼ばれるシンボル群を挿入することが可能となっている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2012-120158号公報

【発明の概要】

【0004】

特許文献1に記載の技術では、受信部側では上記したパディングコードの挿入率を知ることが困難であるため、最適なデータ処理を行うことが困難になる可能性がある。

【0005】

最適なデータ処理を行うことが可能となる送信装置、受信装置、および伝送システムを提供することが望ましい。

【0006】

本開示の一実施の形態に係る送信装置は、1フレームの画像を構成する1ライン分の画素データをペイロードに含み、ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、送信部に入力される画素データの伝送レートと、送信部から伝送路へと出力される画素データの伝送レートとの差を埋めるためにペイロードに挿入されるパディングコードの挿入率を演算可能な挿入率演算部とを備える。

一実施の形態に係る送信装置は、挿入率演算部によって演算されたパディングコードの挿入率を示すデータをヘッダに付加可能なヘッダ生成部、をさらに備えてもよい。

もしくは、一実施の形態に係る送信装置は、挿入率演算部によって演算されたパディングコードの挿入率を示すデータを記憶可能なレジスタ、をさらに備え、レジスタは、パケットを伝送路を介して受信可能な受信装置に、パケットの伝送経路とは異なる経路でパディングコードの挿入率を示すデータを出力可能であってもよい。

もしくは、一実施の形態に係る送信装置は、画素データに代えてダミー領域をペイロードに含むパケットを生成可能であり、ダミー領域にパディングコードの挿入率を示すデータを付加するパケット生成部、をさらに備えてもよい。

【0007】

本開示の一実施の形態に係る受信装置は、1フレームの画像を構成する1ライン分の画素データをペイロードに含み、ペイロードにヘッダを付加した複数のパケットを、伝送路を介して送信装置の送信部から受信可能な受信部を備え、送信部に入力される画素データの伝送レートと、送信部から伝送路へと出力される画素データの伝送レートとの差を埋め

10

20

30

40

50

るためにペイロードに挿入されるパディングコードの挿入率のデータを、送信装置から受信可能である。

【 0 0 0 8 】

本開示の一実施の形態に係る伝送システムは、送信装置と、受信装置とを含み、送信装置は、1フレームの画像を構成する1ライン分の画素データをペイロードに含み、ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、送信部に入力される画素データの伝送レートと、送信部から伝送路へと出力される画素データの伝送レートとの差を埋めるためにペイロードに挿入されるパディングコードの挿入率を演算可能な挿入率演算部とを備える。

受信装置は、複数のパケットを伝送路を介して、送信装置の送信部から受信可能な受信部を備え、パディングコードの挿入率のデータを、送信装置から受信可能であってもよい。

10

【 0 0 0 9 】

本開示の一実施の形態に係る送信装置、受信装置、または伝送システムでは、パディングコードの挿入率を知ることが可能となる。

【図面の簡単な説明】

【 0 0 1 0 】

【図1】本開示の一実施の形態に係る伝送システムの第1の構成例を示すブロック図である。

【図2】一実施の形態に係る伝送システムの第2の構成例を示すブロック図である。

【図3】一実施の形態に係る伝送システムにおけるフレームフォーマットの一例を示す説明図である。

20

【図4】図3に示したフレームフォーマットの1パケットのヘッダ構造の一例を示す説明図である。

【図5】図4に示したヘッダ構造におけるヘッダ情報の内容の一例を示す説明図である。

【図6】一実施の形態に係る伝送システムにおける送信部の一構成例を示すブロック図である。

【図7】一実施の形態に係る伝送システムにおける受信部の一構成例を示すブロック図である。

【図8】一実施の形態に係る伝送システムにおける送信部の制御コード挿入部により付加される制御コードの一例を示す説明図である。

30

【図9】K Characterの値の一例を示す説明図である。

【図10】Pad Codeの挿入例を示す説明図である。

【図11】制御コード挿入後のパケットデータの一例を示す説明図である。

【図12】一実施の形態に係る伝送システムにおける送信部の改善例の第1の例を示すブロック図である。

【図13】ヘッダにPad Codeの挿入率を示すデータを付加した例を示す説明図である。

【図14】一実施の形態に係る伝送システムにおける送信部の改善例の第2の例を示すブロック図である。

【図15】一実施の形態に係る伝送システムにおける送信部の改善例の第3の例を示す説明図である。

40

【発明を実施するための形態】

【 0 0 1 1 】

以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 一実施の形態

1. 1 一実施の形態に係る伝送システムの構成および動作（図1～図11）

1. 2 一実施の形態に係る伝送システムの改善例（図12～図15）

1. 3 効果

2. その他の実施の形態

50

## 【 0 0 1 2 】

< 1 . 一実施の形態 >

[ 1 . 1 一実施の形態に係る伝送システムの構成および動作 ]

[ 伝送システムの構成例 ]

図 1 は、本開示の一実施の形態に係る伝送システム 1 の第 1 の構成例を示している。

## 【 0 0 1 3 】

図 1 に示した伝送システム 1 は、センサモジュール 1 1 と D S P ( Digital Signal Processor ) 1 2 とを備えている。センサモジュール 1 1 と D S P 1 2 は、例えば、それぞれ異なる L S I ( Large Scale Integrated Circuit ) により構成され、デジタルカメラや携帯電話機などの、撮像機能を有する同じ撮像装置内に設けられる。

10

## 【 0 0 1 4 】

センサモジュール 1 1 は、撮像部 2 1 と送信部 2 2 とを有している。また、センサモジュール 1 1 は、システム制御部 5 1 と、レジスタ 5 3 とを有している。また、センサモジュール 1 1 は、後述するフレームデータ入力部 5 2 ( 図 6 ) を有している。システム制御部 5 1 とレジスタ 5 3 は、撮像部 2 1 と送信部 2 2 とに接続されている。

## 【 0 0 1 5 】

D S P 1 2 は、受信部 3 1 と画像処理部 3 2 とを有している。また、D S P 1 2 は、レジスタ 1 4 2 と、システム制御部 1 4 3 とを有している。また、D S P 1 2 は、後述するフレームデータ出力部 1 4 1 ( 図 7 ) を有している。レジスタ 1 4 2 とシステム制御部 1 4 3 は、受信部 3 1 と画像処理部 3 2 とに接続されている。

20

## 【 0 0 1 6 】

センサモジュール 1 1 におけるシステム制御部 5 1 およびレジスタ 5 3 と、D S P 1 2 におけるレジスタ 1 4 2 およびシステム制御部 1 4 3 は、制御線 1 3 により互いに接続され、センサモジュール 1 1 と D S P 1 2 との間で、制御データ等の通信が可能となっている。

## 【 0 0 1 7 】

撮像部 2 1 は、C M O S ( Complementary Metal Oxide Semiconductor ) などの撮像素子を有し、レンズを介して受光した光の光電変換を行う。また、撮像部 2 1 は、光電変換によって得られた信号の A / D 変換などを行い、1 フレームの画像を構成する画素データを、1 画素のデータずつ順に送信部 2 2 に出力する。

30

## 【 0 0 1 8 】

送信部 2 2 は、撮像部 2 1 から供給された各画素のデータを、例えば撮像部 2 1 から供給された順に複数の伝送路に割り当て、複数の伝送路を介して並列に D S P 1 2 に送信する。図 1 の例においては、8 本の伝送路を用いて画素データの伝送が行われている。センサモジュール 1 1 と D S P 1 2 の間の伝送路は有線の伝送路であってもよいし、無線の伝送路であってもよい。以下、適宜、センサモジュール 1 1 と D S P 1 2 の間の伝送路をレーン ( Lane ) という。

## 【 0 0 1 9 】

D S P 1 2 の受信部 3 1 は、8 本のレーンを介して送信部 2 2 から伝送されてきた画素データを受信し、各画素のデータを順に画像処理部 3 2 に出力する。

40

## 【 0 0 2 0 】

画像処理部 3 2 は、受信部 3 1 から供給された画素データに基づいて 1 フレームの画像を生成し、生成した画像を用いて各種の画像処理を行う。センサモジュール 1 1 から D S P 1 2 に伝送される画像データは R A W データであり、画像処理部 3 2 においては、画像データの圧縮、画像の表示、記録媒体に対する画像データの記録などの各種の処理が行われる。

## 【 0 0 2 1 】

図 2 は、一実施の形態に係る伝送システム 1 の第 2 の構成例を示している。

## 【 0 0 2 2 】

撮像部 2 1 からは、同一画素につき、互いに種類の異なる複数の画素データが出力され

50

るように構成されてもよい。例えば図2に示したように、同一画素のデータとして、種類の異なる2つの画素データ(第1画素データDATA1、第2画素データDATA2)が出力されるように構成されてもよい。例えば、同一画素について、ゲインの異なる2つの画素データが出力されるように構成されてもよい。この場合、送信部22と受信部31との間で、例えば2つの画素データを並列的に伝送するように構成されてもよい。例えば、Lane0~7のうちLane0~3を第1画素データDATA1を伝送する第1分割伝送路(LINK0)として割り当て、Lane4~7を第2画素データDATA2を伝送する第2分割伝送路(LINK1)として割り当てるように構成してもよい。このように、送信部22と受信部31との間で、例えば種類の異なる画素データを並列的に伝送するために、複数のレーンを、画素データの種類ごとの複数の分割伝送路(LINK)に分割した構成にしてもよい。

10

#### 【0023】

なお、伝送システム1において、送信部22と受信部31とが、それぞれ複数設けられていてもよい。この場合、例えば、1つの撮像部21で撮像された1フレームまたは複数フレームの画像データを分割して、複数の送信部に並列的に入力し、その並列的に入力された1フレームまたは複数フレームの画像データを、複数の受信部31に並列的に送信するようにしてもよい。そして、並列的に受信した複数の受信部31からの1フレームまたは複数フレームの画像データを並列的にDSP12に出力するようにしてもよい。

#### 【0024】

以上のように、伝送システム1のセンサモジュール11には、撮像された1フレームまたは複数フレームの画像データを伝送する送信部22を1つまたは複数設けることが可能となっている。一方、DSP12には、センサモジュール11の送信部22に対応して、センサモジュール11から伝送されてきた1フレームまたは複数フレームの画像データを受信する受信部31が1つまたは複数設けることが可能となっている。

20

#### 【0025】

以下、センサモジュール11に1つの送信部22が設けられ、DSP12に1つの受信部31が設けられる図1の伝送システム1におけるデータ伝送を基本にして説明する。複数の送信部22のそれぞれと複数の受信部31のそれぞれとの間においても同様にしてデータ伝送が行われる。

#### 【0026】

#### [フレームフォーマット]

図3は、センサモジュール11とDSP12との間で1フレームの画像データを伝送するのに用いられるフレームフォーマットの一例を示している。

30

#### 【0027】

有効画素領域A1は、撮像部21により撮像された1フレームの画像の有効画素の領域である。有効画素領域A1の左側には、垂直方向の画素数が有効画素領域A1の垂直方向の画素数と同じであるマージン領域A2が設定される。

#### 【0028】

有効画素領域A1の上側には、水平方向の画素数が、有効画素領域A1とマージン領域A2全体の水平方向の画素数と同じである前ダミー領域A3が設定される。図3の例においては、前ダミー領域A3にはEmbedded Dataが挿入されている。Embedded Dataは、シャッタースピード、絞り値、ゲインなどの、撮像部21による撮像に関する設定値の情報が含まれる。後ダミー領域A4にEmbedded Dataが挿入されることもある。

40

#### 【0029】

有効画素領域A1の下側には、水平方向の画素数が、有効画素領域A1とマージン領域A2全体の水平方向の画素数と同じである後ダミー領域A4が設定される。

#### 【0030】

有効画素領域A1、マージン領域A2、前ダミー領域A3、および後ダミー領域A4から画像データ領域A11が構成される。

50

## 【0031】

画像データ領域 A 1 1 を構成する各ラインの前にはヘッダが付加され、ヘッダの前には Start Code が付加される。また、画像データ領域 A 1 1 を構成する各ラインの後ろにはフッタがオプションで付加され、フッタの後ろには End Code などの後述する制御コードが付加される。フッタが付加されない場合、画像データ領域 A 1 1 を構成する各ラインの後ろに End Code などの制御コードが付加される。

## 【0032】

撮像部 2 1 により撮像された 1 フレームの画像をセンサモジュール 1 1 から DSP 1 2 に伝送する毎に、図 3 に示すフォーマットのデータ全体が伝送データとして伝送される。

## 【0033】

図 3 の上側の帯は下側に示す伝送データの伝送に用いられるパケットの構造を示している。水平方向の画素の並びをラインとすると、パケットのペイロードには、画像データ領域 A 1 1 の 1 ラインを構成する画素のデータが格納される。1 フレームの画像データ全体の伝送は、画像データ領域 A 1 1 の垂直方向の画素数以上の数のパケットを用いて行われることになる。

## 【0034】

1 ライン分の画素データが格納されたペイロードに、ヘッダとフッタが付加されることによって 1 パケットが構成される。後に詳述するように、ヘッダには、Frame Start, Frame End, Line Valid, Line Number, Reserved, ECC などの、ペイロードに格納されている画素データの付加的な情報が含まれる。また、ヘッダには、太線 L 1 1 で囲んだように、Embedded Line, Data ID が含まれる。各パケットには、制御コードである Start Code と End Code が少なくとも付加される。

## 【0035】

このように、1 フレームの画像を構成する画素データをライン毎に伝送するフォーマットを採用することによって、ヘッダ等の付加的な情報や Start Code, End Code などの制御コードをライン毎のブランキング期間中に伝送することが可能になる。

## 【0036】

図 4 は、図 3 に示したフレームフォーマットの 1 パケットのヘッダ構造の一例を示している。図 5 は、図 4 に示したヘッダ構造におけるヘッダ情報の内容の一例を示している。

## 【0037】

上述したように、1 つのパケットは、ヘッダと、1 ライン分の画素データであるペイロードデータとを含む。パケットにはフッタが付加されることもある。ヘッダは、ヘッダ情報と Header ECC とを含む。各パケットの先頭には Start Code が付加され、後ろには End Code が付加される。

## 【0038】

ヘッダ情報には、Frame Start, Frame End, Line Valid, Line Number, Reserved が含まれる。ヘッダ情報には、さらに、ライン情報としての Embedded Line、およびデータ識別としての Data ID が含まれる。各情報の内容と情報量を図 5 に示す。

## 【0039】

Frame Start は、フレームの先頭を示す 1 ビットの情報である。図 3 の画像データ領域 A 1 1 の 1 ライン目の画素データの伝送に用いられるパケットのヘッダの Frame Start には 1 の値が設定され、他のラインの画素データの伝送に用いられるパケットのヘッダの Frame Start には 0 の値が設定される。

## 【0040】

Frame End は、フレームの終端を示す 1 ビットの情報である。有効画素領域 A 1 の終端ラインの画素データをペイロードに含むパケットのヘッダの Frame End には 1 の値が設定され、他のラインの画素データの伝送に用いられるパケットのヘッダの Frame End には 0 の値が設定される。

10

20

30

40

50

## 【 0 0 4 1 】

Frame StartとFrame Endが、フレームに関する情報であるフレーム情報となる。

## 【 0 0 4 2 】

Line Validは、ペイロードに格納されている画素データのラインが有効画素のラインであるのか否かを表す1ビットの情報である。有効画素領域A1内のラインの画素データの伝送に用いられるパケットのヘッダのLine Validには1の値が設定され、他のラインの画素データの伝送に用いられるパケットのヘッダのLine Validには0の値が設定される。

## 【 0 0 4 3 】

Line Numberは、ペイロードに格納されている画素データにより構成されるラインのライン番号を表す13ビットの情報である。

## 【 0 0 4 4 】

Line ValidとLine Numberが、ラインに関する情報であるライン情報となる。

## 【 0 0 4 5 】

Embedded Lineは、Embedded Dataが挿入されているラインの伝送に用いられるパケットであるのか否かを表す1ビットの情報である。例えば、Embedded Dataを含むラインの伝送に用いられるパケットのヘッダのEmbedded Lineには1の値が設定され、他のラインの伝送に用いられるパケットのヘッダのEmbedded Lineには0の値が設定される。上述したように、撮像に関する設定値の情報が、Embedded Dataとして前ダミー領域A3や後ダミー領域A4の所定のラインに挿入される。

## 【 0 0 4 6 】

Data IDは、ペイロードに格納されている画素データの番号を示すPビットの情報である。Pビットは1ビット以上の所定の数のビットを表す。

## 【 0 0 4 7 】

Reservedは拡張用の31 - Pビットの領域である。ヘッダ情報全体のデータ量は6バイトになる。

## 【 0 0 4 8 】

図4に示すように、ヘッダ情報に続けて配置されるHeader ECCには、6バイトのヘッダ情報に基づいて計算された2バイトの誤り検出符号であるCRC (Cyclic Redundancy Check) 符号が含まれる。また、Header ECCには、CRC符号に続けて、ヘッダ情報とCRC符号の組である8バイトの情報と同じ情報が2つ含まれる。

## 【 0 0 4 9 】

すなわち、1つのパケットのヘッダには、同じヘッダ情報とCRC符号の組が3つ含まれる。ヘッダ全体のデータ量は、1組目のヘッダ情報とCRC符号の組の8バイトと、2組目のヘッダ情報とCRC符号の組の8バイトと、3組目のヘッダ情報とCRC符号の組の8バイトとの、あわせて24バイトになる。

## 【 0 0 5 0 】

## [ 送信部22と受信部31の構成 ]

図6は、伝送システム1における送信部22の一構成例を示している。図7は、伝送システム1における受信部31の一構成例を示している。

## 【 0 0 5 1 】

送信部22と受信部31は、それぞれ、リンクレイヤの構成と物理レイヤの構成からなる。図6および図7において、実線L2より上側に示す構成がリンクレイヤの構成であり、実線L2より下側に示す構成が物理レイヤの構成である。

## 【 0 0 5 2 】

なお、実線L1の上に示す構成はアプリケーションレイヤの構成である。アプリケーション

10

20

30

40

50

ョンレイヤには、システム制御部 5 1、フレームデータ入力部 5 2、およびレジスタ 5 3と、フレームデータ出力部 1 4 1、レジスタ 1 4 2、およびシステム制御部 1 4 3 とが含まれる。フレームデータ入力部 5 2 は、例えば撮像部 2 1 に設けられる。フレームデータ出力部 1 4 1 は、例えば画像処理部 3 2 に設けられる。

#### 【 0 0 5 3 】

システム制御部 5 1 は、送信部 2 2 の L I N K - T X プロトコル管理部 6 1 と通信を行い、フレームフォーマットに関する情報を提供するなどして画像データの伝送を制御する。

#### 【 0 0 5 4 】

フレームデータ入力部 5 2 は、ユーザによる指示などに応じて撮像を行い、撮像を行うことによって得られた画像を構成する各画素のデータを送信部 2 2 の P i x e l t o B y t e 変換部 6 2 に供給する。

10

#### 【 0 0 5 5 】

レジスタ 5 3 は、P i x e l t o B y t e 変換のビット数や L a n e 数等の情報を記憶する。レジスタ 5 3 に記憶されている情報に従って画像データの送信処理が行われる。

#### 【 0 0 5 6 】

フレームデータ出力部 1 4 1 は、受信部 3 1 から供給された各ラインの画素データに基づいて 1 フレームの画像を生成し、出力する。フレームデータ出力部 1 4 1 から出力された画像を用いて各種の処理が行われる。

#### 【 0 0 5 7 】

レジスタ 1 4 2 は、B y t e t o P i x e l 変換のビット数や L a n e 数などの、画像データの受信に関する各種の設定値を記憶する。レジスタ 1 4 2 に記憶されている情報に従って画像データの受信処理が行われる。

20

#### 【 0 0 5 8 】

システム制御部 1 4 3 は、L I N K - R X プロトコル管理部 1 2 1 と通信を行い、モードチェンジ等のシーケンスを制御する。

#### 【 0 0 5 9 】

#### [ 送信部 2 2 のリンクレイヤの構成 ]

図 6 に示したように、送信部 2 2 には、リンクレイヤの構成として、L I N K - T X プロトコル管理部 6 1、P i x e l t o B y t e 変換部 6 2、ペイロード E C C 挿入部 6 3、パケット生成部 6 4、およびレーン分配部 6 5 が設けられている。L I N K - T X プロトコル管理部 6 1 は、状態制御部 7 1、ヘッダ生成部 7 2、データ挿入部 7 3、およびフッタ生成部 7 4 を有している。

30

#### 【 0 0 6 0 】

L I N K - T X プロトコル管理部 6 1 の状態制御部 7 1 は、送信部 2 2 のリンクレイヤの状態を管理する。

#### 【 0 0 6 1 】

ヘッダ生成部 7 2 は、例えば図 4 に示したような、1 ライン分の画素データが格納されたペイロードに付加されるヘッダを生成し、パケット生成部 6 4 に出力する。

#### 【 0 0 6 2 】

ヘッダ生成部 7 2 は、システム制御部 5 1 による制御に従ってヘッダ情報を生成する。例えば、システム制御部 5 1 からは、フレームデータ入力部 5 2 が出力する画素データのライン番号を表す情報や、フレームの先頭、終端を表す情報がヘッダ生成部 7 2 に供給される。

40

#### 【 0 0 6 3 】

また、ヘッダ生成部 7 2 は、ヘッダ情報を生成多項式に適用して C R C 符号を計算する。ヘッダ情報に付加される C R C 符号の生成多項式は例えば下式 ( 1 ) により表される。

$$C R C 1 6 = X^{16} + X^{15} + X^2 + 1 \quad \dots \dots ( 1 )$$

#### 【 0 0 6 4 】

ヘッダ生成部 7 2 は、ヘッダ情報に C R C 符号を付加することによってヘッダ情報と C R C 符号の組を生成し、同じヘッダ情報と C R C 符号の組を 3 組繰り返して配置すること

50

によってヘッダを生成する。ヘッダ生成部 72 は、生成したヘッダをパケット生成部 64 に出力する。

【0065】

データ挿入部 73 は、スタッフィング (stuffing) に用いられるデータを生成し、Pixel to Byte 変換部 62 とレーン分配部 65 とに出力する。Pixel to Byte 変換部 62 に供給されたスタッフィングデータであるペイロードスタッフィングデータは、Pixel to Byte 変換後の画素データに付加され、ペイロードに格納される画素データのデータ量の調整に用いられる。また、レーン分配部 65 に供給されたスタッフィングデータであるレーンスタッフィングデータは、レーン割り当て後のデータに付加され、レーン間のデータ量の調整に用いられる。

10

【0066】

フッタ生成部 74 は、システム制御部 51 による制御に応じて、適宜、ペイロードデータを生成多項式に適用して 32 ビットの CRC 符号を計算し、計算により求めた CRC 符号をフッタとしてパケット生成部 64 に出力する。フッタとして付加される CRC 符号の生成多項式は例えば下式 (2) により表される。

$$CRC32 = X^{32} + X^{31} + X^4 + X^3 + X + 1 \dots\dots (2)$$

【0067】

Pixel to Byte 変換部 62 は、フレームデータ入力部 52 から供給された画素データを取得し、各画素のデータを 1 バイト単位のデータに変換する Pixel to Byte 変換を行う。例えば、撮像部 21 により撮像された画像の各画素の画素値 (RGB) は、8 ビット、10 ビット、12 ビット、14 ビット、16 ビットのうちのいずれかのビット数で表される。

20

【0068】

Pixel to Byte 変換部 62 は、Pixel to Byte 変換を例えばラインの左端の画素から順に各画素を対象として行う。また、Pixel to Byte 変換部 62 は、Pixel to Byte 変換によって得られたバイト単位の画素データに、データ挿入部 73 から供給されたペイロードスタッフィングデータを付加することによってペイロードデータを生成し、ペイロード ECC 挿入部 63 に出力する。

【0069】

Pixel to Byte 変換後の画素データは、変換によって得られた順に、所定の数のグループにグループ化される。送信部 22 のリンクレイヤにおいては、このようにしてグループ化が行われた後、クロック信号によって規定される期間毎に、各グループにおいて同じ位置にある画素データを対象として処理が並行して行われる。例えば 16 のグループに画素データが割り当てられた場合、各列に並ぶ 16 の画素データを同じ期間内に処理するようにして画素データの処理が進められる。

30

【0070】

上述したように、1 つのパケットのペイロードには 1 ラインの画素データが含まれる。ここでは、図 3 の有効画素領域 A1 の画素データの処理について説明しているが、マージン領域 A2 等の他の領域の画素データについても有効画素領域 A1 の画素データとともに処理される。

40

【0071】

1 ライン分の画素データがグループ化された後、各グループのデータ長が同じ長さになるように、ペイロードスタッフィングデータが付加される。ペイロードスタッフィングデータは 1 バイトのデータである。

【0072】

このような構成を有するペイロードデータが Pixel to Byte 変換部 62 からペイロード ECC 挿入部 63 に供給される。

【0073】

ペイロード ECC 挿入部 63 は、Pixel to Byte 変換部 62 から供給されたペイロードデータに基づいて、ペイロードデータの誤り訂正に用いられる誤り訂正符号を

50

計算し、計算により求めた誤り訂正符号であるパリティをペイロードデータに挿入する。誤り訂正符号として、例えばリードソロモン符号が用いられる。なお、誤り訂正符号の挿入はオプションであり、例えば、ペイロード E C C 挿入部 6 3 によるパリティの挿入と、フッタ生成部 7 4 によるフッタの付加はいずれか一方のみを行うことが可能とされる。

【 0 0 7 4 】

ペイロード E C C 挿入部 6 3 においては、基本的に、例えば 2 2 4 個の画素データに基づいて 2 バイトのパリティが生成され、2 2 4 個の画素データに続けて挿入される。

【 0 0 7 5 】

ペイロード E C C 挿入部 6 3 は、パリティを挿入したペイロードデータをパケット生成部 6 4 に出力する。パリティの挿入が行われない場合、Pixel to Byte 変換部 6 2 からペイロード E C C 挿入部 6 3 に供給されたペイロードデータは、そのままパケット生成部 6 4 に出力される。

【 0 0 7 6 】

パケット生成部 6 4 は、ペイロード E C C 挿入部 6 3 から供給されたペイロードデータに、ヘッダ生成部 7 2 により生成されたヘッダを付加することによってパケットを生成する。フッタ生成部 7 4 によりフッタの生成が行われている場合、パケット生成部 6 4 は、ペイロードデータにフッタを付加することを行う。

【 0 0 7 7 】

パケット生成部 6 4 は、生成した 1 パケットを構成するデータであるパケットデータをレーン分配部 6 5 に出力する。レーン分配部 6 5 に対しては、ヘッダデータとペイロードデータからなるパケットデータ、ヘッダデータとペイロードデータとフッタデータからなるパケットデータ、または、ヘッダデータと、パリティが挿入されたペイロードデータからなるパケットデータが供給されることになる。図 4 のパケット構造は論理的なものであり、リンクレイヤ、物理レイヤにおいては、図 4 の構造を有するパケットのデータがバイト単位で処理される。

【 0 0 7 8 】

レーン分配部 6 5 は、パケット生成部 6 4 から供給されたパケットデータを、先頭のデータから順に、Lane 0 ~ 7 のうちのデータ伝送に用いる各レーンに割り当てる。

【 0 0 7 9 】

レーン分配部 6 5 は、各レーンに割り当てたパケットデータを物理レイヤに出力する。以下、Lane 0 ~ 7 の 8 レーンを用いてデータを伝送する場合について主に説明するが、データ伝送に用いるレーンの数が他の数の場合であっても同様の処理が行われる。

【 0 0 8 0 】

[ 送信部 2 2 の物理レイヤの構成 ]

図 6 に示したように、送信部 2 2 には、物理レイヤの構成として、PHY - TX 状態制御部 8 1、クロック生成部 8 2、および信号処理部 8 3 - 0 ~ 8 3 - N が設けられている。信号処理部 8 3 - 0 は、制御コード挿入部 9 1、8 B 1 0 B シンボルエンコーダ 9 2、同期部 9 3、および送信部 9 4 を有している。レーン分配部 6 5 から出力された、Lane 0 に割り当てられたパケットデータは信号処理部 8 3 - 0 に入力され、Lane 1 に割り当てられたパケットデータは信号処理部 8 3 - 1 に入力される。また、Lane N に割り当てられたパケットデータは信号処理部 8 3 - N に入力される。

【 0 0 8 1 】

このように、送信部 2 2 の物理レイヤには、信号処理部 8 3 - 0 ~ 8 3 - N がレーンの数と同じ数だけ設けられ、各レーンを用いて伝送するパケットデータの処理が、信号処理部 8 3 - 0 ~ 8 3 - N のそれぞれにおいて並行して行われる。信号処理部 8 3 - 0 の構成について説明するが、信号処理部 8 3 - 1 ~ 8 3 - N も同様の構成を有する。

【 0 0 8 2 】

PHY - TX 状態制御部 8 1 は、信号処理部 8 3 - 0 ~ 8 3 - N の各部を制御する。例えば、信号処理部 8 3 - 0 ~ 8 3 - N により行われる各処理のタイミングが PHY - TX 状態制御部 8 1 により制御される。

10

20

30

40

50

## 【 0 0 8 3 】

クロック生成部 8 2 は、クロック信号を生成し、信号処理部 8 3 - 0 ~ 8 3 - N のそれぞれの同期部 9 3 に出力する。

## 【 0 0 8 4 】

信号処理部 8 3 - 0 の制御コード挿入部 9 1 は、レーン分配部 6 5 から供給されたパケットデータに対して制御コードを付加する。制御コードは、予め用意された複数種類のシンボルの中から選択された 1 つのシンボルにより、または複数種類のシンボルの組み合わせにより表されるコードである。制御コード挿入部 9 1 により挿入される各シンボルは 8 ビットのデータである。後段の回路で 8 B 1 0 B 変換が施されることによって、制御コード挿入部 9 1 により挿入された 1 シンボルは 1 0 ビットのデータになる。一方、受信部 3 1 においては後述するように受信データに対して 1 0 B 8 B 変換が施されるが、受信データに含まれる 1 0 B 8 B 変換前の各シンボルは 1 0 ビットのデータであり、1 0 B 8 B 変換後の各シンボルは 8 ビットのデータになる。

10

## 【 0 0 8 5 】

制御コードには、図 4 に示した S t a r t C o d e , E n d C o d e 等が含まれる。また、制御コードには、I d l e C o d e , P a d C o d e , S y n c C o d e , D e s k e w C o d e , S t a n d b y C o d e が含まれる。

## 【 0 0 8 6 】

図 8 は、制御コード挿入部 9 1 により付加される制御コードの一例を示している。

## 【 0 0 8 7 】

20

I d l e C o d e は、パケットデータの伝送時以外の期間に繰り返し送信されるシンボル群である。I d l e C o d e は、8 B 1 0 B C o d e である D C h a r a c t e r の D 0 0 . 0 ( 0 0 0 0 0 0 0 0 ) で表される。

## 【 0 0 8 8 】

S t a r t C o d e は、パケットの開始を示すシンボル群である。上述したように、S t a r t C o d e はパケットの前に付加される。S t a r t C o d e は、3 種類の K C h a r a c t e r の組み合わせである K 2 8 . 5 , K 2 7 . 7 , K 2 8 . 2 , K 2 7 . 7 の 4 シンボルで表される。それぞれの K C h a r a c t e r の値の一例を図 9 に示す。

## 【 0 0 8 9 】

30

E n d C o d e は、パケットの終了を示すシンボル群である。上述したように、E n d C o d e はパケットの後ろに付加される。E n d C o d e は、3 種類の K C h a r a c t e r の組み合わせである K 2 8 . 5 , K 2 9 . 7 , K 3 0 . 7 , K 2 9 . 7 の 4 シンボルで表される。

## 【 0 0 9 0 】

P a d C o d e は、画素データ帯域と P H Y 伝送帯域の差を埋めるためにペイロードデータ中に挿入される、パディング ( P a d d i n g ) コードと呼ばれるシンボル群である。画素データ帯域は、撮像部 2 1 から出力され、送信部 2 2 に入力される画素データの伝送レートであり、P H Y 伝送帯域は、送信部 2 2 から送信され、受信部 3 1 に入力される画素データの伝送レートである。P a d C o d e は、4 種類の K C h a r a c t e r の組み合わせである K 2 3 . 7 , K 2 8 . 4 , K 2 8 . 6 , K 2 8 . 7 の 4 シンボルで表される。

40

## 【 0 0 9 1 】

図 1 0 は、P a d C o d e の挿入例を示している。

## 【 0 0 9 2 】

図 1 0 の上段は、P a d C o d e 挿入前の、各レーンに割り当てられたペイロードデータを示し、下段は、P a d C o d e 挿入後のペイロードデータを示す。図 1 0 の例においては、先頭から 3 番目の画素データと 4 番目の画素データの間、6 番目の画素データと 7 番目の画素データの間、1 2 番目の画素データと 1 3 番目の画素データの間 P a d C o d e が挿入されている。このように、P a d C o d e は、L a n e 0 ~ 7 の各レー

50

ンのペイロードデータの同じ位置に挿入される。

【0093】

Lane 0 に割り当てられたペイロードデータに対する Pad Code の挿入は信号処理部 83 - 0 の制御コード挿入部 91 により行われる。他のレーンに割り当てられたペイロードデータに対する Pad Code の挿入も同様に、信号処理部 83 - 1 ~ 83 - N においてそれぞれ同じタイミングで行われる。Pad Code の数は、画素データ帯域と PHY 伝送帯域の差と、クロック生成部 82 が生成するクロック信号の周波数などに基づいて決定される。

【0094】

このように、Pad Code は、画素データ帯域が狭く、PHY 伝送帯域が広い場合に、双方の帯域の差を調整するために挿入される。例えば、Pad Code が挿入されることによって、画素データ帯域と PHY 伝送帯域の差が一定の範囲内に収まるように調整される。

【0095】

Sync Code は、送信部 22 と受信部 31 との間のビット同期、シンボル同期を確保するために用いられるシンボル群である。Sync Code は、K28.5, Any \*\* の 2 シンボルで表される。Any \*\* は、どの種類のシンボルが用いられてもよいことを表す。Sync Code は、例えば送信部 22 と受信部 31 との間でパケットデータの伝送が開始される前のトレーニングモード時に繰り返し送信される。

【0096】

Deskew Code は、レーン間の Data Skew、すなわち、受信部 31 の各レーンで受信されるデータの受信タイミングのずれの補正に用いられるシンボル群である。Deskew Code は、K28.5, Any \*\* の 2 シンボルで表される。Deskew Code を用いたレーン間の Data Skew の補正については後述する。

【0097】

Standby Code は、送信部 22 の出力が High-Z (ハイインピーダンス) などの状態になり、データ伝送が行われなくなることを受信部 31 に通知するために用いられるシンボル群である。すなわち、Standby Code は、パケットデータの伝送を終了し、Standby 状態になるときに受信部 31 に対して伝送される。Standby Code は、K28.5, Any \*\* の 2 シンボルで表される。

【0098】

図 11 は、制御コード挿入後のパケットデータの一例を示している。

【0099】

図 11 に示すように、信号処理部 83 - 0 ~ 83 - N においては、それぞれ、パケットデータの前に Start Code が付加され、ペイロードデータに Pad Code が挿入される。パケットデータの後ろには End Code が付加され、End Code の後ろに Deskew Code が付加される。図 11 の例においては、Deskew Code の後ろに Idle Code が付加されている。

【0100】

制御コード挿入部 91 は、制御コードを付加したパケットデータを 8B10B シンボルエンコーダ 92 に出力する。

【0101】

8B10B シンボルエンコーダ 92 は、制御コード挿入部 91 から供給されたパケットデータ (制御コードが付加されたパケットデータ) に対して 8B10B 変換を施し、10 ビット単位のデータに変換したパケットデータを同期部 93 に出力する。

【0102】

同期部 93 は、8B10B シンボルエンコーダ 92 から供給されたパケットデータの各ビットを、クロック生成部 82 により生成されたクロック信号に従って送信部 94 に出力する。

【0103】

10

20

30

40

50

送信部 94 は、Lane 0 を構成する伝送路を介して、同期部 93 から供給されたパケットデータを受信部 31 に送信する。8 レーンを用いてデータ伝送が行われる場合、Lane 1 ~ 7 を構成する伝送路をも用いてパケットデータが受信部 31 に送信される。

【0104】

[受信部 31 の物理レイヤの構成]

図 7 に示したように、受信部 31 には、物理レイヤの構成として、PHY - RX 状態制御部 101、および信号処理部 102 - 0 ~ 102 - N が設けられている。信号処理部 102 - 0 は、受信部 111、クロック生成部 112、同期部 113、シンボル同期部 114、10B8B シンボルデコーダ 115、スキュー補正部 116、および制御コード除去部 117 を有している。Lane 0 を構成する伝送路を介して送信されてきたパケットデータは信号処理部 102 - 0 に入力され、Lane 1 を構成する伝送路を介して送信されてきたパケットデータは信号処理部 102 - 1 に入力される。また、Lane N を構成する伝送路を介して送信されてきたパケットデータは信号処理部 102 - N に入力される。

10

【0105】

このように、受信部 31 の物理レイヤには、信号処理部 102 - 0 ~ 102 - N がレーンの数と同じ数だけ設けられ、各レーンを用いて伝送されてきたパケットデータの処理が、信号処理部 102 - 0 ~ 102 - N のそれぞれにおいて並行して行われる。信号処理部 102 - 0 の構成について説明するが、信号処理部 102 - 1 ~ 102 - N も同様の構成を有する。

【0106】

20

受信部 111 は、Lane 0 を構成する伝送路を介して送信部 22 から伝送されてきたパケットデータを表す信号を受信し、クロック生成部 112 に出力する。

【0107】

クロック生成部 112 は、受信部 111 から供給された信号のエッジを検出することによってビット同期をとり、エッジの検出周期に基づいてクロック信号を生成する。クロック生成部 112 は、受信部 111 から供給された信号を、クロック信号とともに同期部 113 に出力する。

【0108】

同期部 113 は、クロック生成部 112 により生成されたクロック信号に従って、受信部 111 において受信された信号のサンプリングを行い、サンプリングによって得られたパケットデータをシンボル同期部 114 に出力する。クロック生成部 112 と同期部 113 により CDR (Clock Data Recovery) の機能が実現される。

30

【0109】

シンボル同期部 114 は、パケットデータに含まれる制御コードを検出することによって、または制御コードに含まれる一部のシンボルを検出することによってシンボル同期をとる。例えば、シンボル同期部 114 は、Start Code, End Code, Deskew Code に含まれる K28.5 のシンボルを検出し、シンボル同期をとる。シンボル同期部 114 は、各シンボルを表す 10 ビット単位のパケットデータを 10B8B シンボルデコーダ 115 に出力する。

【0110】

40

また、シンボル同期部 114 は、パケットデータの伝送が開始される前のトレーニングモード時に送信部 22 から繰り返し送信されてくる Sync Code に含まれるシンボルの境界を検出することによってシンボル同期をとる。

【0111】

10B8B シンボルデコーダ 115 は、シンボル同期部 114 から供給された 10 ビット単位のパケットデータに対して 10B8B 変換を施し、8 ビット単位のデータに変換したパケットデータをスキュー補正部 116 に出力する。

【0112】

スキュー補正部 116 は、10B8B シンボルデコーダ 115 から供給されたパケットデータから Deskew Code を検出する。スキュー補正部 116 による Deskew

50

C o d e の検出タイミングの情報は P H Y - R X 状態制御部 1 0 1 に供給される。

【 0 1 1 3 】

また、スキュー補正部 1 1 6 は、D e s k e w C o d e のタイミングを、P H Y - R X 状態制御部 1 0 1 から供給された情報により表されるタイミングに合わせるようにしてレーン間の D a t a S k e w を補正する。P H Y - R X 状態制御部 1 0 1 からは、信号処理部 1 0 2 - 0 ~ 1 0 2 - N のそれぞれにおいて検出された D e s k e w C o d e のタイミングのうち、最も遅いタイミングを表す情報が供給されてくる。

【 0 1 1 4 】

スキュー補正部 1 1 6 は、D a t a S k e w を補正したパケットデータを制御コード除去部 1 1 7 に出力する。

10

【 0 1 1 5 】

制御コード除去部 1 1 7 は、パケットデータに付加された制御コードを除去し、S t a r t C o d e から E n d C o d e までの間のデータをパケットデータとしてリンクレイヤに出力する。

【 0 1 1 6 】

P H Y - R X 状態制御部 1 0 1 は、信号処理部 1 0 2 - 0 ~ 1 0 2 - N の各部を制御し、レーン間の D a t a S k e w の補正などを行わせる。また、P H Y - R X 状態制御部 1 0 1 は、所定のレーンで伝送エラーが起きて制御コードが失われた場合、失われた制御コードに代えて、他のレーンで伝送されてきた制御コードを付加することによって制御コードの誤り訂正を行う。

20

【 0 1 1 7 】

[ 受信部 3 1 のリンクレイヤの構成 ]

図 7 に示したように、受信部 3 1 には、リンクレイヤの構成として、L I N K - R X プロトコル管理部 1 2 1、レーン統合部 1 2 2、パケット分離部 1 2 3、ペイロードエラー訂正部 1 2 4、および B y t e t o P i x e l 変換部 1 2 5 が設けられている。L I N K - R X プロトコル管理部 1 2 1 は、状態制御部 1 3 1、ヘッダエラー訂正部 1 3 2、データ除去部 1 3 3、およびフッタエラー検出部 1 3 4 を有している。

【 0 1 1 8 】

レーン統合部 1 2 2 は、物理レイヤの信号処理部 1 0 2 - 0 ~ 1 0 2 - N から供給されたパケットデータを、送信部 2 2 のレーン分配部 6 5 による各レーンへの分配順と逆順で並び替えることによって統合する。

30

【 0 1 1 9 】

各レーンのパケットデータの統合時、データ除去部 1 3 3 による制御に従って、レーンスタッフィングデータがレーン統合部 1 2 2 により除去される。レーン統合部 1 2 2 は、統合したパケットデータをパケット分離部 1 2 3 に出力する。

【 0 1 2 0 】

パケット分離部 1 2 3 は、レーン統合部 1 2 2 により統合された 1 パケット分のパケットデータを、ヘッダデータを構成するパケットデータとペイロードデータを構成するパケットデータとに分離する。パケット分離部 1 2 3 は、ヘッダデータをヘッダエラー訂正部 1 3 2 に出力し、ペイロードデータをペイロードエラー訂正部 1 2 4 に出力する。

40

【 0 1 2 1 】

また、パケット分離部 1 2 3 は、パケットにフッタが含まれている場合、1 パケット分のデータを、ヘッダデータを構成するパケットデータとペイロードデータを構成するパケットデータとフッタデータを構成するパケットデータとに分離する。パケット分離部 1 2 3 は、ヘッダデータをヘッダエラー訂正部 1 3 2 に出力し、ペイロードデータをペイロードエラー訂正部 1 2 4 に出力する。また、パケット分離部 1 2 3 は、フッタデータをフッタエラー検出部 1 3 4 に出力する。

【 0 1 2 2 】

ペイロードエラー訂正部 1 2 4 は、パケット分離部 1 2 3 から供給されたペイロードデータにパリティが挿入されている場合、パリティに基づいて誤り訂正演算を行うことによ

50

ってペイロードデータのエラーを検出し、検出したエラーの訂正を行う。

【0123】

ペイロードエラー訂正部124は、各Basic Block, Extra Blockを対象として誤り訂正を行うことによって得られた誤り訂正後の画素データをByte to Pixel変換部125に出力する。パケット分離部123から供給されたペイロードデータにパリティが挿入されていない場合、パケット分離部123から供給されたペイロードデータはそのままByte to Pixel変換部125に出力される。

【0124】

Byte to Pixel変換部125は、ペイロードエラー訂正部124から供給されたペイロードデータに含まれるペイロードスタッフィングデータをデータ除去部133

10

による制御に従って除去する。

【0125】

また、Byte to Pixel変換部125は、ペイロードスタッフィングデータを除去して得られたバイト単位の各画素のデータを、例えば、8ビット、10ビット、12ビット、14ビット、または16ビット単位の画素データに変換するByte to Pixel変換を行う。Byte to Pixel変換部125においては、送信部22のPixel to Byte変換部62によるPixel to Byte変換と逆の変換が行われる。

【0126】

Byte to Pixel変換部125は、Byte to Pixel変換によって得られた、例えば、8ビット、10ビット、12ビット、14ビット、または16ビット単位の画素データをフレームデータ出力部141に出力する。フレームデータ出力部141においては、例えば、ヘッダ情報のLine Validにより特定される有効画素の各ラインがByte to Pixel変換部125により得られた画素データに基づいて生成され、ヘッダ情報のLine Numberに従って各ラインが並べられることによって1フレームの画像が生成される。

20

【0127】

LINK-RXプロトコル管理部121の状態制御部131は、受信部31のリンクレイヤの状態を管理する。

【0128】

ヘッダエラー訂正部132は、パケット分離部123から供給されたヘッダデータに基づいてヘッダ情報とCRC符号の組を3組取得する。ヘッダエラー訂正部132は、ヘッダ情報とCRC符号の組の各組を対象として、ヘッダ情報のエラーを検出するための演算である誤り検出演算を、そのヘッダ情報と同じ組のCRC符号を用いて行う。

30

【0129】

また、ヘッダエラー訂正部132は、それぞれの組のヘッダ情報の誤り検出結果と、誤り検出演算により求められたデータの比較結果とのうちの少なくともいずれかに基づいて正しいヘッダ情報を推測し、正しいと推測したヘッダ情報と復号結果を出力する。誤り検出演算により求められたデータは、ヘッダ情報にCRCの生成多項式を適用することによって求められた値である。また、復号結果は、復号成功または復号失敗を表す情報である。

40

【0130】

ヘッダ情報とCRC符号の3つの組をそれぞれ組1、組2、組3とする。この場合、ヘッダエラー訂正部132は、組1を対象とした誤り検出演算によって、組1のヘッダ情報にエラーがあるか否か（誤り検出結果）と、誤り検出演算により求められたデータであるデータ1を取得する。また、ヘッダエラー訂正部132は、組2を対象とした誤り検出演算によって、組2のヘッダ情報にエラーがあるか否かと、誤り検出演算により求められたデータであるデータ2を取得する。ヘッダエラー訂正部132は、組3を対象とした誤り検出演算によって、組3のヘッダ情報にエラーがあるか否かと、誤り検出演算により求められたデータであるデータ3を取得する。

【0131】

50

また、ヘッダエラー訂正部 1 3 2 は、データ 1 とデータ 2 が一致するか否か、データ 2 とデータ 3 が一致するか否か、データ 3 とデータ 1 が一致するか否かをそれぞれ判定する。

【 0 1 3 2 】

例えば、ヘッダエラー訂正部 1 3 2 は、組 1、組 2、組 3 を対象としたいずれの誤り検出演算によっても誤りが検出されず、誤り検出演算によって求められたデータのいずれの比較結果もが一致した場合、復号結果として、復号成功を表す情報を選択する。また、ヘッダエラー訂正部 1 3 2 は、いずれのヘッダ情報も正しいと推測し、組 1 のヘッダ情報、組 2 のヘッダ情報、組 3 のヘッダ情報のうちのいずれかを出力情報として選択する。

【 0 1 3 3 】

一方、ヘッダエラー訂正部 1 3 2 は、組 1 を対象とした誤り検出演算でだけ誤りが検出されなかった場合、復号結果として、復号成功を表す情報を選択するとともに、組 1 のヘッダ情報が正しいと推測し、組 1 のヘッダ情報を出力情報として選択する。

10

【 0 1 3 4 】

また、ヘッダエラー訂正部 1 3 2 は、組 2 を対象とした誤り検出演算でだけ誤りが検出されなかった場合、復号結果として、復号成功を表す情報を選択するとともに、組 2 のヘッダ情報が正しいと推測し、組 2 のヘッダ情報を出力情報として選択する。

【 0 1 3 5 】

ヘッダエラー訂正部 1 3 2 は、組 3 を対象とした誤り検出演算でだけ誤りが検出されなかった場合、復号結果として、復号成功を表す情報を選択するとともに、組 3 のヘッダ情報が正しいと推測し、組 3 のヘッダ情報を出力情報として選択する。

20

【 0 1 3 6 】

ヘッダエラー訂正部 1 3 2 は、以上のようにして選択した復号結果と出力情報をレジスタ 1 4 2 に出力し、記憶させる。このように、ヘッダエラー訂正部 1 3 2 によるヘッダ情報の誤り訂正は、複数のヘッダ情報の中から、エラーのないヘッダ情報を C R C 符号を用いて検出し、検出したヘッダ情報を出力するようにして行われる。

【 0 1 3 7 】

データ除去部 1 3 3 は、レーン統合部 1 2 2 を制御してレーンスタッフィングデータを除去し、Byte to Pixel 変換部 1 2 5 を制御してペイロードスタッフィングデータを除去する。

【 0 1 3 8 】

30

フッタエラー検出部 1 3 4 は、パケット分離部 1 2 3 から供給されたフッタデータに基づいて、フッタに格納された C R C 符号を取得する。フッタエラー検出部 1 3 4 は、取得した C R C 符号を用いて誤り検出演算を行い、ペイロードデータのエラーを検出する。フッタエラー検出部 1 3 4 は、誤り検出結果を出力し、レジスタ 1 4 2 に記憶させる。

【 0 1 3 9 】

[ センサモジュール 1 1 と D S P 1 2 の動作の概要 ]

次に、センサモジュール 1 1 と D S P 1 2 の動作の概要を説明する。伝送システム 1 を有する撮像装置の動作を例に説明する。

【 0 1 4 0 】

センサモジュール 1 1 の撮像部 2 1 では、例えば、撮像装置に設けられたシャッターボタンが押されるなどして撮像の開始が指示された場合に撮像を行う。撮像部 2 1 のフレームデータ入力部 5 2 ( 図 6 ) は、撮像によって得られた 1 フレームの画像を構成する画素データを、1 画素のデータずつ順に、送信部 2 2 に出力する。

40

【 0 1 4 1 】

送信部 2 2 によるデータ送信処理により、1 ライン分の画素データをペイロードに格納したパケットが生成され、パケットを構成するパケットデータが受信部 3 1 に対して送信される。

【 0 1 4 2 】

受信部 3 1 では、データ受信処理が行われる。データ受信処理により、送信部 2 2 から送信されてきたパケットデータが受信され、ペイロードに格納されている画素データが画

50

像処理部 3 2 に出力される。

#### 【 0 1 4 3 】

送信部 2 2 により行われるデータ送信処理と受信部 3 1 により行われるデータ受信処理は、1 ライン分の画素データを対象として交互に行われる。すなわち、ある 1 ラインの画素データがデータ送信処理によって送信されたとき、データ受信処理が行われ、データ受信処理によって 1 ラインの画素データが受信されたとき、次の 1 ラインの画素データを対象としてデータ送信処理が行われる。送信部 2 2 によるデータ送信処理と受信部 3 1 によるデータ受信処理は、適宜、時間的に並行して行われることもある。

#### 【 0 1 4 4 】

1 フレームの画像を構成する全てのラインの画素データの送受信が終了した場合、画像処理部 3 2 のフレームデータ出力部 1 4 1 は、受信部 3 1 から供給された画素データに基づいて 1 フレームの画像を生成する。

#### 【 0 1 4 5 】

#### [ 1 . 3 一実施の形態に係る伝送システム 1 の改善例 ]

図 8 ~ 図 1 1 を用いて説明したように、一実施の形態に係る伝送システム 1 では、撮像部 2 1 から送信部 2 2 に入力される画素データの伝送レート（画素データ帯域）と、送信部 2 2 から送信され受信部 3 1 に入力される画素データの伝送レート（PHY 伝送帯域）との伝送帯域の差を埋めるために、ペイロードデータ中に Pad Code を挿入することが可能となっている。Pad Code の挿入率は、送信側であるセンサモジュール 1 1 の動作によって決まるが、受信側である DSP 1 2 では、Pad Code の挿入率を知る手段がなく、どのような Pad Code が挿入されても受信可能な構成を取っておく必要がある。

#### 【 0 1 4 6 】

そこで、以下では、一実施の形態に係る伝送システム 1 の改善例として、受信側において Pad Code の挿入率を知ることが可能となる技術を説明する。

#### 【 0 1 4 7 】

なお、Pad Code は、PHY 伝送帯域が画素データ帯域よりも大きく、かつ所定の条件を満たす場合にペイロード中に挿入される。Pad Code が挿入されるのは、例えば以下の条件式（A）を満たす場合である。

$$CIS\_Bandwidth \times (57/56) \times (5/4) < PHY\_Bandwidth \quad \dots\dots (A)$$

#### 【 0 1 4 8 】

ここで、条件式（A）において、CIS\_Bandwidth は、撮像部 2 1 から送信部 2 2 に入力される画素データ帯域に相当し、以下の条件式（B）で表される。

$$CIS\_Bandwidth = pixel\_clock\_rate * PIXEL\_BIT \quad \dots\dots (B)$$

ただし、

pixel\_clock\_rate : 画素の入力レート [ Mpix / sec ]

PIXEL\_BIT : 1 画素あたりのビット数

とする。

#### 【 0 1 4 9 】

また、条件式（A）において、PHY\_Bandwidth は、送信部 2 2 から送信され受信部 3 1 に入力される画素データの PHY 伝送帯域に相当し、以下の条件式（C）で表される。

$$PHY\_Bandwidth = output\_bit\_rate * Lane\_NUM \quad \dots\dots (C)$$

ただし、

Output\_bit\_rate : 出力ビットレート [ bit / sec ]

Lane\_NUM : 出力レーン Lane 数

とする。

## 【 0 1 5 0 】

また、条件式 ( A ) において、 ( 5 7 / 5 6 ) は、 4 b i t のパリティビットを追加した時のデータ伝送効率であり、以下のように算出される。

$$( 2 2 4 + 4 ) / 2 2 4 = 5 7 / 5 6$$

## 【 0 1 5 1 】

また、条件式 ( A ) において、 ( 5 / 4 ) は、 8 B 1 0 B 変換が施されたデータの伝送効率であり、以下のように算出される。

$$1 0 / 8 = 5 / 4$$

## 【 0 1 5 2 】

図 1 2 は、一実施の形態に係る伝送システム 1 おける送信部 2 2 の改善例の第 1 の例を示している。

10

## 【 0 1 5 3 】

図 1 2 に示した第 1 の例では、図 6 に示した構成に対して、送信部 2 2 の L I N K - T X プロトコル管理部 6 1 内に、 P a d C o d e の挿入率を計算する挿入率演算部 7 5 が追加されている。

## 【 0 1 5 4 】

なお、 P a d C o d e の挿入率とは、ペイロード長に対する P a d C o d e 長の比率を示す。 P a d C o d e は、上述したように、データがレーン分配された後に制御コード挿入部 9 1 により挿入される。

## 【 0 1 5 5 】

20

図 1 3 は、ヘッダに P a d C o d e の挿入率を示すデータを付加した例を示している。

## 【 0 1 5 6 】

挿入率演算部 7 5 によって演算された P a d C o d e の挿入率を示すデータは、例えば図 1 3 に示したように、ヘッダにおける R e s e r v e d の領域に付加することが可能である。ヘッダ生成部 7 2 は、例えば R e s e r v e d の領域に P a d C o d e の挿入率を示すデータが付加されたヘッダを生成する。

## 【 0 1 5 7 】

この場合、受信部 3 1 は、 P a d C o d e の挿入率を示すデータをヘッダに含むパケットを、レーンを介して受信可能である。これにより、受信側では、例えばフレームデータ出力部 1 4 1、およびシステム制御部 1 4 3 において、 P a d C o d e の挿入率を知ることが可能となる。

30

## 【 0 1 5 8 】

図 1 4 は、一実施の形態に係る伝送システム 1 における送信部 2 2 の改善例の第 2 の例を示している。

## 【 0 1 5 9 】

挿入率演算部 7 5 によって演算された P a d C o d e の挿入率を示すデータは、例えば図 1 4 に示したように、送信側のレジスタ 5 3 に記憶させてもよい。レジスタ 5 3 は、受信側に、パケットの伝送経路であるレーンとは異なる経路で P a d C o d e の挿入率を示すデータを出力可能である。レーンとは異なる経路とは、例えば図 1 および図 2 に示した制御線 1 3 であってもよい。受信側では、パケットの伝送経路とは異なる経路で、 P a d C o d e の挿入率を示すデータを受信し、受信側のレジスタ 1 4 2 に記憶させてもよい。これにより、受信側では、例えばフレームデータ出力部 1 4 1、およびシステム制御部 1 4 3 において、 P a d C o d e の挿入率を知ることが可能となる。なお、 P a d C o d e の挿入率を示すデータを記憶するのは、レジスタ 1 4 2 以外であってもよい。例えばフレームデータ出力部 1 4 1、またはシステム制御部 1 4 3 が挿入率を示すデータを記憶してもよい。

40

## 【 0 1 6 0 】

図 1 5 は、一実施の形態に係る伝送システム 1 における送信部 2 2 の改善例の第 3 の例を示している。

## 【 0 1 6 1 】

50

また、挿入率演算部 75 によって演算された Pad Code の挿入率を示すデータは、例えば図 15 に示したように、Embedded Data の領域に付加することが可能である。なお、図 15 では、前ダミー領域 A3 に Embedded Data の領域がある例を示しているが、後ダミー領域 A4 に Embedded Data の領域が挿入されていてもよい。パケット生成部 64 は、例えば Embedded Data の領域に Pad Code の挿入率を示すデータが付加されたパケットを生成する。

【0162】

この場合、受信部 31 は、Pad Code の挿入率を示すデータをダミー領域を含むパケットを、レーンを通じて受信可能である。これにより、受信側では、例えばフレームデータ出力部 141、およびシステム制御部 143 において、Pad Code の挿入率

10

【0163】

[1.3 効果]

以上説明したように、一実施の形態に係る伝送システム 1 の改善例によれば、Pad Code の挿入率を知ることが可能となるように構成したので、最適なデータ処理を行うことが可能となる。受信側では、例えばフレームデータ出力部 141、およびシステム制御部 143 において、Pad Code の挿入率、およびペイロード長を知ることが可能になる。

【0164】

なお、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。以降の他の実施の形態の効果についても同様である。

20

【0165】

<2. その他の実施の形態>

本開示による技術は、上記一実施の形態の説明に限定されず種々の変形実施が可能である。

【0166】

例えば、本技術は以下のような構成を取ることできる。

以下の構成の本技術によれば、パディングコードの挿入率を知ることが可能となるように構成したので、最適なデータ処理を行うことが可能となる。

【0167】

30

(1)

1 フレームの画像を構成する 1 ライン分の画素データをペイロードに含み、前記ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、

前記送信部に入力される前記画素データの伝送レートと、前記送信部から前記伝送路へと出力される前記画素データの伝送レートとの差を埋めるために前記ペイロードに挿入されるパディングコードの挿入率を演算可能な挿入率演算部と

を備える

送信装置。

(2)

前記挿入率演算部によって演算された前記パディングコードの挿入率を示すデータを前記ヘッダに付加可能なヘッダ生成部、

40

をさらに備える

上記(1)に記載の送信装置。

(3)

前記挿入率演算部によって演算された前記パディングコードの挿入率を示すデータを記憶可能なレジスタ、

をさらに備える

上記(1)に記載の送信装置。

(4)

前記レジスタは、前記パケットを前記伝送路を介して受信可能な受信装置に、前記パケ

50

ットの伝送経路とは異なる経路で前記パディングコードの挿入率を示すデータを出力可能である

上記（３）に記載の送信装置。

（５）

前記画素データに代えてダミー領域を前記ペイロードに含むパケットを生成可能であり、前記ダミー領域に前記パディングコードの挿入率を示すデータを付加するパケット生成部、

をさらに備える

上記（１）に記載の送信装置。

（６）

前記パディングコードは、前記送信部から前記伝送路へと出力される前記画素データの伝送レートが、前記送信部に入力される前記画素データの伝送レートよりも大きく、かつ所定の条件を満たす場合に前記ペイロードに挿入される

上記（１）ないし（５）のいずれか１つに記載の送信装置。

（７）

１フレームの画像を構成する１ライン分の画素データをペイロードに含み、前記ペイロードにヘッダを付加した複数のパケットを、伝送路を介して送信装置の送信部から受信可能な受信部

を備え、

前記送信部に入力される前記画素データの伝送レートと、前記送信部から前記伝送路へと出力される前記画素データの伝送レートとの差を埋めるために前記ペイロードに挿入されるパディングコードの挿入率のデータを、前記送信装置から受信可能である

受信装置。

（８）

前記受信部は、前記パディングコードの挿入率のデータを含むパケットを前記伝送路を介して受信可能である

上記（７）に記載の受信装置。

（９）

前記パケットの伝送経路とは異なる経路で前記パディングコードの挿入率を示すデータを受信可能である

上記（７）に記載の受信装置。

（１０）

送信装置と、

受信装置と

を含み、

前記送信装置は、

１フレームの画像を構成する１ライン分の画素データをペイロードに含み、前記ペイロードにヘッダを付加した複数のパケットを伝送路へと出力可能な送信部と、

前記送信部に入力される前記画素データの伝送レートと、前記送信部から前記伝送路へと出力される前記画素データの伝送レートとの差を埋めるために前記ペイロードに挿入されるパディングコードの挿入率を演算可能な挿入率演算部と

を備える

伝送システム。

（１１）

前記受信装置は、

前記複数のパケットを前記伝送路を介して、前記送信装置の前記送信部から受信可能な受信部

を備え、

前記パディングコードの挿入率のデータを、前記送信装置から受信可能である

上記（１０）に記載の伝送システム。

10

20

30

40

50

## 【 0 1 6 8 】

本出願は、日本国特許庁において 2 0 1 9 年 1 1 月 2 0 日に出願された日本特許出願番号第 2 0 1 9 - 2 0 9 5 8 0 号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

## 【 0 1 6 9 】

当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

10

20

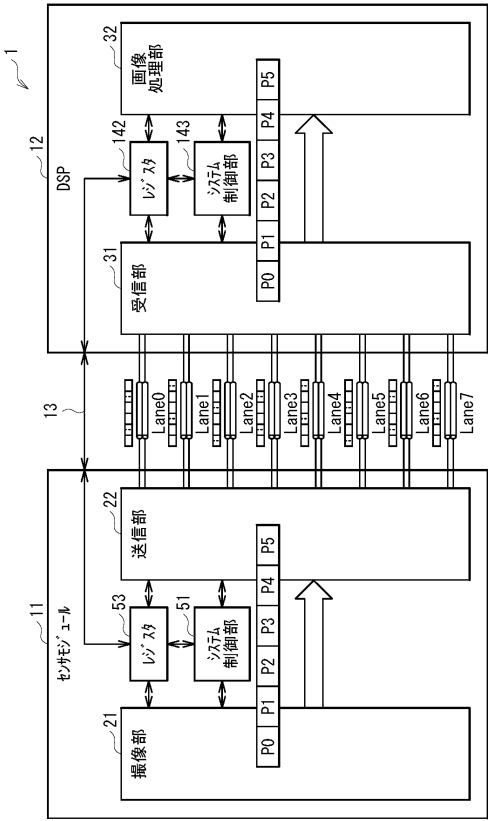
30

40

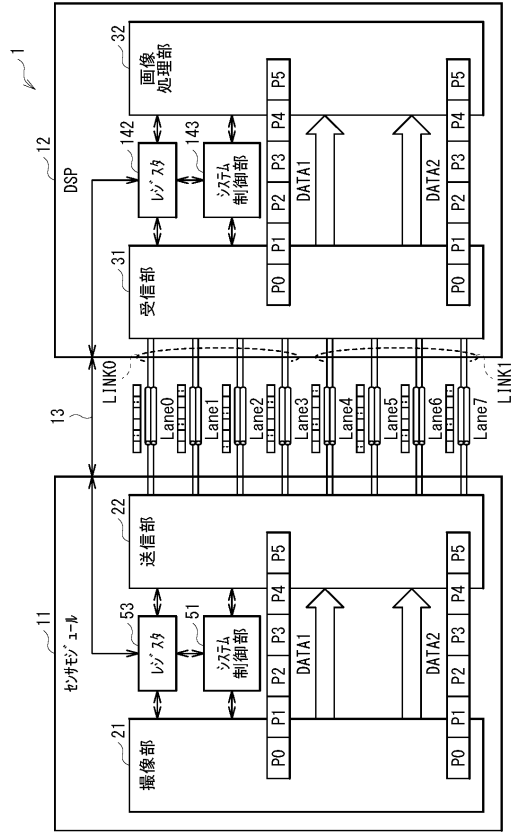
50

【図面】

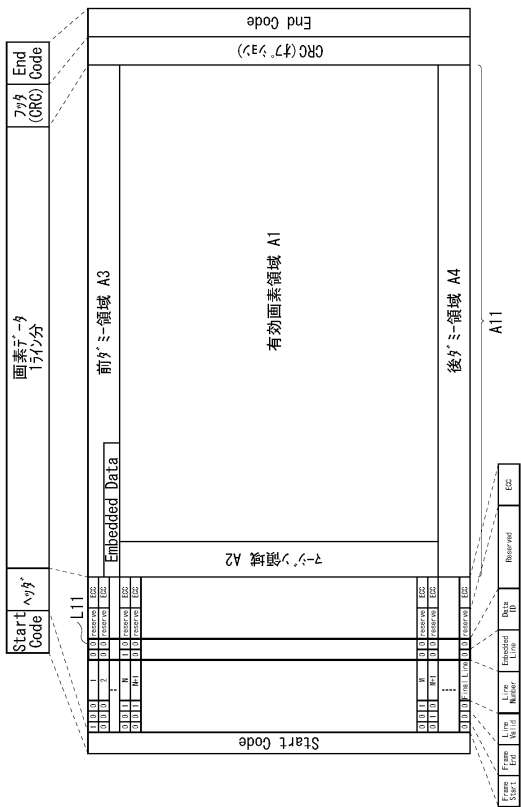
【図 1】



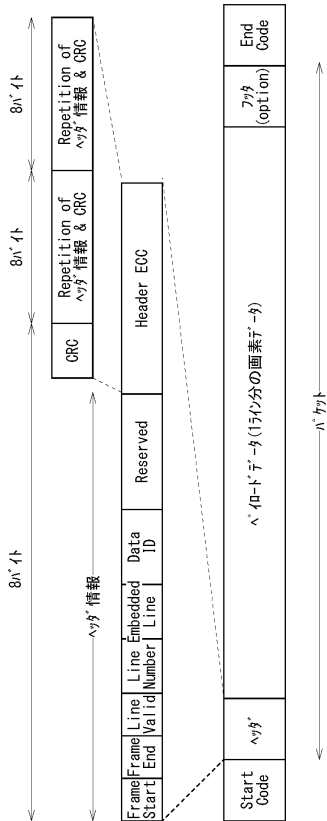
【図 2】



【図 3】



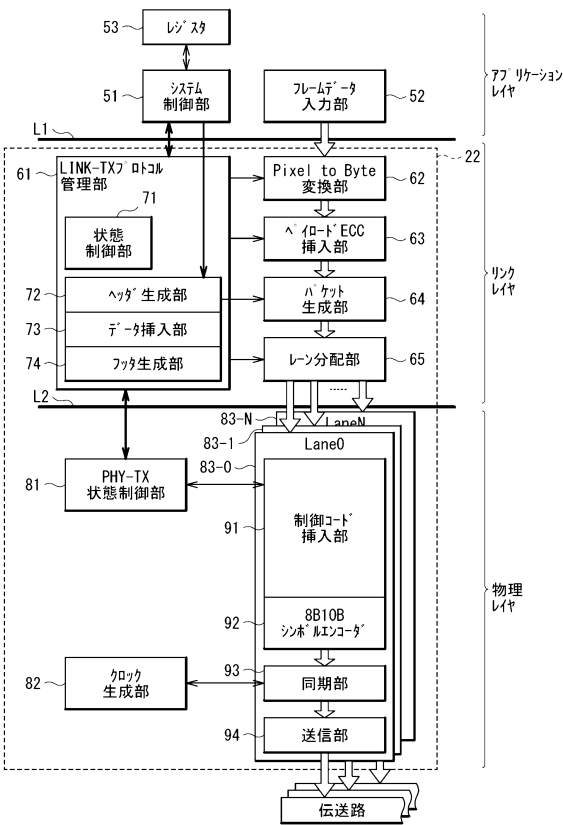
【図 4】



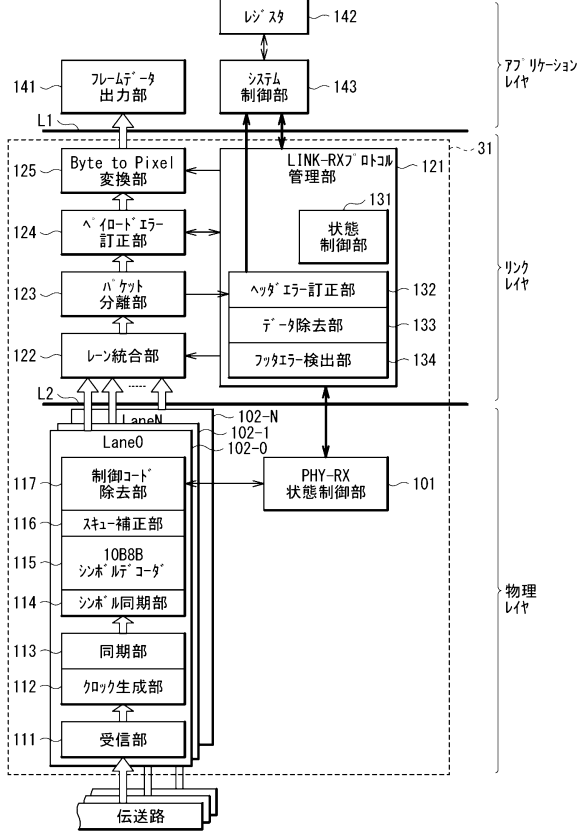
【図 5】

| 大項目    | 小項目           | 情報量     | 内容                    |
|--------|---------------|---------|-----------------------|
| フレーム情報 | Frame Start   | 1bit    | フレーム先頭を示す (例:ライン目)    |
|        | Frame End     | 1bit    | フレーム終端を示す (例:後タミ前ライン) |
| ライン情報  | Line Valid    | 1bit    | ラインの有効・無効を示す          |
|        | Line Number   | 13bit   | ライン番号を示す              |
|        | Embedded Line | 1bit    | エンベデッドライン番号を示す        |
| データ情報  | Data ID       | Pbit    | データ識別を示す              |
| その他    | Reserved      | 31-Pbit | 将来の拡張性のため確保           |
|        | Header ECC    | 18byte  | ヘッダ情報のECC             |

【図 6】



【図 7】



【図 8】

| PHY制御コード     | 用途                                                  | 8B10Bシンボル構成 |       |       |       |       |
|--------------|-----------------------------------------------------|-------------|-------|-------|-------|-------|
| Idle Code    | パケット伝送時以外に出力信号をダグし続けるためのシンボル群 (マージン期間等)             | D00.0       |       |       |       |       |
| Start Code   | パケット(ライン/H)の開始を示す                                   | K27.7       | K28.2 | K27.7 | K28.7 | K29.7 |
| End Code     | パケット(ライン/H)の終了を示す                                   | K28.5       | K28.7 | K29.7 | K30.7 | K29.7 |
| Pad Code     | 画素データ(パノドデーク)帯域と、PHY伝送帯域の差分を埋めるために挿入されるPaddingシンボル群 | K23.7       | K28.4 | K28.6 | K28.7 | K28.7 |
| Sync Code    | 1/Fのビット同期、8B10Bシンボル同期を取るためのシンボル群                    | K28.5       | Any** | Any** | Any** | Any** |
| Deskew Code  | ライン間のData Skewを合わせるため、マージンとして用いるシンボル群               | K28.5       | Any** | Any** | Any** | Any** |
| Standby Code | TX出力がHigh-Zになる事をRX側に知らせるためのシンボル群                    | K28.5       | Any** | Any** | Any** | Any** |

10

20

30

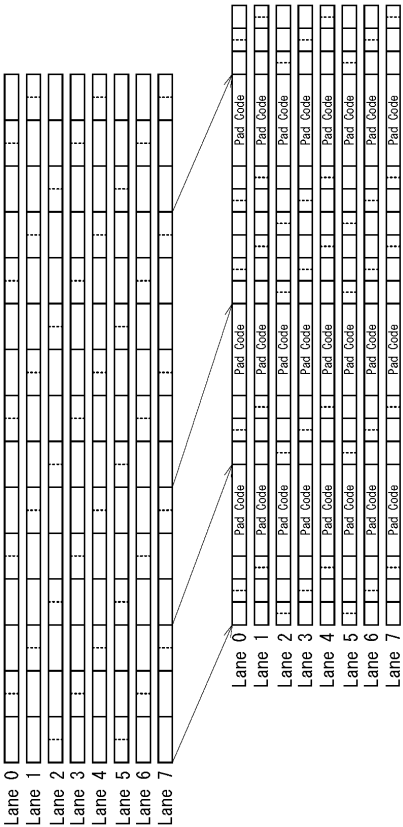
40

50

【図 9】

| Control Symbol | Code  | 8B<br>HGF_EDCBA | 10B<br>abcdei_fghj |            | memo               |
|----------------|-------|-----------------|--------------------|------------|--------------------|
|                |       |                 | RD-                | RD+        |                    |
|                | K23.7 | 11110111        | 1110101000         | 0001010111 | Used in Pad Code   |
|                | K27.7 | 11111011        | 1101101000         | 0010010111 | Used in Start Code |
|                | K28.0 | 00011100        | 0011110100         | 1100001011 | Reserved           |
|                | K28.1 | 00111100        | 0011111001         | 1100000110 | Reserved           |
|                | K28.2 | 01011100        | 0011110101         | 1100001010 | Used in Start Code |
|                | K28.3 | 01111100        | 0011110011         | 1100001100 | Reserved           |
|                | K28.4 | 10011100        | 0011110010         | 1100001101 | Used in Pad Code   |
|                | K28.5 | 10111100        | 0011111010         | 1100000101 | Comma Character    |
|                | K28.6 | 11011100        | 0011110110         | 1100001001 | Used in Pad Code   |
|                | K28.7 | 11111100        | 0011111000         | 1100000111 | Used in Pad Code   |
|                | K29.7 | 11111101        | 1011101000         | 0100010111 | Used in End Code   |
|                | K30.7 | 11111110        | 0111101000         | 1000010111 | Used in End Code   |

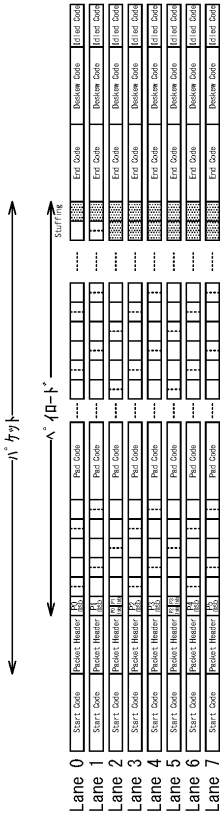
【図 10】



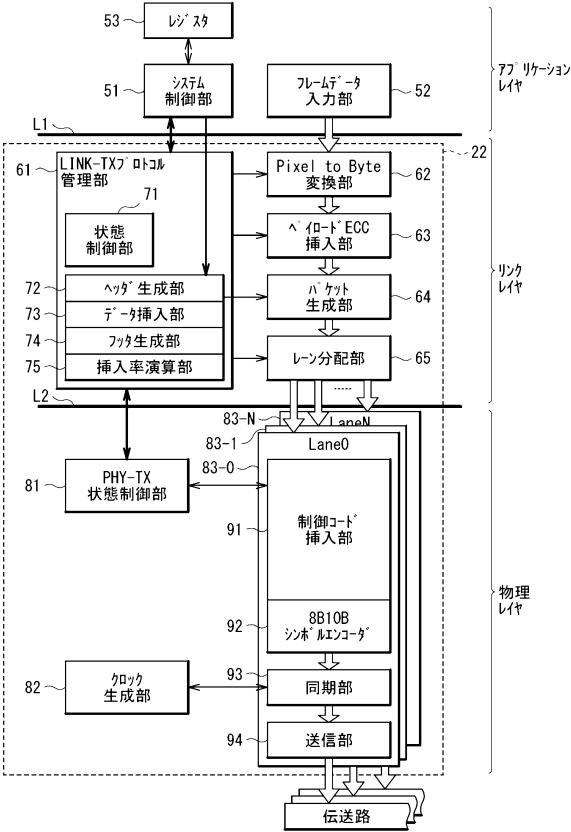
10

20

【図 11】



【図 12】

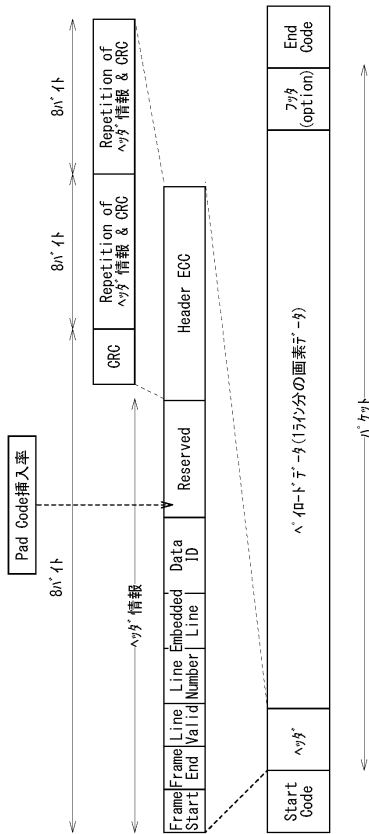


30

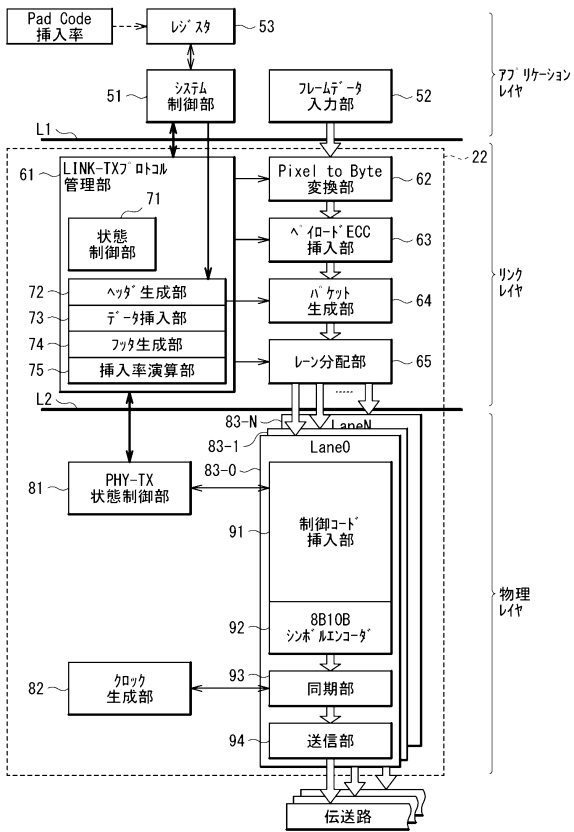
40

50

【図 13】



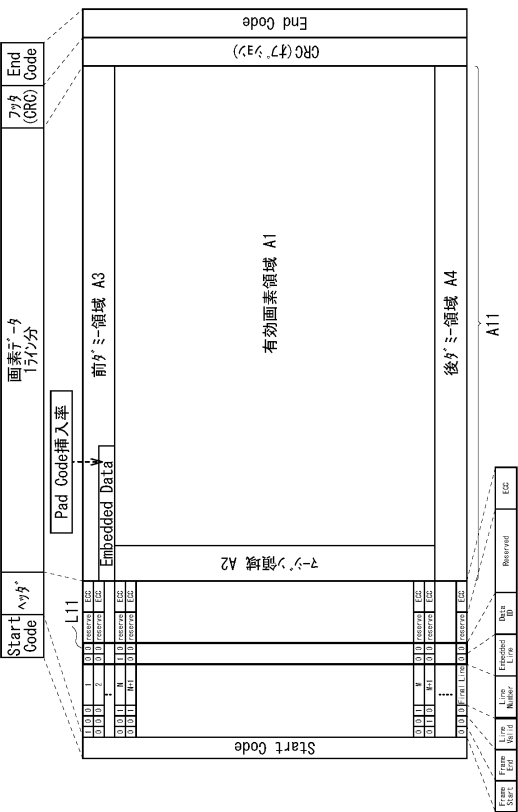
【図 14】



10

20

【図 15】



30

40

50

---

フロントページの続き

- (56)参考文献      特開 2 0 1 2 - 1 2 0 1 5 8 ( J P , A )  
                    特開 2 0 1 0 - 1 7 6 5 1 9 ( J P , A )  
                    特開 2 0 1 1 - 0 8 2 9 3 4 ( J P , A )
- (58)調査した分野 (Int.Cl. , D B 名)
- H 0 4 N    2 3 / 0 0 - 2 3 / 9 5 9  
                    H 0 4 N    5 / 2 2 2 - 5 / 2 5 7  
                    H 0 4 N    2 1 / 2 3 8  
                    H 0 4 N    2 1 / 2 4  
                    H 0 4 N    7 / 1 8  
                    H 0 4 L    4 7 / 4 3 1  
                    H 0 4 L    1 2 / 9 5 5