

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4211063号
(P4211063)

(45) 発行日 平成21年1月21日(2009.1.21)

(24) 登録日 平成20年11月7日(2008.11.7)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 9 A

G O 2 F 1/1368 (2006.01)

H O 1 L 29/78 6 2 6 B

G O 2 F 1/1368

請求項の数 21 (全 23 頁)

(21) 出願番号 特願平11-528193
 (86) (22) 出願日 平成11年1月4日(1999.1.4)
 (86) 国際出願番号 PCT/JP1999/000004
 (87) 国際公開番号 W01999/035678
 (87) 国際公開日 平成11年7月15日(1999.7.15)
 審査請求日 平成15年7月7日(2003.7.7)
 (31) 優先権主張番号 特願平10-1175
 (32) 優先日 平成10年1月6日(1998.1.6)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人
 弁理士 上柳 雅誉
 (74) 代理人
 弁理士 須澤 修
 (72) 発明者 川田 浩孝
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 河本 充雄

(56) 参考文献 特開平07-301825(JP, A)

最終頁に続く

(54) 【発明の名称】 電気光学装置用基板、電気光学装置及び電子機器並びに投射型表示装置

(57) 【特許請求の範囲】

【請求項1】

基板上に、マトリクス状に形成される複数の画素領域の各画素領域毎に配置されるトランジスタと、前記トランジスタの上方に設けられ、前記トランジスタに電氣的に接続されるデータ線と、前記データ線と交差する走査線と、前記データ線の上方に設けられ、前記走査線と重なるように延在し、所定の電位が印加された遮光層とを備えた電気光学装置用基板において、

前記トランジスタの半導体層は、チャネル領域と該チャネル領域の両側に隣接するソース・ドレイン領域とが前記データ線に沿って設けられると共に前記遮光層に覆われており、前記半導体層は、前記チャネル領域から前記走査線と重なるように延在し、前記走査線と交差する方向に突出したコンタクト領域を有しており、当該コンタクト領域において、前記遮光層と電氣的に接続されることを特徴とする電気光学装置用基板。

【請求項2】

前記コンタクト領域と前記遮光層とは、前記データ線と同一層からなる中継配線を介して電氣的に接続されることを特徴とする請求項1記載の電気光学装置用基板。

【請求項3】

前記トランジスタはNチャネル型トランジスタであって、前記遮光層には前記トランジスタに供給される画像信号の電位以下の電位が印加されることを特徴とする請求項1記載の電気光学装置用基板。

【請求項4】

前記トランジスタはPチャネル型トランジスタであって、前記遮光層には前記トランジスタに供給される画像信号の電位以上の電位が印加されることを特徴とする請求項1記載の電気光学装置用基板。

【請求項5】

前記トランジスタはNチャネル型トランジスタであって、前記遮光層には、前記Nチャネル型トランジスタの導通・非導通を制御する走査信号の非選択電位が印加されることを特徴とする請求項1記載の電気光学装置用基板。

【請求項6】

前記トランジスタはPチャネル型トランジスタであって、前記遮光層には、前記Pチャネル型トランジスタの導通・非導通を制御する走査信号の非選択電位が印加されることを特徴とする請求項1記載の電気光学装置用基板。

10

【請求項7】

前記コンタクト領域は、前記チャネル領域より高不純物濃度であることを特徴とする請求項1記載の電気光学装置用基板。

【請求項8】

前記遮光層は、前記トランジスタの導通・非導通を制御する走査信号が印加される走査線の上方に平面的に重なるように配置されることを特徴とする請求項1乃至7のいずれかに記載の電気光学装置用基板。

【請求項9】

前記トランジスタのチャネル領域となる半導体層の前記基板側には、更なる遮光層が平面的に重なるように配置されることを特徴とする請求項1乃至8のいずれかに記載の電気光学装置用基板。

20

【請求項10】

前記画素領域の周辺の前記基板上には周辺回路を配置し、前記周辺回路を構成するトランジスタのチャネル領域となる半導体層は、当該トランジスタを遮光する遮光層に電氣的に接続されることを特徴とする請求項1記載の電気光学装置用基板。

【請求項11】

前記周辺回路はPチャネル型トランジスタ及びNチャネル型トランジスタによって構成され、前記Pチャネル型トランジスタを遮光する第1の遮光層と、前記Nチャネル型トランジスタを遮光する第2の遮光層とを有し、前記第1の遮光層と前記第2の遮光層とは分離配置され、前記第1の遮光層と前記Pチャネル型トランジスタのチャネル領域とを電氣的に接続し、前記第2の遮光層と前記Nチャネル型トランジスタのチャネル領域とを電氣的に接続してなることを特徴とする請求項10記載の電気光学装置用基板。

30

【請求項12】

前記画素領域の遮光層と前記周辺回路の遮光層とは同一層により形成されてなることを特徴とする請求項10又は11記載の電気光学装置用基板。

【請求項13】

前記画素領域の遮光層は、前記周辺回路の配線層と同一層により形成されてなることを特徴とする請求項10又は11記載の電気光学装置用基板。

【請求項14】

前記画素領域のトランジスタはNチャネル型トランジスタであって、前記画素領域の遮光層と前記周辺回路のNチャネル型トランジスタの遮光層に印加される電位を接地電位とすることを特徴とする請求項11記載の電気光学装置用基板。

40

【請求項15】

前記画素領域のトランジスタはPチャネル型トランジスタであって、前記画素領域の遮光層と前記周辺回路のPチャネル型トランジスタの遮光層に印加される電位を接地電位とすることを特徴とする請求項11記載の電気光学装置用基板。

【請求項16】

前記基板が絶縁物質からなることを特徴とする請求項1乃至15のいずれかに記載の電気光学装置用基板。

50

【請求項 17】

前記基板が石英基板からなることを特徴とする請求項 1 乃至 15 のいずれかに記載の電気光学装置用基板。

【請求項 18】

前記基板がガラス基板からなることを特徴とする請求項 1 乃至 15 のいずれかに記載の電気光学装置用基板。

【請求項 19】

請求項 1 乃至 18 のいずれかに記載の電気光学装置用基板と、対向基板とが間隙を有して配置されるとともに、該間隙内に電気光学材料が封入されて構成されることを特徴とする電気光学装置。

10

【請求項 20】

請求項 19 に記載の電気光学装置を表示装置として用いることを特徴とする電子機器。

【請求項 21】

光源と、前記光源からの光を変調する請求項 19 記載の電気光学装置と、前記電気光学装置により変調された光を投射する投射光学手段とを備えることを特徴とする投射型表示装置。

【発明の詳細な説明】

〔技術分野〕

本発明は、半導体装置、電気光学装置用基板、電気光学装置、及び電子機器並びに投射型表示装置に関する。

20

〔背景技術〕

絶縁基体上にシリコン薄膜を形成し、そのシリコン薄膜に半導体デバイスを形成する S O I (Silicon On Insulator) 技術は、素子の高速化や低消費電力化、高集積化等の利点を有することから広く研究されている。

この S O I 技術の 1 つとして、単結晶シリコン基板の貼り合わせによる S O I 基板の作製技術がある。一般に貼り合わせ法と呼ばれるこの手法は、単結晶シリコン基板と支持基板を水素結合力を利用して貼り合わせた後、熱処理によって貼り合わせ強度の強化がなされ、次いで単結晶シリコン基板の研削や研磨、またはエッチングによって薄膜の単結晶シリコン層を支持基板上に形成するものである。この手法では、直接単結晶のシリコン基板を薄膜化するために、シリコン薄膜の結晶性に優れ、高性能のデバイスを作成できる。

30

また、この貼り合わせ法を応用したものとして、単結晶シリコン基板に水素イオンを注入し、これを支持基板と貼り合わせた後、熱処理によって薄膜シリコン層を単結晶シリコン基板の水素注入領域から分離する手法 (U S Patent No. 5, 374, 564) や、表面を多孔質化したシリコン基板上に単結晶シリコン層をエピタキシャル成長させ、これを支持基板と貼り合わせた後にシリコン基板を除去し、多孔質シリコン層をエッチングすることにより支持基板上にエピタキシャル単結晶シリコン薄膜を形成する手法 (特開平 4 - 346418 号) などが知られている。

このような貼り合わせ法による S O I 基板は通常のパルク半導体基板と同様に、さまざまなデバイスの作製に用いられているが、従来のパルク基板と異なる特徴として、支持基板に様々な材料を使用することが可能な点を挙げることができる。すなわち支持基板として通常のシリコン基板はもちろんのこと、透明な石英、あるいはガラス基板などを用いることができる。透明な基板上に単結晶シリコン薄膜を形成することによって、光透過性を必要とするデバイス、例えば透過型の液晶表示デバイスなどにも結晶性に優れた単結晶シリコンを用いて高性能なトランジスタ素子を形成することが可能となる。

40

ところで、通常のシリコン基板上の電界効果型トランジスタ、いわゆる M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) では、ウェルの電位を固定する事で、同じウェル内に形成された M O S F E T のチャネル電位を固定することができる。しかし、S O I 基板においては、M O S F E T のチャネル領域が形成される基板表面は絶縁物であって、そのチャネル領域はトランジスタ毎に電氣的に完全分離されるため、チャネルの電位を各トランジスタ毎に固定する必要がある。チャネル電位を固定できない場合には

50

、基板浮遊効果により、チャネル領域にキャリア（電荷）が蓄積しやすくなる。特に、チャネル領域が単結晶シリコンである場合は、単結晶シリコンの電荷移動度が高いために、M O S F E T がオフ状態でもソース・ドレインの電位差でチャネル領域に電荷が蓄積してしまう。また、M O S F E T がオンの時でも過剰な電流が流れ易くなる。従って、M O S F E T の薄膜構造においては、その余分なキャリア（電荷）によってトランジスタ素子のドレインの耐破壊電圧が低下したり、トランジスタ素子の電流電圧特性にキックが生じたりするといった種々の問題が引き起こされるものである。従って、チャネル電位を固定する必要がある。

その余剰な電荷によりチャネル電位固定の方法としては、ソース領域にチャネルと同じ導電性の不純物領域を形成して、チャネルとソースを同電位にするソースタイと呼ばれる方法（例えば、IEEE Trans. Electron Device, Vol.35, p.1391, 1988）や、ゲート端からチャネル領域を引き出し、その部分にコンタクトを取るH（T）型ゲートと呼ばれる方法（例えば、IEEE Trans. Electron Device, Vol.ED-36, p.938, 1989）などが知られている。

しかしながら、液晶パネルの各画素に設けられ、画素電極に信号に応じた電圧を供給するM O S F E T は、電位によってソースとドレインが入れ替わるためM O S F E T に対称性が必要になるので、S O I 基板上に作製したM O S F E T で液晶を駆動するには、M O S F E T 構造が非対称性のソースタイ構造を用いることはできない。また、対称性の良いH（T）型ゲートを使用するためには、走査線、データ線以外にチャネル電位を固定する電位線が必要になり、特に明るさが重要になる透過型の液晶表示デバイスでは、開口率が減少してしまうという問題がある。

本発明の目的は、S O I 基板のように、絶縁物上に形成したM O S F E T を用いる半導体装置において、M O S F E T を遮光する遮光層にM O S F E T のチャネル電位を固定することにより、信頼性が高く高品位の半導体装置、電気光学装置用基板、それを用いた電気光学装置、及びそれを用いた電子機器及び投射型表示装置を提供することにある。

〔発明の開示〕

本発明の参考例に係る半導体装置は、上記課題を解決するために、絶縁物上に形成された半導体層を備えた半導体装置であって、前記半導体層に少なくともチャネル領域が形成されるトランジスタと、前記トランジスタを遮光する遮光層とを有し、前記遮光層と前記トランジスタのチャネル領域とを電気的に接続してなることを特徴とする。本発明によれば、遮光層はトランジスタを遮光して光リーク電流によるトランジスタの誤動作を防止するとともに、チャネルの電位を安定化させることに用いられる。よって、トランジスタのチャネルに電位印加されるので、チャネルに蓄積した余剰なキャリア（電荷）を遮光層に引き抜くなどして基板浮遊効果を抑制することができ、それによりトランジスタの耐圧を向上し、トランジスタの電流電圧特性のキックを抑制することができる。

また、本発明の参考例に係る半導体装置においては、前記トランジスタはNチャネル型トランジスタであって、前記Nチャネル型トランジスタのチャネル領域と電気的に接続される前記遮光層に、低電位側の電源電位を供給することが望ましい。Nチャネル型トランジスタには、電子（負の電荷）がチャネル領域に蓄積される。この蓄積された余剰キャリアを引き抜いて電位を安定化させるために、低電源電位が印加されることにより効果的にキャリア（電荷）を引き抜ける。

また、本発明の参考例に係る半導体装置においては、前記トランジスタはNチャネル型トランジスタであって、前記Nチャネル型トランジスタのチャネル領域と電気的に接続される前記遮光層に、前記Nチャネル型トランジスタのソース・ドレイン領域の一方に印加される電位の最低電位以下の電位を供給することが望ましい。Nチャネル型トランジスタのソース・ドレインに印加される電位以下の低電源電位が印加されることにより効果的にキャリア（電荷）を引き抜ける。

また、本発明の参考例に係る半導体装置においては、前記トランジスタはPチャネル型トランジスタであって、前記Pチャネル型トランジスタのチャネル領域と電気的に接続される前記遮光層に、高電位側の電源電位を供給することが望ましい。Pチャネル型トランジ

10

20

30

40

50

スタには、電荷がチャネル領域に蓄積される。この蓄積された余剰キャリアを引き抜いて電位を安定化させるために、高電源電位が印加されることにより効果的にキャリア（電荷）を引き抜ける。

また、本発明の参考例に係る半導体装置においては、前記トランジスタはPチャネル型トランジスタであって、前記Pチャネル型トランジスタのチャネル領域と電氣的に接続される前記遮光層に、前記Pチャネル型トランジスタのソース・ドレイン領域の一方に印加される電位の最高電位以上の電位を供給することが望ましい。Pチャネル型トランジスタのソース・ドレインに印加される電位以上の高電源電位が印加されることにより効果的にキャリア（電荷）を引き抜ける。

また、本発明の参考例に係る半導体装置においては、前記トランジスタのチャネル領域の半導体層は延在されて同一導電型のコンタクト領域を形成し、前記コンタクト領域と前記遮光層とが電氣的に接続されてなることが望ましい。チャネル領域の直下や直上に引き抜きのコンタクトホールを設けずに、チャネル領域の半導体層を引き伸ばして、そこで遮光層とチャネル領域を接続するので、チャネルの膜厚は変更されるものではなく、トランジスタのスイッチング動作に影響を与えない。加えて、チャネルと同一導電型のコンタクト領域で接続しているので、チャネルに電位を印加しやすい。その場合、前記コンタクト領域は、前記チャネル領域より高不純物濃度であることが望ましい。それにより、コンタクト領域の抵抗値を下げることができ、チャネルに電位を印加しやすい。

また、本発明の参考例に係る半導体装置においては、前記遮光層は、前記トランジスタの上方を覆うように配置されることが望ましい。トランジスタの上方からの光を遮光することにより、トランジスタの光リーク電流を防止することができる。

さらに、本発明の参考例に係る半導体装置は、上記課題を解決するために、絶縁物上に形成された半導体層を備えた半導体装置であって、前記半導体層に少なくともチャネル領域が形成されるPチャネル型トランジスタ及びNチャネル型トランジスタと、前記Pチャネル型トランジスタを遮光する第1の遮光層と、前記Nチャネル型トランジスタを遮光する第2の遮光層とを有し、前記第1の遮光層と前記第2の遮光層とは分離配置され、前記第1の遮光層と前記Pチャネル型トランジスタのチャネル領域とを電氣的に接続し、前記第2の遮光層と前記Nチャネル型トランジスタのチャネル領域とを電氣的に接続してなることを特徴とする。本発明によれば、遮光層はトランジスタを遮光して光リーク電流によるトランジスタの誤動作を防止するとともに、相補型トランジスタのそれぞれのトランジスタのチャネルの電位を安定化させることに用いられる。よって、トランジスタのチャネルに電位印加されるので、チャネルに蓄積した余剰なキャリア（電荷）を遮光層に引き抜くなどして基板浮遊効果を抑制することができ、それにより相補型トランジスタの耐圧を向上し、トランジスタの電流電圧特性のキックを抑制することができる。また、遮光層はPチャネル用とNチャネル用で分離されているので、相補型トランジスタのチャネルに異なる電位を印加することができる。

また、本発明の参考例に係る半導体装置においては、前記第1の遮光層に高電位側の電源電位を供給し、前記第2の遮光層に低電位側の電源電位を供給することが望ましい。Pチャネル型トランジスタのチャネルには第1の遮光層を介して高電源電位が印加されることにより効果的に余剰なキャリア（電荷）を逃すことができ、Nチャネル型トランジスタのチャネルには、第2の遮光層を介して低電源電位が印加されることにより効果的に余剰なキャリア（電荷）を逃すことができる。

また、本発明の参考例に係る半導体装置においては、前記Pチャネル型トランジスタ及び前記Nチャネル型トランジスタのチャネル領域の半導体層はそれぞれ延在されて同一導電型のコンタクト領域をそれぞれ形成し、前記各コンタクト領域と前記各遮光層とが電氣的に接続されてなることが望ましい。チャネル領域の直下や直上に引き抜きのコンタクトホールを設けずに、チャネル領域の半導体層を引き伸ばして、そこで遮光層とチャネル領域を接続するので、チャネルの膜厚は変更されるものではなく、トランジスタのスイッチング動作に影響を与えない。加えて、チャネルと同一導電型のコンタクト領域で接続しているので、チャネルに電位を印加しやすい。

10

20

30

40

50

また、本発明の参考例に係る半導体装置においては、前記Pチャネル型トランジスタ及び前記Nチャネル型トランジスタは、電気光学装置の駆動回路を構成してなることが望ましい。本発明の半導体装置を駆動回路に用いることにより、高速動作する駆動回路での動作を安定化させることができる。また、高速動作により発生した熱を遮光層により放熱することもできる。

本発明の電気光学装置用基板は、上記課題を解決するために、基板上に、マトリクス状に形成される複数の画素領域の各画素領域毎に配置されるトランジスタと、前記トランジスタの上方に設けられ、前記トランジスタに電氣的に接続されるデータ線と、前記データ線と交差する走査線と、前記データ線の上方に設けられ、前記走査線と重なるように延在し、所定の電位が印加された遮光層とを備えた電気光学装置用基板において、前記トランジスタの半導体層は、チャンネル領域と該チャンネル領域の両側に隣接するソース・ドレイン領域とが前記データ線に沿って設けられると共に前記遮光層に覆われており、前記半導体層は、前記チャンネル領域から前記走査線と重なるように延在し、前記走査線と交差する方向に突出したコンタクト領域を有しており、当該コンタクト領域において、前記遮光層と電氣的に接続されることを特徴とする。本発明によれば、遮光層はトランジスタを遮光して光リーク電流によるトランジスタの誤動作を防止するとともに、チャンネルの電位を安定化させることに用いることができる。特に、画素のトランジスタのソース・ドレインには電圧振幅の大きい画像信号が印加され、チャンネルにも余剰なキャリア（電荷）が蓄積しやすくなるが、その余剰なキャリアは遮光層からの電位印加により解消することができるので、トランジスタの耐圧を向上し、トランジスタのスイッチング動作を安定化させることができる。また、半導体層の活性領域を遮光層に接続したことにより、遮光層を介してトランジスタにて発生した熱を放熱することもできる。特に、半導体層が単結晶シリコン層の場合は、電荷移動度が強く熱発生しやすいので、放熱対策は必要となる。

また、前記コンタクト領域と前記遮光層とは、前記データ線と同一層からなる中継配線を介して電氣的に接続されることを特徴とする。

また、本発明においては、前記トランジスタはNチャネル型トランジスタであって、前記遮光層には前記トランジスタに供給される画像信号の電位以下の電位が印加されることが望ましい。Nチャネル型トランジスタには、ソース・ドレインに印加されるのは画像信号に基づいて電荷がチャンネル領域に蓄積される。この蓄積された余剰キャリアを引き抜いて電位を安定化させるために、画像信号以下の低電源電位が印加されることにより効果的にキャリア（電荷）を引き抜ける。

また、本発明においては、前記トランジスタはPチャネル型トランジスタであって、前記遮光層には前記トランジスタに供給される画像信号の電位以上の電位が印加されることが望ましい。Pチャネル型トランジスタには、ソース・ドレインに印加されるのは画像信号に基づいて電荷がチャンネル領域に蓄積される。この蓄積された余剰キャリアを引き抜いて電位を安定化させるために、画像信号以上の高電源電位が印加されることにより効果的にキャリア（電荷）を引き抜ける。

また、本発明においては、前記トランジスタはNチャネル型トランジスタであって、前記遮光層には、前記Nチャネル型トランジスタの導通・非導通を制御する走査信号の非選択電位が印加されることが望ましい。非選択電位は、通常、Nチャネル型トランジスタを非導通させるために画像信号電位より低い電位に設定されるので、その電位を兼用することにより余分な電源電圧を要しない。

また、本発明においては、前記トランジスタはPチャネル型トランジスタであって、前記遮光層には、前記Pチャネル型トランジスタの導通・非導通を制御する走査信号の非選択電位が印加されることが望ましい。非選択電位は、通常、Pチャネル型トランジスタを非導通させるために画像信号電位より高い電位に設定されるので、その電位を兼用することにより余分な電源電圧を要しない。

また、本発明においては、前記トランジスタのチャンネル領域の半導体層は延在されて同一導電型のコンタクト領域を形成し、前記コンタクト領域と前記遮光層とが電氣的に接続されることが望ましい。チャンネル領域の直下や直上に引き抜きのコンタクトホールを設けず

10

20

30

40

50

に、チャンネル領域の半導体層を引き伸ばして、そこで遮光層とチャンネル領域を接続するので、チャンネルの膜厚は変更されるものではなく、トランジスタのスイッチング動作に影響を与えない。加えて、チャンネルと同一導電型のコンタクト領域で接続しているので、チャンネルに電位を印加しやすい。その場合、前記コンタクト領域は、前記チャンネル領域より高不純物濃度であることが望ましい。それにより、コンタクト領域の抵抗値を下げることができ、チャンネルに電位を印加しやすい。

また、本発明においては、前記遮光層は、前記トランジスタの導通・非導通を制御する走査信号が印加される走査線の上方に平面的に重なるように配置されることが望ましい。遮光層を走査線の上部に形成すれば、遮光層領域の他の領域は、光透過領域とすることにより高い開口率のデバイスを作成することが可能になる。

10

また、本発明においては、前記トランジスタのチャンネル領域となる半導体層の前記基板側には、更なる遮光層が平面的に重なるように配置されることが望ましい。トランジスタを上方と下方から挟んで遮光するので、基板の上方及び下方からの入射光からトランジスタを遮光することができる。

また、本発明においては、前記画素領域の周辺の前記基板上には周辺回路を配置し、前記周辺回路を構成するトランジスタのチャンネル領域となる半導体層は、当該トランジスタを遮光する遮光層に電氣的に接続されることが望ましい。画素領域だけでなく、周辺回路にも同様な対策を施すことによって、電気光学装置の信頼性を全体的に向上させることができる。

また、本発明においては、前記周辺回路はPチャンネル型トランジスタ及びNチャンネル型トランジスタによって構成され、前記Pチャンネル型トランジスタを遮光する第1の遮光層と、前記Nチャンネル型トランジスタを遮光する第2の遮光層とを有し、前記第1の遮光層と前記第2の遮光層とは分離配置され、前記第1の遮光層と前記Pチャンネル型トランジスタのチャンネル領域とを電氣的に接続し、前記第2の遮光層と前記Nチャンネル型トランジスタのチャンネル領域とを電氣的に接続してなることが望ましい。周辺回路を相補型トランジスタによって構成した場合においても同様な対策を施すことによって、電気光学装置の信頼性を全体的に向上させることができる。

20

また、本発明においては、前記画素領域の遮光層と前記周辺回路の遮光層とは同一層により形成されてなることが望ましい。また、前記画素領域の遮光層は、前記周辺回路の配線層と同一層により形成されてなることが望ましい。それにより、画素領域内外で余分な配線層を要しない。

30

また、本発明においては、前記画素領域のトランジスタはNチャンネル型トランジスタであって、前記画素領域の遮光層と前記周辺回路のNチャンネル型トランジスタの遮光層に印加される電位を接地電位とすることが望ましい。電気光学装置の中で数の多いトランジスタがNチャンネル型であれば、数多いトランジスタを安定的に動作させるためには、Nチャンネル型トランジスタのチャンネルに接続する電位を接地電位とすることが好ましい。

また、本発明においては、前記画素領域のトランジスタはPチャンネル型トランジスタであって、前記画素領域の遮光層と前記周辺回路のPチャンネル型トランジスタの遮光層に印加される電位を接地電位とすることが望ましい。電気光学装置の中で数の多いトランジスタがPチャンネル型であれば、数の多いトランジスタを安定的に動作させるためには、Pチャンネル型トランジスタのチャンネルに接続する電位を接地電位とすることが好ましい。

40

また、本発明において、前記基板が絶縁物質からなる、或いは前記基板が石英基板からなる、或いは前記基板がガラス基板からなる。本発明は、絶縁物上に半導体層を形成するSOI基板に用いるのに最適な技術である。

さらに、本発明の電気光学装置においては、上記の電気光学装置用基板と、対向基板とが間隙を有して配置されるとともに、該間隙内に電気光学材料が封入されて構成される。これにより、高性能なトランジスタを有するアクティブマトリクス型液晶パネル等の電気光学装置を提供することができる。また、この電気光学装置は、画素電極の形成材料の選択により、透過型、反射型のどちらにも適用することができる。

さらに、本発明の電子機器は、上記の電気光学装置を表示装置として用いるので、表示装

50

置の信頼性を向上することができる。

さらに、本発明の投射型表示装置は、光源と、前記光源からの光を変調する上記の電気光学装置と、前記電気光学装置により変調された光を投射する投射光学手段とを備える。本発明の電気光学装置は、強力な光源を電気光学装置に照射する投射型表示装置のライトバルブとして用いることに最適である。

【図面の簡単な説明】

図 1 は本発明の第 1 の実施形態における液晶パネル用基板の画素部を示す平面図。

図 2 は図 1 の X - X ' 断面を示す断面図。

図 3 は本発明の第 1 の実施形態における液晶パネル用基板の画素部の半導体層の活性領域レイアウトを示す平面図。

10

図 4 は本発明の各実施形態における液晶パネル用基板の画素部の半導体層からアルミニウム層までのレイアウトを示す平面図。

図 5 は本発明の各実施形態における液晶パネルの画素部の等価回路図。

図 6 は図 5 の等価回路図における駆動波形図。

図 7 は本発明の第 2 の実施形態における液晶パネル用基板の画素部の断面を示す断面図。

図 8 は本発明の第 2 の実施形態における液晶パネル用基板の画素部の半導体層の活性領域レイアウトを示す平面図。

図 9 は本発明の液晶パネル用基板の平面図。

図 10 は本発明の液晶パネルの断面図。

図 11 は本発明の周辺回路を構成する相補型インバータの平面レイアウト図。

20

図 12 及び図 13 は本発明の投射型表示装置の光学構成図。

図 14 は本発明の電子機器の概観図。

- 1 ... 透明支持基板
- 2 ... 埋込絶縁膜
- 3 ... 活性領域
- 4 ... ゲート電極
- 5 a ... チャネル領域
- 5 b ... チャネルコンタクト領域
- 6 ... ソース・ドレイン領域
- 7 ... 層間絶縁膜
- 8 ... データ線
- 9 a , 9 b ... アルミニウム配線
- 10 ... 層間絶縁膜
- 11 ... 遮光層
- 12 ... アルミニウム配線
- 13 ... パッシベーション膜
- 14 ... 透明画素電極
- 15 ... コンタクトホール
- 16 ... V I A ホール
- 17 ... V I A ホール
- 20 ... 埋込遮光層
- 30 ... 活性領域
- 101 ... 透明基板
- 102 ... 表示画素領域
- 103 ... 画素電極
- 104 ... 走査線駆動回路
- 105 ... データ線駆動回路
- 106 ... 入力回路
- 107 ... タイミング制御回路
- 108 ... パッド領域

30

40

50

- 1 1 0 ... 液晶パネル用基板
- 1 1 1 ... 入射側のガラス基板
- 1 1 2 ... 対向電極
- 1 1 3 ... シール材
- 1 1 4 ... 液晶
- 1 2 0 ... 液晶パネル

〔発明を実施するための最良の形態〕

以下、本発明の好適な実施形態を図面に基づいて説明する。

（第１の実施形態）

本実施の形態は、電気光学装置用基板の一例としての液晶パネル用基板を示す。本実施の形態においては、電気光学装置用基板を絶縁物上に半導体層を形成したＳＯＩ基板を用いた構成に基づいて説明する。また、以下、各実施形態においては、絶縁物上に形成したＭＯＳＦＥＴを有する電気光学装置用基板を本発明の半導体装置の一例として説明する。

図１は本実施形態の液晶パネル用基板の画素部における各層のレイアウトを示す平面図である。また、図３は本実施形態の液晶パネル用基板の画素部における半導体層（単結晶シリコン層）のレイアウトを示す平面図である。図４は本実施形態の液晶パネル用基板の画素部における半導体層（単結晶シリコン層）、多結晶シリコン層及び一層目のアルミニウム層までのレイアウトを示す平面図である。図２は図１中に示したＸ－Ｘ'の点線で結ばれる個所の断面を示した断面図である。なお、図３，図４においても図２の断面に対応する個所に、Ｘ－Ｘ'の点線を付加した。

液晶パネル用基板においては、基板上に、複数の走査線と複数のデータ線がマトリクス状に交差して配置され、その交差点近傍にゲートを走査信号線、ソースを画像信号線、ドレインの他方を画素電極に接続したＭＯＳＦＥＴが配置される。このＭＯＳＦＥＴは、ガラス等の光透過性の絶縁性基板上に形成される半導体層（シリコン層）に形成されるソース・ドレイン・チャネルからなる。なお、画素電極は、走査線とデータ線の交差によって形成される画素領域に開けられた開口部に配置されるものである。このようなマトリクス構成により表示画素領域が構成される。

図１において、８は表示画素領域の縦方向（垂直方向）に延在して配列されるデータ線を示す。１１はデータ線８の上方に絶縁膜を介してデータ線８と交差する表示画素領域の横方向（水平方向）に延在して配置される遮光層を示す。遮光層１１の幅が太くなっている部分の下層にＭＯＳＦＥＴが配置されている。また、遮光層１１の下には後述するように走査線が重なるように、表示画素領域の横方向（水平方向）に配置されている。このＭＯＳＦＥＴのドレイン領域となる半導体層はその上に形成された絶縁膜に開口されたコンタクトホール１６ａを介して導電層１２に接続され、さらに導電層１２はその上に形成された絶縁膜に開口されたコンタクトホール１７を介して画素電極１４に接続されている。画素電極１４は、遮光層１１とデータ線８との格子によって区画された開口部に配置される。

次に、図１におけるＸ－Ｘ'の断面を示す図２に基づいて、断面構成を説明する。図２において、１は石英ガラスやＯＡガラスのような光透過性を有する透明な絶縁性の支持基板、２は支持基板１上に形成された二酸化シリコンなどの埋込絶縁膜、３，５ａ，５ｂ，６は半導体層を示す。このうち３は素子分離用の絶縁膜である。本実施形態においては、この半導体層は、周知のＳＯＩ技術によって貼り合わせて形成された単結晶シリコン層を一例とする。具体的には、絶縁膜２が表面に形成された支持基板１と表面に絶縁膜２が形成された単結晶シリコン基板とを加熱して貼り合わせ、上記半導体層を残してシリコン基板を剥離又はエッチングして、絶縁膜２上に単結晶シリコン層を形成する。その後、単結晶シリコン層の非素子領域（ＦＥＴの非形成領域）を選択酸化することにより素子分離用のフィールド酸化膜（いわゆるＬＯＣＯＳ）３を形成してなる。このフィールド酸化膜３により囲まれた領域の半導体層が活性領域３０となる。

さらに、この単結晶シリコン層の上に二酸化シリコンからなるゲート絶縁膜１８が形成され、さらにその上に、多結晶シリコンによって走査線ともなるゲート電極４が形成される

。ゲート絶縁膜 18 にはシリコン酸化膜を用いた。本実施形態では、このシリコン酸化膜は、L T O (Low Temperature Oxide) によるシリコン酸化膜とした。この絶縁膜は単結晶シリコン層の表面を熱酸化した熱酸化膜でも、単結晶シリコン層上に堆積させた窒化膜でも構わない。また複数層の積層でも構わない。また、ゲート電極 4 となる導電層としては多結晶シリコン層を用いたが、多結晶シリコンに高融点金属を積層したシリサイド構造としてもよい。

このような、ソース・ドレイン領域 6 a ・ 6 b と、チャネル領域 5 a と、ゲート絶縁膜 18 と、ゲート電極 4 とにより、M O S F E T が構成される。特に、本実施形態のように、絶縁物上に形成された薄膜層によって F E T を構成したものは薄膜トランジスタ (Thin Film Transistor: T F T) と呼ばれる。

10

ここで半導体層のレイアウトを示す図 3 を用いて、基板上に形成された活性領域 30 のパターンを説明する。上記フィールド酸化膜 3 によって囲まれたパターン 6 a , 6 b , 5 a , 5 b が活性領域 30 のパターンとなる。すなわち、活性領域 30 どちらが単結晶シリコン層に形成されるフィールド酸化膜 3 を間に置いて配置されるようになるため、M O S F E T 等の形成される素子領域 (活性領域) 30 は他の素子領域 (活性領域) 30 と電氣的に完全に分離される。詳細は後述するが、M O S F E T は活性領域 30 に形成される 5 a をチャネル領域、6 a をドレイン領域、6 b をソース領域として構成される。さらに、活性領域 30 には、容量電極部 6 c 、コンタクト領域 5 b も形成される。本実施形態においては、各画素に配置する M O S F E T を N チャネル型トランジスタとするため、ソース領域 6 b , ドレイン領域 6 a , 容量電極部 6 c は N 型半導体領域、チャネル領域 5 a , コンタクト領域 5 b は P 型半導体領域となるように、それぞれ対応する不純物が単結晶シリコン層に導入され、その不純物が活性化されて活性領域が形成される。

20

再び、図 2 に戻って説明すると、本実施形態においては、各画素に N チャネル型トランジスタを配置する構成であるため、上記ゲート電極 4 の下のチャネル領域 5 a にはゲート電極 4 の形成前に、低不純物濃度の P 型不純物を導入した P 型半導体領域を形成しておくことが必要となる。また、該チャネル領域 5 a の両側の単結晶シリコン層には、チャネル領域 5 a より高濃度の N 型不純物が導入された N 型拡散層からなるソース領域 6 b ・ドレイン領域 6 a が形成される。なお、図 2 では、ソース領域 6 b と容量電極部 6 c は図示されていない。また、図 2 に図示されるように、チャネル領域 5 a とそれに繋がったコンタクト領域 5 b は同じ P 型半導体領域であっても不純物濃度はコンタクト領域 5 b の方が高くなるように不純物が導入される。また、図示されない容量電極部 6 c はドレイン領域 6 a を延在した領域であって、ドレイン領域 6 a と同一導電型の同一不純物濃度として形成される。このような半導体層の活性領域への不純物の導入は、ゲート絶縁膜 18 を形成した後に、活性領域 30 全体にチャネル領域 5 a に対応する不純物を導入してから他の各領域に対してそれぞれに対応した導電型と濃度の不純物を導入し、それからゲート電極 4 を形成してもよいし、ゲート絶縁膜 18 の形成後に、チャネル領域 5 a の不純物濃度を活性領域 30 全体に導入してから、ゲート電極を形成し、その後他の各領域に対してそれぞれに対応した導電型と濃度の不純物を導入するようにしてもよい。

30

次に、ソース領域 6 b , ドレイン領域 6 a , チャネル領域 5 a , コンタクト領域 5 b の半導体層の活性領域 30 上方のゲート絶縁膜 18 及びゲート電極 4 上には、B P S G (Boron Phosphorus Silica Glass) 膜のような絶縁膜 7 が形成され、その上に一層目のアルミニウム層からなるデータ線 8 (図 1 及び図 4 参照) が形成される。このデータ線 8 の平面的な位置は図 1 に示される。図 4 にはこのデータ線 8 と半導体層との接続が示されており、データ線 8 の一部がデータ線のアルミニウム層とドレイン領域 6 b との間に介在される絶縁膜 7 に形成されたコンタクトホール 15 b を介してソース領域 6 b に電氣的に接続されている。ソース領域 6 b とコンタクトホール 15 b の関係は図 3 に示されている。

40

また、図 2 に示されるように、M O S F E T の上方には上記データ線 8 と同一層からなる一層目のアルミニウム層によって第 1 の中継配線 9 a と第 2 の中継配線 9 b も形成される。この第 1 の中継配線 9 a は上記絶縁膜 7 に形成されたコンタクトホール 15 a にて上記ドレイン領域 6 a に電氣的に接続され、第 2 の中継配線 9 b は上記絶縁膜 7 に形成され

50

たコンタクトホール 7 a にて上記コンタクト領域 5 b に電氣的に接続される。

さらに第 1、第 2 の中継配線 9 a、9 b の上には、S O G (Spin On Glass) 膜のような平坦化膜と L T O (Low Temperature Oxide) 膜の積層からなる絶縁膜 1 0 が形成される。

さらに、絶縁膜 1 0 の上には、二層目のアルミニウム層によって遮光層 1 1 と第 3 の中継配線が形成される。遮光層 1 1 は上記絶縁膜 1 0 に形成されたコンタクトホール 1 6 b にて一層目のアルミニウム層からなる第 2 の中継配線 9 b に電氣的に接続される。また、第 3 の中継配線 1 2 は上記絶縁膜 1 0 に形成されたコンタクトホール 1 6 a を介して第 1 の中継配線 9 a に電氣的に接続される。

さらに、遮光層 1 1 及び第 3 の中継配線 1 2 の上には、窒化シリコンのようなパッシベーション膜の絶縁膜 1 3 が形成される。第 3 の中継配線 1 2 はその上に形成された I T O (Indium Tin Oxide) のような透明導電膜からなる画素電極 1 4 に、絶縁膜 1 3 に形成されたコンタクトホール 1 7 を介して電氣的に接続される。なお、図示されないが、I T O 上には液晶分子を配向するための配向膜が形成されており、それには配向方向を決めるラビング処理がなされる。

以上に説明した構造によって、基板上に、ゲート電極 4 を走査線 4 に電氣的に接続し、ソース・ドレイン領域の一方 6 b をデータ線 8、他方 6 a を画素電極 1 4 に電氣的に接続した M O S F E T が構成される。M O S F E T のソース・ドレイン領域の他方 6 a と画素電極 1 4 が、コンタクトホール 1 5 a、第 1 の中継配線 9 a、コンタクトホール 1 6 a、第 3 の中継配線 1 2、コンタクトホール 1 7 を介して電氣的に接続されることになる。また、ソース・ドレイン領域の他方 6 b は延在されて容量電極部 6 c が構成される。この容量電極部 6 c は、後述するように、データ線 8 から M O S F E T を介して画素電極 1 4 に印加する電圧を蓄積保持する蓄積容量の電極となる。蓄積容量において、容量電極部 6 c と対向する電極は隣接する段の走査線 4 である。この走査線 4 は、一水平走査期間前に既に選択され本水平走査期間では非選択電位が印加されている前段の走査線である。また、チャネル領域 5 a から延在されたチャネル領域と同一導電型で高不純物濃度のコンタクト領域 5 b は、コンタクトホール 7 a、第 2 の中継配線 9 b、コンタクトホール 1 6 b を介して遮光層 1 1 に電氣的に接続される。

なお、本実施形態及び以降の各実施形態においては、ソース領域とドレイン領域は置換可能であり、6 b をドレイン領域、6 a をソース領域としてもよいことは詳述するまでもないが、以下、各実施形態においては 6 b をソース領域、6 a をドレイン領域として説明する。

また、本実施形態においては、画素に配置する M O S F E T を N チャネル型トランジスタを前提として説明してきたが、P チャネル型トランジスタに置き換えても、その構造は同じである。但し、P チャネル型トランジスタの場合には、ソース・ドレイン領域 6 a、6 b 及び容量電極部 6 c は P 型不純物が半導体層に高濃度に導入され、チャネル領域 5 a にはそれらよりも N 型不純物が低濃度に導入され、コンタクト領域 5 b にはチャネル領域 5 s よりも N 型不純物が高濃度に導入されることになる。

次に、先に延べた蓄積容量 (保持容量) について説明する。

図 3 で示すように、ドレイン領域 6 a は保持容量を形成するために、前段の走査線 4 (ゲート電極 4 と電氣的に接続された配線層であり、図 1 の配線層 1 1 の直下にて配線層 1 1 と重なって同一方向に配線される。走査線 4 と同一層で形成することができる。) の直下まで引き延ばされ、容量電極部 6 c を構成している。図 3 における容量電極部 6 c は、図 4 における前段の走査線 4 の直下に位置する。前段の走査線とは、選択されて選択電位が印加される走査線より前に選択電位が印加される走査線をいう。すなわち、前段の走査線は、現在の走査線が選択電位にあるとき、非選択電位が印加されている。この容量電極部 6 c と前段の走査線とがゲート絶縁膜と同一層の絶縁膜 1 8 を介して重なることにより保持容量が形成される。なお、この保持容量は周知のように、M O S F E T を介してデータ線 8 から画素電極 1 4 に書き込まれた電荷を、走査線 4 に非選択電位が供給される非選択期間に蓄積するものである。図 4 に示されるように、M O S F E T のゲート電極も兼ねる

10

20

30

40

50

走査線 4 は、表示画素領域において縦方向（垂直方向）に延びるデータ線 8 と交差するように横方向（水平方向）に延在し、隣の列の後段の画素の MOSFET のドレイン領域 6 a が左隣の列の前段の画素の走査線 4 の直下に延び、そこで容量を形成している。

次に、本発明の特徴でもあるチャネル領域 5 a に対する電位印加について説明する。

本実施形態においては、図 2 及び図 3 に示されるように、P 型不純物が低濃度に導入された上記チャネル領域 5 a を、固定電位に電氣的に接続させるために、P 型不純物が導入された高不純物濃度の P 型拡散層からなるチャネルコンタクト領域 5 b が、単結晶シリコン層の活性領域 3 0 に形成される。このチャネルコンタクト領域 5 b はチャネル領域 5 a に接して形成される領域である。先に説明したように、コンタクト領域 5 b は、絶縁膜 7 に形成されたコンタクトホール（VIA ホールともいう）7 a、一層目のアルミニウム層からなる第 1 の中継配線 9 b、絶縁膜 1 0 に形成されたコンタクトホール（VIA ホールともいう）1 6 b を介して、図 1 及び図 2 に示される遮光層 1 1 に電氣的に接続される。すなわち、遮光層 1 1 は二層目のアルミニウム層からなり、これが一層目のアルミニウム層からなる第 1 の中継配線 9 b に、絶縁膜 1 0 に形成された VIA ホール 1 6 b を介して接続され、さらに一層目のアルミニウム層からなる第 1 の中継配線 9 b の一部が上記絶縁膜 6 に形成されたコンタクトホール 7 a にて上記チャネルコンタクト領域 5 b に電氣的に接続されている。本実施形態においては、MOSFET が N チャネル型トランジスタであるので、この遮光層 1 1 には表示画素領域の周辺部に位置する電源配線から電源電圧の低電位側（特に接地電位が好ましい）、あるいはデータ線 8 や走査線 4 に供給される電圧の最低電位以下の電位が供給される。

よって、遮光層 1 1 の電位が N チャネル MOSFET の P 型チャネル領域 5 a に供給され、チャネル領域 5 a の電位を安定化させることができる。つまり、MOSFET がオンのときに過剰な電流が流れたりすると、コンタクト領域 5 b から遮光層 1 1 で放電され MOSFET を保護する。また、MOSFET がオフのときにソース・ドレイン間に生じた電位差でチャネル領域に余剰な電荷（キャリア）が発生しても、それは遮光層 1 1 に引き抜くことができる。従って、MOSFET のチャネル領域の電位は常に安定化でき、MOSFET の破壊を引き起こすような余剰な電荷を蓄積しないようにできるので、N チャネル MOSFET の耐電圧を上げるとともに電流特性を安定化させ、その特性を向上させることができる。また、MOSFET のソース・ドレイン・チャネルを形成する半導体層を、画素領域を延在して配置される遮光層に接続することにより、トランジスタの動作において発生した熱を遮光層を介して放熱することもできる。特に、本実施形態のように、半導体層が単結晶シリコン層である場合には、電荷移動度が高く半導体層で熱発生しやすくなるが、本実施形態によれば、その熱を放熱し、基板上に形成された素子が高熱に晒され、誤動作しないようにすることもできる。

ここで、以上に説明した本実施形態の電気光学装置用基板（液晶パネル用基板）と対向基板とを液晶層を介在して対向させて構成される液晶パネルの表示画素部の回路構成を説明する。図 5 は液晶パネルの表示画素部における列方向に隣接する 2 画素を示す等価回路図を示す。

アクティブマトリクス型液晶表示装置における液晶パネルは、走査線 4（ X_{n-2} , X_{n-1} , X_n : n は選択される順番を示す整数）と画像信号線 8（ Y_{n-1} , Y_n ）とがマトリクス平面上に配設され、この平面上の交差点近傍には MOSFET（TFT）がそれぞれ配置される。MOSFET のソース 6 b はデータ線 8 にコンタクトホール 1 5 b を介して電氣的に接続され、ゲート電極は走査線 4 に電氣的に接続されており、ドレイン 6 a は画素電極 1 4 と容量電極部 6 c に電氣的に接続される。画素電極 1 4 は、対向基板の内面に配置された対向電極 1 1 2 と液晶層を挟んで対向し、両電極間の液晶を極性反転駆動する。対向電極 1 1 2 には極性反転駆動の基準電位となる共通電位 VLC が印加され、画素電極 1 4 と対向電極 1 1 2 とは液晶層を誘電体とする液晶容量 CLC を構成する。また、容量電極部 6 c は、前段の走査信号線 4（ X_n の画素の MOSFET にとっての前段走査線は X_{n-1} ）との間に保持容量（蓄積容量）Cs を構成する。すなわち、一画素は、トランジスタとそれに接続された液晶容量と保持容量により構成される。

M O S F E T のチャネル領域 5 a は、この M O S F E T を駆動する走査線と平行な方向に配設される遮光層 1 1 に電氣的に接続される。すなわち、走査線 4 (X n) にゲートが接続された M O S F E T のチャネル領域 5 a は、これに隣接する遮光層 1 1 に電氣的に接続され、チャネル領域 5 a に対してコンタクト領域 5 b を介して固定電位を与えている。別な表現をすれば、チャネル領域 5 a からコンタクト領域 5 b を介して、チャネル領域 5 a に存在する余剰なキャリアを遮光層 1 1 に引き抜くことにより基板浮遊効果を抑制している。

次に、図 6 の駆動タイミングチャートに基づいて液晶パネルの駆動と M O S F E T のチャネル領域への固定電位印加について説明する。

V G は走査線 4 に印加される走査信号波形である。走査信号は垂直走査期間毎に到来する選択期間 T 1 に選択電位 V G 1 となって、本実施形態の N チャネル型 M O S F E T をオンさせる。その後、非選択期間 T 2 となって低電位の非選択電位 V G 2 となり、M O S F E T をオフさせる。なお、順次駆動であるので、選択期間 T 1 の直後から次段の走査線 4 に選択電位が印加され、これが順次繰り返される。V I D はデータ線 8 に印加される画像信号の電位波形である。V c は画像信号 V I D の中心電位を示す。画像信号 V I D は、垂直走査期間 (フレーム又はフィールド) 毎に中心電位 V c に対して極性を反転させた電位波形となる。V p は画像信号線 8 における画像信号 V I D が、本実施形態の N チャネル型 M O S F E T を介して画素電極 1 4 に印加されてなる画素電極電位である。V L C は対向電極 1 1 2 に印加される共通電位である。共通電位 V L C は、画素電極電位 V p の極性反転する電位波形がほぼ正負で対称となるような電位に設定されることにより、液晶層に印加される電圧が一方の極性に偏らないようにして交流駆動することにより、液晶の劣化を防止している。

なお、V は、N チャネル型 M O S F E T の寄生容量に基づく画素電極電位 V p の電圧劣化分を示している。選択期間 T 1 の終了時には、N チャネル型 M O S F E T のチャネル領域 5 a には電荷が蓄積し、ドレイン領域 6 a とゲート電極 (走査線) 4 との間の寄生容量に電荷が蓄積する。この電荷は、非選択期間 T 2 になってゲート電極が非選択電位に下がることにより、ドレイン側に流れて画素電極 1 4 に印加され、選択期間 T 1 中にデータ線 8 と同等レベルまで充電していた画素電極電位 V p を V だけ降下させ、液晶層への印加電圧を下げてしまう。従って、V L C をずらして画素電極電位 V p が正負対称の波形となるようにしている。しかし、せっかく書き込んだ電圧を十分に活かしておらず、且つ V L C の調整は難しいので、V をできるだけ小さくすることが表示品質を向上するためには望ましく、そのためには、チャネルに蓄積する余剰キャリアを少なくしなければならない。しかしながら、本発明では、チャネル領域から余剰キャリアを引き抜くことができる。特に、本発明のように、M O S F E T が電荷移動度が高い単結晶シリコンのチャネル領域の場合は、M O S F E T をオフにした時に余剰キャリアが残り易いので、本発明の構成を採用することにより、表示品質をも向上させることができる。

本実施形態においては N チャネル型 M O S F E T であるため、チャネル領域 5 a には、画像信号 V I D がチャネル領域を伝達されることによって電子 (負電荷) が蓄積されて電流が流れる。従って、チャネル領域 5 a に電氣的に接続される遮光層 1 1 の電位は、画像信号 V I D の最低電位より低い電位とする。例えば、非選択電位 V G 2 を遮光層 1 1 の電位として用いると、この電位は画像信号 V I D の最低電位よりも低い電位であり、且つ液晶パネル内の電源電位を兼用することができるので好ましい。また、遮光層 1 の電位は非選択電位 V G 2 より低くても構わない。さらに、遮光層 1 1 (及び非選択電位 V G 2) の電位を接地電位 G N D とすれば、その電位は安定するので、チャネル領域の電位をより一層安定化することができる。このように、遮光層 1 1 の電位は、少なくとも画像信号 V I D の電位以下であることが必要である。

また、本実施形態においては、各画素の保持容量 C s は、容量電極部 6 c と前段の走査線 4 とを絶縁膜を介在させて構成していたが、本発明はこれに限られるものではない。例えば、保持容量 C s は、容量電極部 6 c を後段の走査線 4 の直下に延ばし、後段の走査線 4 との 1 8 絶縁膜を介した対向により構成してもよい。また、画素領域内に走査線 4 と並んで走査線 4 と同一層により容量線を形成し、その容量線に図 6 における V L C の電位を印加

10

20

30

40

50

して、容量線と容量電極部 6 c との絶縁膜 1 8 を介した対向により容量を構成してもよい。また、容量電極 6 c を容量の電極とするのではなく、ドレイン領域 6 a を別層の電極に接続し、その電極と走査線や容量線との絶縁膜を介した対向により容量を構成しても構わない。なお、容量の電極を半導体層よりも上層で構成する場合には、この電極を遮光層 1 1 と層間絶縁膜を介して対向させて容量を構成することもできる。このようないずれの場合でも、本発明の作用効果は同様に得ることができる。

また、本実施形態では、Nチャネル型MOSFETを用いて説明しているが、Pチャネル型MOSFET(TFT)に置換しても、Nチャネル型MOSFETの場合と全く同一の回路・構造・パターンとなり、同様の作用効果を得ることができる。但し、図6の各種信号電位は、高低が全く逆になり、図の上側が低電位、下側が高電位となる。従って、遮光層 1 1 に印加される非選択電位 V_{G2}は、画像信号 V_{ID}の最高電位以上の高電位であって、この好ましく接地電位にすることにより、Pチャネル型MOSFETのチャネル領域 5 a に対して画像信号 V_{ID}より高電位を印加することができる。それにより、正孔(正電荷)が蓄積して電流が流れるPチャネル型MOSFETのチャネル領域 5 a での余剰キャリアを引き抜き、チャネル電位を安定化することができる。

また、この遮光層 1 1 はMOSFETのチャネル領域 5 a を少なくとも覆って遮光するように配置され、チャネル領域 5 a での光リーク電流を抑制することができる。さらに、遮光層 1 1 はチャネル領域 5 a と同一導電型のチャネルコンタクト領域 5 b も遮光することにより、チャネルコンタクト領域 5 b での光リーク電流も抑制している。また、遮光層 1 1 は走査線 4 と重なるように配置されており、液晶パネルの開口率を損なうことがないようにされている。

以上、本実施形態によれば、透明な画素電極にデータ線からの画像信号を供給するMOSFETは、その上方に形成する遮光層を利用してチャネル領域に電位を与えることができる。チャネル領域に与える電位は、MOSFETの導電型によってそれぞれ定めれば良い。また、チャネル領域に電位を供給する配線として走査線と重なる遮光層を用いることによって画素部の開口率の大きい液晶表示パネル用基板を供給することができる。

なお、先に説明したように、上記の説明はNチャネルMOSFETの場合についてであるが、各領域の導電型が異なるPチャネルMOSFETを用いても良い。その場合、チャネル領域・チャネルコンタクト領域とソース・ドレイン領域の導電型は上記実施形態とは逆導電型となる。この場合、遮光層 1 1 には電源電圧の高電位側の電位、あるいはデータ線 8 や走査線 4 に供給される電圧の最高電位以上の電位が供給され、N型チャネル領域の電位を安定化することができる。

(第2の実施形態)

次に、本発明を適用した電気光学装置用基板の一例である液晶パネル用基板において、第1の実施形態の構成に対して更に遮光層 2 0 1 を追加した実施形態を説明する。なお、本実施形態における第1の実施形態と同じ符号は、特段説明しない限り、同一の工程で形成される層、あるいは同一の機能を有する部材を意味する。また、本実施の形態においては、第1の実施形態と同様に、電気光学装置用基板を絶縁物上に半導体層を形成したSOI基板を用いた構成に基づいて説明する。

図7は本実施形態の液晶パネル用基板の画素部における断面を示す断面図である。また、図8は本実施形態の液晶パネル用基板の画素部における第1の遮光層と半導体層(単結晶シリコン層)のレイアウトを示す平面図である。本実施形態においては、液晶パネル用基板の画素部における各層のレイアウトを示す平面図、及び液晶パネル用基板の画素部における半導体層(単結晶シリコン層)、多結晶シリコン層及び一層目のアルミニウム層のレイアウトを示す平面図は、第1の実施形態における図1及び図4と実質的に同一である。本実施形態の図7及び図8は、第1の実施形態における図2及び図3に対応する図である。従って、図7の断面図は、各平面図のX-X'を結んだ線における断面を示す図となる。

本実施形態においては、図7に示すように、埋込絶縁膜 2 にMo, Cr, Ta等から選ばれた高融点金属などからなる埋込遮光層(第1の遮光層) 2 0 が形成されている。この埋

込遮光層 20 は、周知の S O I 基板の製造方法を用いて、支持基板 1 上に単結晶シリコン層からなる活性領域 30 を貼り合わせる工程の前に、支持基板 1 上に予め形成されるものである。従って、上記貼り合わせ工程の前に埋込遮光層 20 をパターニングしても良いし、活性領域 30 を貼り合わせた後、単結晶シリコン層にフィールド酸化膜 3 を形成する素子分離工程時にパターニングしても良い。この遮光層 20 にも表示画素部の周辺領域にて所定の電位が与えられる。好ましくは、遮光層 11 と同一の電位を印加されることが、M O S F E T の動作安定化のためにはよい。なお、絶縁膜 2 にコンタクトホール形成ができる場合は、M O S F E T のチャネル領域 5 a から延在したコンタクト領域 5 b と埋込遮光層 20 とを電氣的に接続して、埋込遮光層 20 からチャネル領域に上記した電位を印加してもよい。

10

図 8 に示すように、埋込遮光層 20 は単結晶シリコン層に形成される活性領域 30 の基板側に形成され、活性領域 30 の領域をすべて覆って遮光するように形成される。素子分離工程以降の M O S F E T から画素電極までの構造は、前述の第 1 の実施形態と全く同一である。

本実施形態によれば、第 1 の実施形態と同様に、画素電極にデータ線からの画像信号を供給する M O S F E T は、その上方に形成する遮光層を利用してチャネル領域に電位を与えることができるので、チャネル領域の電位を安定化することができるだけでなく、第 1 の遮光層によって液晶パネル用基板の裏面（図面での下側）からの反射光や外光などが活性領域 30 に入り込むことを防止する事ができる。なお、本実施形態においても、第 1 の実施形態と同様に、N チャネル型 M O S F E T ではなく、P チャネル型 M O S F E T としてもよいことは言うまでもない。その場合、第 1 の実施形態と同様に、N チャネル型とするか P チャネル型とするかで、遮光層 11, 20 に印加する電位も変えられる。

20

さらに、遮光層 20 は保持容量の電極として用いてもよい。その場合、半導体層の容量電極部 6 c と遮光層 20 との絶縁膜 2 を介在した対向により構成することができる。

（本発明の電気光学装置の実施形態）

本発明の電気光学装置用基板を用いて作成された電気光学装置の一例である液晶パネルの構成を、図面を用いて説明する。

図 9 は上記第 1 及び第 2 の実施形態を適用した透過型液晶パネル用基板の全体の平面レイアウト図を示す。なお、この図面は理解を容易にするために説明に不要な箇所は省略しており、モデル的に描いている。

30

図 9 に示すように、透明基板 101（図 2, 図 7 の基板 1 に相当）の上には表示画素領域 102 があり、画素電極 103（図 1 の画素電極 14 に相当）がマトリクス状に配置されている。また、透明基板 101 上の表示画素領域 102 の周辺には、表示信号を処理する周辺駆動回路 104, 105 が形成されている。走査線駆動回路 104 は走査線を順次走査して選択電位 V G1, 非選択電位 V G2 を印加する。データ線駆動回路 105 はデータ線に画像データに応じた画像信号を供給する。またパッド領域 108 を介して外部から入力される画像データを取り込む入力回路 106 や、これらの回路を制御するタイミング制御回路 107 等の回路も透明基板 101 上に設けられており、これらの回路はすべて各画素毎に配置した上記 M O S F E T と同一工程または異なる工程で形成される M O S F E T を能動素子あるいはスイッチング素子とし、これに抵抗や容量などの負荷素子を組み合わせることで構成されている。113 はシール材の形成領域を示す。この領域にシール材が形成されて本発明の液晶パネル用基板と対向基板とが接着される。

40

なお、第 1 及び第 2 の実施形態にて説明した遮光層 11 は、上記の周辺回路（走査線駆動回路 104、データ線駆動回路 105、タイミング制御回路 107、入力回路 106）において形成される配線層と同一層のアルミニウム配線層で形成されるものであり、遮光層 11 には周辺回路領域にて上述したような所定の電位が供給される。また、遮光層 20 にも周辺回路領域にて上述したような所定の電位が供給され、この遮光層 20 は周辺回路領域においては M O S F E T の遮光だけでなく、回路素子同士や電源線と回路素子を接続する配線層としても用いることができる。

図 10 は図 9 に示した液晶パネルの Y - Y' 線での断面図である。図 10 に示すように液

50

晶パネルは、表示画素と駆動回路を形成した基板（S O I 基板）1 1 0 と、共通電位 V L C が印加される透明導電膜（I T O）からなる対向電極 1 1 2 を有する透明基板（対向基板）1 1 1 が一定間隔をおいて配置され、周辺をシール材 1 1 3 封止された隙間内に周知の T N（Twisted Nematic）型液晶 1 1 4、電圧無印加状態で液晶分子がほぼ垂直に配向された垂直配向（Homeotropic）型液晶、電圧無印加状態で液晶分子がねじれずにほぼ水平配向された水平配向（Homogeneous）型液晶、強誘電型液晶あるいは高分子分散型液晶等の液晶などが充填されて液晶パネル 1 2 0 として構成されている。なお、外部から信号を入力できるように、パッド領域 1 0 8 は上記シール材 1 1 3 の外側に来るようにシール材を設ける位置が設定されている。

次に、本実施形態の液晶パネル用基板において、基板の周辺領域に形成される上記周辺回路（走査線駆動回路 1 0 4、データ線駆動回路 1 0 5、タイミング制御回路 1 0 7、入力回路 1 0 6 等）において、先に説明した実施形態と同様に、周辺回路の M O S F E T のチャネル領域を、M O S F E T を遮光する遮光層に対して電氣的に接続する実施形態について説明する。

図 1 1 は、周辺回路を構成する相補型インバータの平面レイアウト図を示す。相補型インバータは、Pチャネル型 M O S F E T（T F T）とNチャネル型 M O S F E T（T F T）からなる。図 1 1 において、2 1 0 は一層目のアルミニウム層からなる高電源電位 V D D を供給する第 1 の電源線であり、2 2 0 は一層目のアルミニウム層からなる低電源電位 V S S を供給する第 2 の電源線である。2 3 0 は一層目のアルミニウム層からなる入力配線、2 4 0 は一層目のアルミニウム層からなる出力配線である。2 1 5 は P チャネル型 M O S F E T のゲート電極、2 2 5 は N チャネル型 M O S F E T のゲート電極であり、2 つのゲート電極は同一層で繋がっており、第 1 の層間絶縁膜に形成されるコンタクトホール 2 3 1 を介して上層の一層目のアルミニウム層の入力配線 2 3 0 と接続されている。

基板上には、半導体層（単結晶シリコン層）の活性領域 3 0 は、二箇所（点線でそれぞれ囲まれた領域）に島状に分離配置されており、ゲート電極 2 1 5 の直下にゲート絶縁膜を介して位置する活性領域 3 0 には、N 型不純物が低濃度に導入された N 型チャネル領域が形成され、チャネル領域を挟んで対向する両側の活性領域 3 0 には P 型不純物がチャネルより高濃度に導入されたソース・ドレイン領域が形成される。ソース領域は第 1 の層間絶縁膜に形成されたコンタクトホール 2 1 3 を介して第 1 の電源線 2 1 0 に接続され、ドレイン領域は第 1 の層間絶縁膜に形成されたコンタクトホール 2 4 1 を介して出力配線 2 4 0 に接続されている。

一方、Nチャネル型 M O S F E T は、ゲート電極 2 1 5 の直下にゲート絶縁膜を介して位置する活性領域 3 0 には、P 型不純物が低濃度に導入された P 型チャネル領域が形成され、チャネル領域を挟んで対向する両側の活性領域 3 0 には N 型不純物がチャネルより高濃度に導入されたソース・ドレイン領域が形成される。ソース領域は第 1 の層間絶縁膜に形成されたコンタクトホール 2 2 3 を介して第 2 の電源線 2 2 0 に接続され、ドレイン領域は第 1 の層間絶縁膜に形成されたコンタクトホール 2 4 2 を介して出力配線 2 4 0 に接続されている。

さらに、Pチャネル型 M O S F E T のチャネル領域は図中の右方向に延在されてコンタクト領域を形成し、そのコンタクト領域は第 1 の層間絶縁膜に形成されたコンタクトホール 2 1 9 を介して一層目のアルミニウム層からなる中継配線 2 5 0 に接続され、この中継配線 2 5 0 はさらに第 2 の層間絶縁膜に形成されたコンタクトホール 2 5 1 を介して遮光層（点線で囲まれた領域）2 1 2 に接続される。また、Nチャネル型 M O S F E T のチャネル領域は図中の右方向に延在されてコンタクト領域を形成し、そのコンタクト領域は第 1 の層間絶縁膜に形成されたコンタクトホール 2 2 9 を介して一層目のアルミニウム層からなる中継配線 2 6 0 に接続され、この中継配線 2 6 0 はさらに第 2 の層間絶縁膜に形成されたコンタクトホール 2 6 1 を介して遮光層（点線で囲まれた領域）2 2 2 に接続される。遮光層 2 1 2、2 2 2 はそれぞれ二層目のアルミニウム層から形成されており、互いに分離されている。また、遮光層 2 1 2 は、第 2 の層間絶縁膜に形成されたコンタクトホール 2 1 1 を介して下層の第 1 の電源線 2 1 0 に接続され、高電源電位 V D D が与えられている

10

20

30

40

50

。一方、遮光層 2 2 2 は、第 2 の層間絶縁膜に形成されたコンタクトホール 2 2 1 を介して下層の第 2 の電源線 2 2 0 に接続され、低電源電位 VSS が与えられている。この高電源電位 VDD と低電源電位 VSS の一方は接地電位 (G N D) とするのが好ましく、画素領域にて各画素のスイッチングトランジスタを N チャネル型 M O S F E T とする場合には、先に述べたように、画素領域の遮光層 1 1 と周辺回路の N チャネル型 M O S F E T を遮光する遮光層 2 1 2 に印加される低電源電位 VSS を接地電位 G N D とすることが、液晶パネル内のより多くの M O S F E T のチャンネルを安定化できて好ましい。一方、画素領域にて各画素のスイッチングトランジスタを P チャネル型 M O S F E T とする場合には、先に述べたように、画素領域の遮光層 1 1 と周辺回路の P チャネル型 M O S F E T を遮光する遮光層 2 2 2 に印加される高電源電位 VDD を接地電位 G N D とすることが、液晶パネル内のより

10

このように、周辺回路を構成する M O S F E T は、P 型 M O S F E T と N 型 M O S F E T との間で分離されたそれぞれの遮光層 2 1 2 , 2 2 2 を有し、その遮光層にはそれぞれの M O S F E T のソースに接続される電源電位が供給されるようにすることで、それぞれの M O S F E T のチャンネル領域に電位を供給し、チャンネル領域の電位を安定化することができる。また、P 型チャンネル領域から高電源電位へ、N 型チャンネル領域から低電源電位へ、チャンネル領域に生じた余剰キャリアを引き抜き、M O S F E T での耐圧劣化を防止して信頼性を向上することができる。

なお、遮光層 2 1 2 は P チャネル型 M O S F E T 及びコンタクト領域を遮光し、遮光層 2 2 2 は N チャネル型 M O S F E T 及びコンタクト領域を遮光して、M O S F E T での光リーク電流を防止することができる。また、第 2 の実施形態のように、M O S F E T の下に遮光層 2 0 1 を形成してもよい。この遮光層 2 0 1 も、上層の遮光層 2 1 2 , 2 2 2 と同様に、それぞれの M O S F E T と平面的に重なるように、且つ互いに分離して形成され、P チャネル型 M O S F E T の場合は高電位、N チャネル型 M O S F E T の場合は低電位が印加されることが好ましい。特には、埋め込み遮光層 2 0 1 は対応する上層の遮光層 2 1 2 , 2 2 2 と、それぞれ同一の電源電位に接続されることが、それぞれの M O S F E T の動作の安定化のためには好ましい。

20

なお、上層の遮光層を形成する二層目のアルミニウム層や埋め込み遮光層は、画素領域での遮光層と同一層で形成できる。また、これらの遮光層に用いられる導電層は、周辺回路領域においては遮光層だけでなく、配線層としても用いることができる。

30

(本発明の液晶パネルをライトバルブに用いた投射型表示装置の説明)

図 1 2 及び図 1 3 は、本発明の電気光学装置の一例である液晶パネルをライトバルブに用いた投射型表示装置の光学構成を示す図である。

図 1 2 は、透明導電膜を画素電極とする本発明の液晶パネルを用いた投射型表示装置の要部を示す概略構成図である。図中、4 1 0 は光源、4 1 3 , 4 1 4 はダイクロイックミラー、4 1 5 , 4 1 6 , 4 1 7 は反射ミラー、4 1 8 , 4 1 9 , 4 2 0 はリレーレンズ、4 2 2 , 4 2 3 , 4 2 4 は液晶ライトバルブ、4 2 5 はクロスダイクロイックプリズム、4 2 6 は投射レンズを示す。青色光・緑色光反射のダイクロイックミラー 4 1 3 は、光源 4 1 0 からの白色光束のうちの赤色光を透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー 4 1 7 で反射されて、赤色光用液晶ライトバルブ 4 2 2 に入射される。一方、ダイクロイックミラー 4 1 3 で反射された色光のうち緑色光は緑色光反射のダイクロイックミラー 4 1 4 によって反射され、緑色光用液晶ライトバルブ 4 2 3 に入射される。一方、青色光は第 2 のダイクロイックミラー 4 1 4 も透過する。青色光に対しては、入射レンズ 4 1 8 、リレーレンズ 4 1 9 、出射レンズ 4 2 0 を含むリレーレンズ系からなる導光手段 4 2 1 が設けられ、これを介して青色光が青色光用液晶ライトバルブ 4 2 4 に入射される。各ライトバルブにより変調された 3 つの色光はクロスダイクロイックプリズム 4 2 5 に入射され、各色光が合成されて、カラー画像を表す光が形成される。合成された光は、投射光学系である投射レンズ 4 2 6 によってスクリーン 4 2 7 上に投射され、画像が拡大されて表示される。

40

図 1 3 は、反射電極を画素電極とする本発明の液晶パネルを用いた投射型表示装置の要部

50

の概略構成図である。光源 110、インテグレートレンズ 120、偏光変換素子 130 から概略構成される偏光照明装置 100、偏光照明装置 100 から出射された S 偏光光束を S 偏光光束反射面 201 により反射させる偏光ビームスプリッタ 200、偏光ビームスプリッタ 200 の S 偏光反射面 201 から反射された光のうち、青色光 (B) の成分を分離するダイクロイックミラー 412、分離された青色光 (B) を青色光を変調する反射型液晶ライトバルブ 300B、青色光が分離された後の光束のうち赤色光 (R) の成分を反射させて分離するダイクロイックミラー 413、分離された赤色光 (R) を変調する反射型液晶ライトバルブ 300R、ダイクロイックミラー 413 を透過する残りの緑色光 (G) を変調する反射型液晶ライトバルブ 300G、3つの反射型液晶ライトバルブ 300R、300G、300B にて変調された光をダイクロイックミラー 412, 413, 偏光ビームスプリッタ 200 にて合成し、この合成光をスクリーン 600 に投射する投射レンズからなる投射光学系 500 から構成されている。上記 3つの反射型液晶ライトバルブ 300R、300G、300B には、それぞれ前述の液晶パネルが用いられている。

10

いずれの投射型表示装置の構成例においても、液晶パネルの各画素には、トランジスタのチャネルの電位を安定化できる保護構造を有しているため、高性能で高耐圧のアクティブマトリクス型液晶パネルを用いて表示することができる。

(本発明の液晶パネルを表示装置に用いた電子機器の説明)

図 14 は、本発明の電気光学装置の一例である液晶パネルを表示装置に用いた電子機器の概観図を示す。図 14 (A) は、携帯電話 1000 の表示部 1001 に本発明の液晶パネルを用いた例を示す。図 14 (B) は、腕時計型の機器 1100 の表示部 1101 に本発明の液晶パネルを用いた例を示す。図 14 (C) は、コンピュータ 1200 の表示部 1206 に本発明の液晶パネルを用いた例を示す。1204 は本体、1202 はキーボード等の入力部を示す。

20

いずれの電子機器の構成例においても、液晶パネルの各画素には、トランジスタのチャネルの余剰キャリアを抜くことのできる保護構造を有しているため、高性能で高耐圧のアクティブマトリクス型液晶パネルを用いて表示することができる。

(本発明の変形例)

以上に説明した本発明の実施形態は、これに限定されるものではなく、本発明の趣旨を変えない範囲で種々に変更することができる。

例えば、画素のスイッチングトランジスタとしては、相補型の薄膜トランジスタを用いてもよい。それぞれのトランジスタのチャネル領域を図 11 に示すように互いに分離された遮光層にそれぞれ接続するようにして、以上に説明した実施形態を採用することによりチャネル領域の電位を安定化することができる。

30

また、上記実施形態では、画素電極 14 を透明導電膜とした透過型液晶パネル用基板を例にして説明してきたが、画素電極 14 を反射型電極とする或いは反射板を基板の内面側又は外面側に配置する反射型液晶パネルに対して本発明を適用しても構わない。

また、単結晶シリコン層をソース・ドレイン・チャネルとする MOSFET (TFT) を前提として説明したが、多結晶シリコン層或いは非晶質シリコン層をソース・ドレイン・チャネルとする薄膜トランジスタにおいて、チャネル電位を安定化させるために、本発明を適用することができるので、半導体層は単結晶シリコンに限られるものではない。また、本発明の半導体層は SOI 技術を用いて基板上に形成するのではなく、CVD 法等により絶縁物上に多結晶シリコンや非晶質シリコンを形成する場合や固相成長法等の方法により絶縁物上に単結晶シリコンを形成する場合においても、本発明のように、遮光層を介してそれらの半導体層のチャネルに電位を与えることができる。

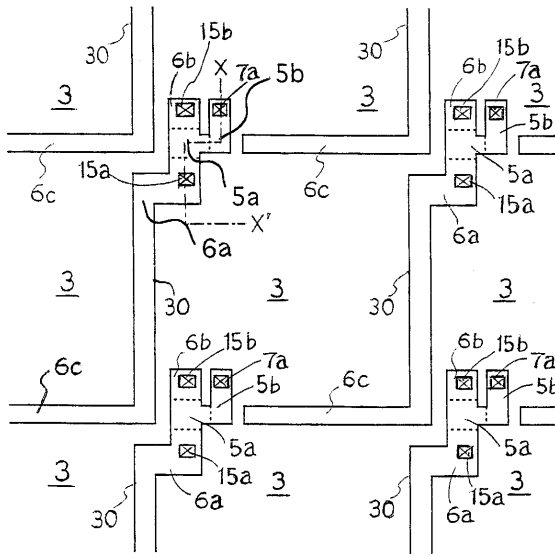
40

また、液晶パネルを前提に実施形態を説明したが、液晶パネル以外の電気光学装置にも本発明を適用してもよい。例えば、発光ポリマーを用いたエレクトロルミネッセンス (EL) や、プラズマディスプレイ (PDO) や、電界放出素子 (FED) 等の自発光素子の各画素をスイッチングするトランジスタにおいて、本発明を適用することもできる。さらに、テキサスインスツルメント社の開発したマイクロミラーデバイス (DMD) 等のように各画素のミラーの角度を変更するようなミラーデバイスにおいても、画素のトランジスタ

50

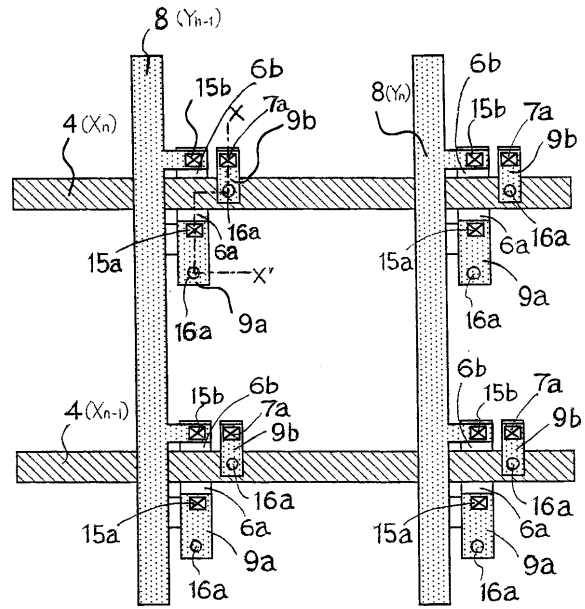
【図 3】

Fig. 3



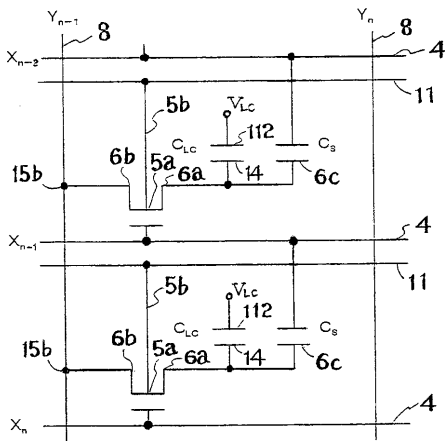
【図 4】

Fig. 4



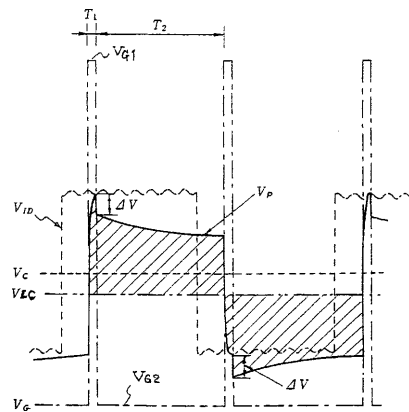
【図 5】

Fig. 5



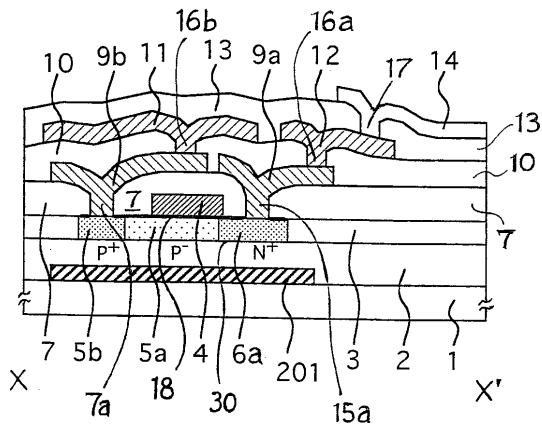
【図 6】

Fig. 6



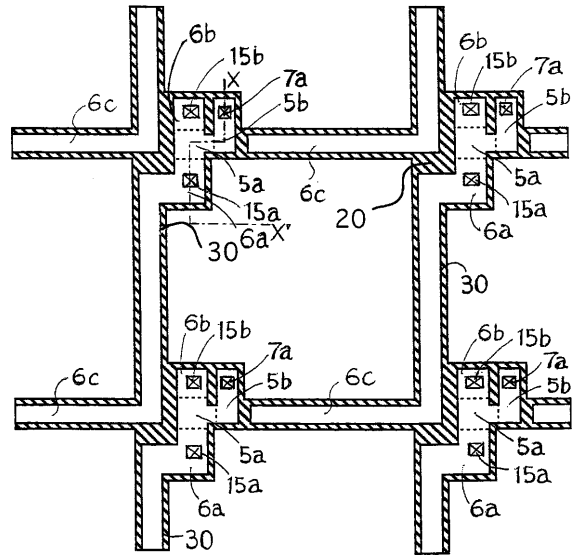
【図 7】

Fig. 7



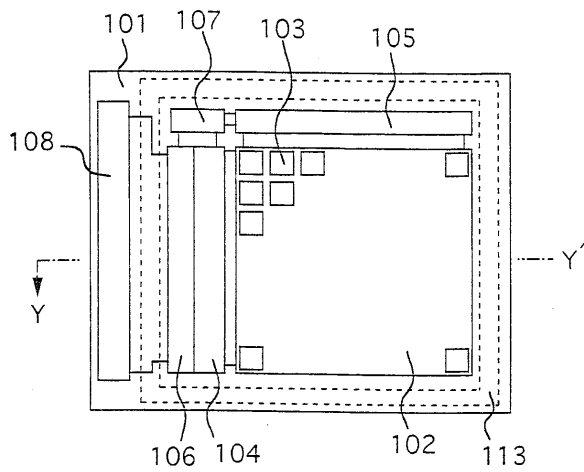
【図 8】

Fig. 8



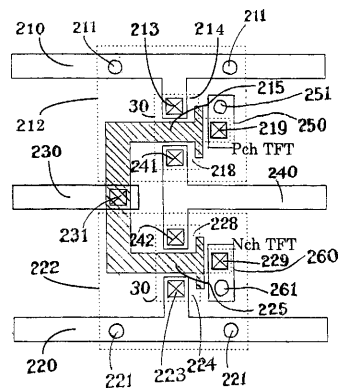
【図 9】

Fig. 9



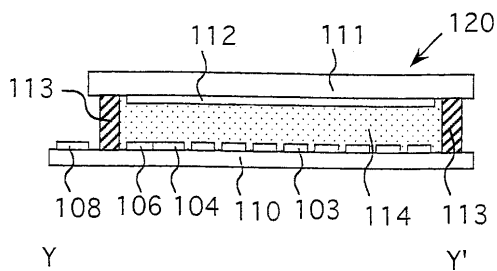
【図 11】

Fig. 11



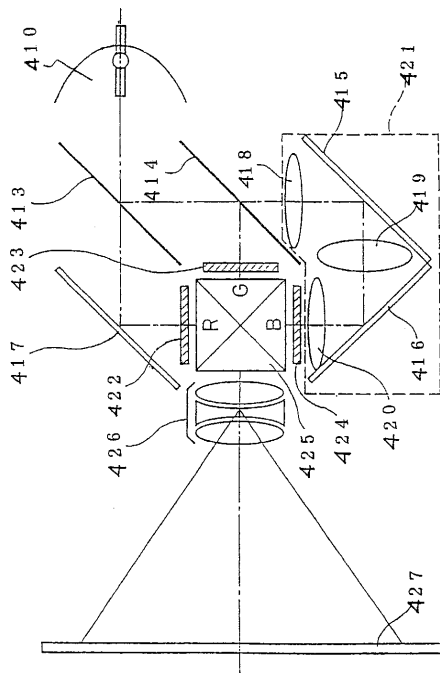
【図 10】

Fig. 10



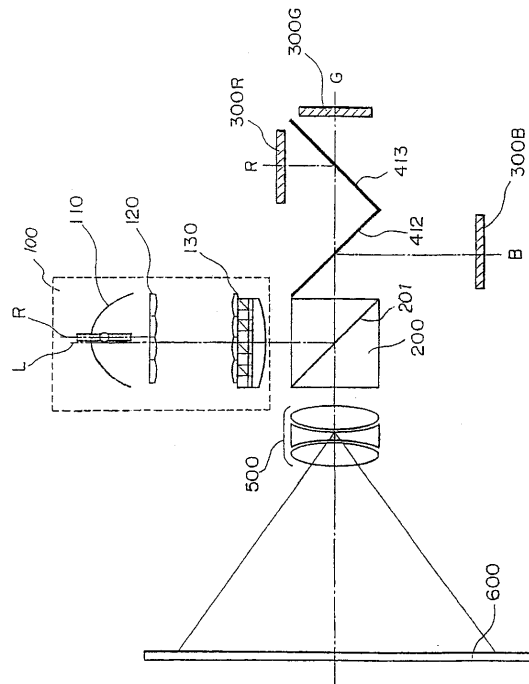
【図12】

Fig. 12



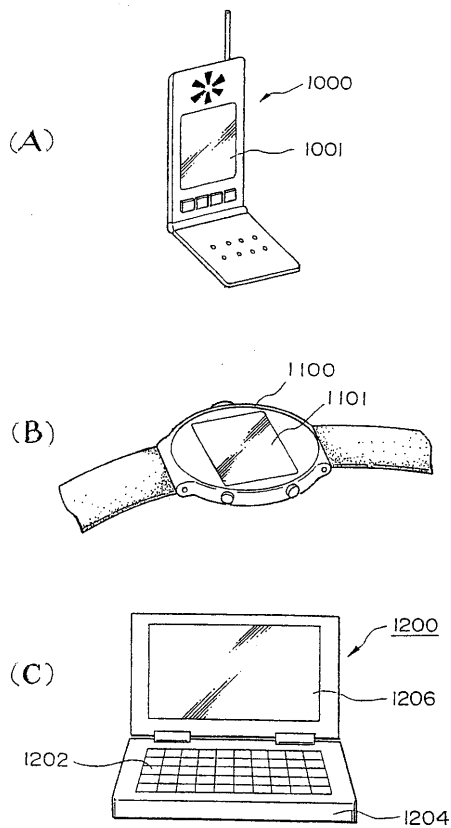
【図13】

Fig. 13



【図14】

Fig. 14



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/786

H01L 21/336

G02F 1/1368