

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95104142

※ 申請日期：95.2.8

※IPC 分類：G09G ^{3/18} (2006.01)

一、發明名稱：(中文/英文)

G09G ^{3/18} (2006.01)

顯示裝置

DISPLAY DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商日立顯示器股份有限公司

HITACHI DISPLAYS, LTD.

代表人：(中文/英文)

森 和廣

MORI, KAZUHIRO

住居所或營業所地址：(中文/英文)

日本國千葉縣茂原市早野3300番地

3300, HAYANO MOBARA-SHI, CHIBA-KEN 297-8622, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 仲尾 貴之
2. 佐藤 秀夫
3. 槇 正博
4. 宮澤 敏夫

國 籍：(中文/英文)

1. 日本 JAPAN
2. 日本 JAPAN
3. 日本 JAPAN
4. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2005年03月30日；特願2005-096624

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關顯示裝置，特別有關具備各線獨立共通交流驅動方式之共通電極驅動電路之顯示裝置。

【先前技術】

TFT(Thin Film Transistor：薄膜電晶體)方式之液晶顯示模組係作為筆記型個人電腦等攜帶式機器之顯示裝置而廣泛受到使用。特別是具備小型液晶顯示面板之液晶顯示模組，係例如作為行動電話等經常攜帶之攜帶機器之顯示裝置而使用。

一般而言，液晶層若長時間施加有相同電壓(直流電壓)，液晶層之傾斜會固定，結果將引起殘像現象，縮短液晶層之使用壽命。

為了防止此，於液晶顯示模組中，將施加於液晶層之電壓在每一定時間進行交流化，亦即以施加於共通電極(亦稱共通電極)之電壓為基準，在每一定時間，使施加於像素電極之電壓往正電壓側/負電壓側變化。

作為於此液晶層施加交流電壓之驅動方法，有使施加於共通電極之電壓交互地往高電位側、低電位側之2種電位反轉之共通反轉方法；此共通反轉法之一，將施加於共通電極之電壓在各線獨立地交流化之驅動方法(稱為各線獨立共通交流驅動方式)係記載於下述專利文獻1。

前述專利文獻1所記載之各線獨立共通交流驅動方式係使用IPS(In Plane Switching：平面切換)液晶顯示面板，將

施加於各顯示線之共通電極之電壓在各線獨立地交流化；若根據該驅動方法，可縮小供給至掃描線之閘極電壓之電壓範圍。

此外，作為關連於本申請發明之先前技術文獻有以下者。

[專利文獻1]日本特開2001-194685號公報

【發明內容】

於前述專利文獻1中，記載以CMOS電路所構成之驅動電路，來當作為了以前述各線獨立共通交流驅動方式驅動共通電極之共通電極驅動電路，但CMOS電路具有增加製造過程之問題點。

為了解決此問題點，以單通道電路，構成為了以前述各線獨立共通交流驅動方式驅動共通電極之共通電極驅動電路即可。

圖18係表示於本申請發明之前，由本申請人所思考為了以各線獨立共通交流驅動方式驅動之單通道電路構成之共通電極驅動電路之電路圖。此圖18所示之共通電極驅動電路係使用n型之MOS電晶體來作為電晶體，而圖19為圖18所示之共通電極驅動電路之時序圖。

圖18所示之共通電極驅動電路具有複數基本電路，該基本電路係於掃描線選擇信號自高(High)位準(以下稱H位準)變化為低(Low)位準(以下稱L位準)之時點，藉由電晶體(T1)鎖存交流化信號(M)，而藉由電晶體(T2)鎖存反轉交流化信號(MB)。

於此，如圖 19 所示，由於交流化信號(M)與反轉交流化信號(MB)之相位相差 180° ，因此節點(ND1)與節點(ND2)係一方為H位準的話，另一方勢必為L位準。

藉由成為H位準之節點，使電晶體(T3)或電晶體(T4)成為開啟狀態，藉此於節點(ND1)為H位準時，對輸出(OUT)輸出正極性之共通電壓(VCOMH)，而於節點(ND2)為H位準時，對輸出端子(OUT)輸出負極性之共通電壓(VCOML)。

以下使用圖 19 所示之時序圖，更詳細地說明圖 18 所示之共通電極驅動電路之動作。

(1)於掃描線選擇信號(SR(n))之前前段之掃描線選擇信號(SR(n-2))成為H位準時，電晶體(T21, T22)成為開啟而節點(ND1, ND2)重設，亦即成為L位準。

同樣地，於前前段之掃描線選擇信號(SR(n-2))成為H位準時，電晶體(T23, T24)成為開啟而節點(ND4, ND5)重設。

(2)於掃描線選擇信號(SR(n))之前前段之掃描線選擇信號(SR(n-1))成為H位準時，電晶體(T1, T2)成為開啟，於節點(ND1, ND2)鎖存交流化信號(M)及反轉交流化信號(MB)之電壓位準。

同樣地，於前段之掃描線選擇信號(SR(n-1))成為H位準時，電晶體(T7, T8)成為開啟而節點(ND4, ND5)重設。(3)於掃描線選擇信號(SR(n))成為H位準時，由於電晶體(T5, T6)及電容元件(Cbs1, Cbs2)所造成之自舉(bootstrap)效果，於前段之掃描線選擇信號(SR(n-1))成為H位準時，進

一步抬升H位準之節點(ND1或ND2)之電壓。

藉由以上動作，可將複數共通電極在各線獨立地進行交流驅動。

而且於圖18所示之電路中，電容元件(Cs1, Cs2)係用以使節點(ND1, ND2)安定之負載電容元件，電晶體(T9, T10)係於節點(ND1, ND2)之一方為H位準時，用以使另一方為L位準之電晶體。

然而，前述圖18所示之共通電極驅動電路需要用以重設節點之電晶體(T21~T24)，具有構成電路之電晶體增加，並且電路構成複雜之問題點。

本發明係為了解決前述以往技術之問題點所實現者，本發明之優點在於提供一種顯示裝置，其係具備相較於以往，可不增加元件數且縮小電路規模之單通道構成之共通電極驅動電路。

本發明之前述以及其他優點及新特徵，可藉由本說明書之記述及附圖闡明。

簡單說明本申請案所揭示之發明中之代表者之概要如下。

為了達成前述課題，本發明之特徵在於具備：複數像素及共通電極驅動電路；前述共通電極驅動電路具有複數基本電路；前述基本電路具有：第一電路，其係於時鐘信號從第二電壓位準變化為第一電壓位準之時點，鎖存第一輸入信號；第二電路，其係於前述時鐘信號從前述第二電壓位準變化為前述第一電壓位準之時點，鎖存第二輸入信

號；第一開關電路，其係根據以前述第一電路鎖存之電壓而開關，以開啟狀態對輸出端子輸出第一電源電壓；及第二開關電路，其係根據以前述第二電路鎖存之電壓而開關，以開啟狀態對輸出端子輸出第二電源電壓；前述第一輸入信號為前述第二電壓位準時，前述第二輸入信號為前述第一電壓位準，前述第二輸入信號為前述第二電壓位準時，前述第一輸入信號為前述第一電壓位準；於前述時鐘信號從前述第一電壓位準變化為前述第二電壓位準後，且更早於前述時鐘信號從前述第二電壓位準回復到前述第一電壓位準前，前述第一輸入信號及前述第二輸入信號中之一方係從前述第一電壓位準變化為前述第二電壓位準。

簡單說明由本申請案所揭示之發明中之代表者所獲得之效果如下。

若根據本發明，可提供一種顯示裝置，其係具備相較於以往，可不增加元件數且縮小電路規模之單通道構成之共通電極驅動電路。

【實施方式】

以下，參考圖示，詳細說明將本發明適用於主動矩陣型液晶顯示裝置之實施例。

此外，於用以說明實施例之所有圖中，具有同一功能者係標示同一符號，並省略其重複說明。

圖1係表示本發明之實施例之主動矩陣型液晶顯示裝置之等價電路之電路圖。

如圖1所示，本實施例之主動矩陣型液晶顯示裝置係使

用 IPS(In Plane Switching：平面切換)液晶顯示面板之主動矩陣型液晶顯示裝置；於經由液晶互相對向配置之 1 對基板之一方基板之液晶面，具有：延伸於 x 方向之 n 條閘極線 ($X_1, X_2, \dots, X_n$)、延伸於 x 方向之 n 條共通線 ($CM_1, CM_2, \dots, CM_n$)、及交叉於 x 方向而延伸於 y 方向之 m 條汲極線 ($Y_1, Y_2, \dots, Y_m$)。

以閘極線(亦稱掃描線)及汲極線(亦稱影像線)所包圍之區域為像素區域，於 1 個像素區域設有薄膜電晶體 (T_{nm})，其係閘極連接於閘極線，汲極(或源極)連接於汲極線，以及源極(或汲極)連接像素電極。並且於像素電極與共通線(亦稱共通電極)之間設有液晶電容 (C_{nm})。

此外，於像素電極與共通線 ($CM_1, CM_2, \dots, CM_n$) 之間亦設有保持電容，但圖 1 中省略其圖示。

各閘極線 ($X_1, X_2, \dots, X_n$) 連接於垂直驅動電路 (XDV)，藉由垂直驅動電路 (XDV)，自 X_1 往 X_n 之閘極線依序供給閘極信號。

各共通線 ($CM_1, CM_2, \dots, CM_n$) 連接於垂直驅動電路 (XDV)，藉由垂直驅動電路 (XDV)，在與閘極信號相同之时序，將施加於 CM_1 至 CM_n 之共通線之電壓依序切換極性而進行交流驅動。

各汲極線 ($Y_1, Y_2, \dots, Y_m$) 連接於開關元件 ($S_1, S_2, \dots, S_m$) 之汲極線(或源極)。

開關元件 ($S_1, S_2, \dots, S_m$) 之源極(或汲極)連接於影像信號線 (DATA)，閘極連接水平驅動電路 (YDV)，水平驅動電

路(YDV)係自S1往Sm之開關元件依序掃描開關元件。

本發明係有關垂直驅動電路(XDV)內之共通電極驅動電路。

於本發明中，將SW1、SW2之2個開關元件構成如圖2A。

若於開關元件(SW1, SW2)使用nMOS-TFT(n型MOS薄膜電晶體)，時鐘信號(CLK)自H位準切換為L位準的話，開關元件(SW1)會鎖存輸入信號(IN)之電壓。

此鎖存之電壓係於時鐘信號(CLK)成為L位準時被保持，於鎖存之電壓成為H位準時，開關元件(SW2)成為開啟狀態，作為輸出(OUT)而供給有VDC之電壓。

如圖2B所示，本發明之共通電極驅動電路係以組合2個圖2A所示之電路構成之電路作為基本構成。但於時鐘(CLK)為H位準之狀態，禁止同時使第一輸入信號(IN1)及第二輸入(IN2)成為H位準。

圖3係表示圖1所示之垂直驅動電路(XDV)之內部構成之區塊圖，於該圖，10為掃描線驅動電路，CA1, CA2, ..., CAn為共通電極驅動電路。

如圖3所示，本發明之共通電極驅動電路(CA1, CA2, ..., CAn)係設於各閘極線。

圖4係表示本實施例之共通電極驅動電路(CA1, CA2, ..., CAn)之基本電路之電路圖，圖2B所示之電路係使用nMOS-TFT而構成。

於圖4中，SRn係自掃描線驅動電路10輸出之第n個掃描

線選擇信號，M及MB為交流化信號。此外，VCOMH係使共通線供給之正極性之共通電壓，VCOML係使共通線供給之負極性之共通電壓。

交流化信號(M, MB)及掃描線選擇信號(SRn)之H位準係比正極性之共通電壓(VCOMH)高，L位準係比負極性之共通電壓(VCOML)低。

藉此，於掃描線選擇信號(SRn)為H位準，交流化信號(M)為L位準，交流化信號(MB)為H位準時，節點(ND1)成為H位準，節點(ND2)成為L位準，由於保持1幀期間，因此作為輸出(OUT)，係於1幀期間輸出正極性之共通電壓(VCOMH)。

此外，由於在掃描線選擇信號(SRn)為H位準，交流化信號(M)為H位準，交流化信號(MB)為L位準時，節點(ND1)成為L位準，節點(ND2)成為H位準，由於保持1幀期間，因此作為輸出(OUT)，係於1幀期間輸出負極性之共通電壓(VCOML)，因此可實現施加於共通線之共通電壓之交流化。

而且如圖3所示，在各閘極線設置共通電極驅動電路(CA1, CA2, ..., CAn)，藉此在閘極線寫入之時序，分別獨立地設定施加於共通線之共通電壓來實現交流化。

而且，於圖4之構成中，交流化信號(M)為H位準，輸出(OUT)為負極性之共通電壓(VCOML)，液晶成為正寫入之構成，但依寫入構成，亦可分別置換M及MB之交流化信號、或VCOMH之共通電壓及VCOML之共通電壓。

於圖4所示之共通電極驅動電路(CA1, CA2, ..., CAn)係切換節點(ND1)及節點(ND2)之狀態而進行交流化，但將節點(ND1)自H位準切換為L位準，且將節點(ND2)自L位準切換成H位準之情況，或其相反時，於切換之瞬間，可能存在節點(ND1)及節點(ND2)均成為H位準之時間。

總言之，電晶體(Tr3)及電晶體(Tr4)可能同時成為開啟狀態，於此情況，供有正極性之共通電壓(VCOMH)之端子及供有負極性之共通電壓(VCOML)之端子會直接連結，流入貫通電流。

接著，作為掃描線選擇信號(SRn)及交流化信號(M, MB)，輸入圖5之時序圖所示之時序之時鐘信號。

亦即，掃描線選擇信號(SRn)成為H位準時，藉由在開始之某期間成為交流化信號(M, MB)均為L位準之時序關係，可使圖4之節點(ND1)及節點(ND2)成為L位準，並可暫且使電晶體(Tr3)及電晶體(Tr4)成為關閉狀態。

其後，藉由使交流化信號(M)或交流化信號(MB)成為H位準，可僅使電晶體(Tr3)或電晶體(Tr4)之任一方成為開啟狀態，可安全地切換施加於共通線之共通電壓。

此外，於圖5，掃描線選擇信號(SRn)之下降宜比交流化信號(M, MB)之下降早。在掃描線選擇信號(SRn)之下降與交流化信號(M, MB)之下降同時，或比其延後之情況，於掃描線選擇信號(SRn)之下降時，節點(ND1, ND2)雙方可能均成為L位準。於該情況，由於已保持輸出(OUT)，因此在此動作上不會構成障礙。然而，於節點(ND1, ND2)雙方

均成為L位準之狀態下，於輸出(OUT)容易引起變動。因此，藉由使掃描線選擇信號(SR_n)之下降比交流化信號(M, MB)之下降早，可僅使節點(ND1, ND2)之任一方成為H位準。藉此可謀求輸出(OUT)之安定化。

節點(ND1)及節點(ND2)為浮動節點。為了使供給共通電壓之電晶體(Tr3或Tr4)在一定期間成為開啟狀態，必須保持節點(ND1)或節點(ND2)之H位準。

接著如圖6所示，於節點(ND1, ND2)(或電晶體(Tr1, Tr2)之汲極)與供有基準電壓(VSS)之基準電源線之間，連接保持電容(Cs1, Cs2)，可使節點(ND1, ND2)之電壓安定化。

如前述，若使節點(ND1)及節點(ND2)同時為H位準，於供有正極性之共通電壓(VCOMH)之端子及供有負極性之共通電壓(VCOML)之端子之間，會流入貫通電流。

由於節點(ND1)及節點(ND2)為浮動節點，因此易受雜訊影響。藉由製成圖6所示之電路構成，可減少雜訊之影響，但電壓一旦變動就會失去效果。

因此，如圖7所示，藉由設置交叉耦合之電晶體(Tr5)及電晶體(Tr6)，可於節點(ND1)及節點(ND2)之一方為H位準時，始終使另一方為L位準。其中，基準電壓(VSS)係相當於交流化信號(M, MB)之L位準之電壓。

於此構成中，若節點(ND1)及節點(ND2)同時為H位準，自供有交流化信號(MB)之端子經由電晶體(Tr1)及電晶體(Tr6)，或自供有交流化信號(M)之端子經由電晶體(Tr2)及電晶體(Tr5)，分別流入貫通電流，因此於節點(ND1)及節

點(ND2)之狀態切換時，圖5所示之時序關係有效。

於圖4所示之電路構成中，將交流化信號(MB)之H位準取入節點(ND1)時，實際上，自交流化信號(MB)之H位準下降臨限值電壓(V_{th})分之電壓，係寫入於節點(ND1)。

並且，輸出(OUT)之H位準(施加於共通線之正極性之共通電壓(VCOMH)之H位準)，係自節點(ND1)之H位準之電壓下降臨限值電壓(V_{th})之電壓成為最大。

因此，交流化信號(M, MB)之H位準最低必須是在施加於共通線之正極性之共通電壓(VCOMH)之H位準，加算臨限值電壓(V_{th})之2倍分電壓之電壓。

實際上，於保持狀態下，由於電荷減少所造成之電壓下降或寫入特性之問題，因此需要充分比其高之電壓。

因此，於圖8表示設有採用自舉效果之升壓電路之共通電極驅動電路。此外，圖9為圖8所示之共通電極驅動電路之時序圖。

於圖8中， $SR(n-1)$ 為第n個掃描線選擇信號(SR_n)之前段之掃描線選擇信號，此掃描線選擇信號($SR(n-1)$)係自圖3所示之掃描線驅動電路10輸出。

使用圖9所示之時序圖，簡單說明圖8所示之共通電極驅動電路之動作。

藉由前段之掃描線選擇信號($SR(n-1)$)成為H位準，於節點(ND1)及節點(ND2)暫且取入L位準並重設後，取入交流化信號(M, MB)之狀態，且開啟電晶體(TrA)及電晶體(TrB)，從而節點(ND4)及節點(ND5)之電壓成為基準電壓

(VSS)。藉此，於電容元件(Cbs1)及電容元件(Cbs2)充有交流化信號(M, MB)之電壓。

於此狀態下，前段之掃描線選擇信號(SR(n-1))成為L位準，節點(ND1)、節點(ND2)、節點(ND4)、節點(ND5)成為電壓保持狀態。

其次，若第n個掃描線選擇信號(SRn)成為H位準，經由二極體連接之電晶體(Tr7)，於節點(ND3)寫入H位準(實際上為已下降臨限值電壓(V_{th})分之電壓)。

於此，若節點(ND1)為H位準，節點(ND2)為L位準，由於電晶體(Tr8)開啟，電晶體(Tr9)關閉，因此節點(ND5)維持L位準，僅於節點(ND4)寫入H位準。

故，經由電容元件(Cbs1)，藉由自舉效果而節點(ND1)之電壓上升。由於節點(ND1)之電壓上升，電晶體(Tr8)完全開啟，因此節點(ND1)之電壓最大係自第n個掃描線選擇信號(SRn)之H位準，上升已減算臨限值電壓(V_{th})之電壓分。

由於節點(ND5)未變動，因此節點(ND2)不引起電壓變動，保持於L位準。

而且，控制對輸出(OUT)輸出負極性之共通電壓(VCOML)之電晶體(Tr4)之節點(ND2)側之電晶體(Tr9, TrB)、電容元件(Cbs2)亦可省略。

節點(ND1)、節點(ND2)、節點(ND4)及節點(ND5)為浮動節點。因此，節點(ND1)及節點(ND2)可經由電容元件(Cbs1, Cbs2)，直接接受節點(ND4)及節點(ND5)之電壓變

動之影響。

接著如圖 10 所示，藉由在節點 (ND4, ND5) (或電晶體 (Tr8, Tr9) 之汲極) 與供有基準電壓 (VSS) 之基準電源線之間，連接負載電容 (Cs1, Cs2)，可使節點 (ND1, ND2) 之電壓安定化。而且亦可省略負載電容 (Cs2)。

於圖 8 所示之共通電極驅動電路中，若前段之掃描線選擇信號 (SR(n-1)) 成為 H 位準，於節點 (ND1)、節點 (ND2) 會寫入交流化信號 (M, MB) 之電壓，節點 (ND4)、節點 (ND5) 之電壓成為基準電壓 (VSS)。

前段之掃描線選擇信號 (SR(n-1)) 係自圖 3 所示之掃描線驅動電路 10 輸出。掃描線驅動電路 10 之輸出連接於閘極線 (X1, X2, ..., Xn)，因此易受汲極線 (Y1, Y2, ..., Ym) 之電壓變動之影響。

由於此電壓變動之影響，若掃描線驅動電路 10 之輸出節點之電壓瞬間上升，電晶體 (Tr1)、電晶體 (Tr2)、電晶體 (TrA) 及電晶體 (TrB) 可能會開啟。

並且，由於節點 (ND1)、節點 (ND2)、節點 (ND4) 及節點 (ND5) 為浮動節點，因此易受雜訊影響，可能是由於前述電壓變動，或受到重複電壓變動之影響，所保持之電荷消失，可能引起誤動作。

因此如圖 11 所示，藉由分割掃描線驅動電路 10 之輸出端子，使 X1', X2', ..., Xn' 與閘極線 (X1, X2, ..., Xn) 獨立，可不易受到電壓變動之影響，抑制誤動作。

而且，關於供有第 n 個掃描線選擇信號 (SRn) 之端子，由

於在恆常狀態下，節點(ND3)為H位準，因此藉由電晶體(Tr7)，幾乎不會受到供有第n個掃描線選擇信號(SR_n)之端子之電壓變動之影響，因此可視為不會構成問題。

於圖8所示之共通電極驅動電路，由於自舉效果，節點(ND1)及節點(ND2)之電壓成為比交流化信號(M, MB)之H位準高之電壓。因此於電晶體(Tr1)及電晶體(Tr2)之源極—汲極間產生高電壓差，耐壓係成為問題。

因此如圖12所示，於電晶體(Tr1)之汲極與電晶體(Tr3)之閘極間連接電晶體(TrE)，同樣地，於電晶體(Tr2)之汲極與電晶體(Tr4)之閘極間連接電晶體(TrF)。

而且，於電晶體(TrE, TrF)之閘極，施加VDD之特定電壓。於此，電壓(VDD)係與掃描線選擇信號之H位準同等之電壓。而且亦可省略電晶體(TrF)。

藉此，即使例如節點(ND1)由於自舉效果而成為高電壓，節點(ND7)最大仍僅是從VDD電壓下降臨限值電壓(V_{th})之電壓(VDD-V_{th})。

因此，於任何電晶體之源極—汲極間，仍不會發生交流化信號(M, MB)或掃描線選擇信號之振幅以上之電壓差。

而且，圖7所示之組合電晶體(Tr5)及電晶體(Tr6)之情況，藉由分別對節點(ND8)及節點(ND7)連接，對電晶體(Tr5)及電晶體(Tr6)亦可獲得前述效果。

於圖8所示之共通電極驅動電路，如圖13所示，藉由在供有前段之掃描線選擇信號(SR_(n-1))之端子設置方向控制開關，可簡單地實現雙向化。

於圖 13 所示之共通電極驅動電路，若有順向及逆向掃描，於順向掃描時， $SR(n-1)F$ 為第 n 個掃描線選擇信號 (SR_n) 之前段之輸出 (於逆向掃描時為後段之輸出) $SR(n-1)$ ， $SR(n-1)R$ 為第 n 個掃描線選擇信號 (SR_n) 之後段之輸出 (逆向掃描時為前段之輸出) $SR(n+1)$ 。

掃描線選擇信號 ($SR(n-1)F$, $SR(n-1)R$) 係自圖 3 所示之掃描線驅動電路 10 輸出。

而且於順向掃描時，藉由使方向控制信號 (DRF) 為 H 位準，方向控制信號 (DRR) 為 L 位準，電晶體 (TrC) 會開啟。此外，於逆向掃描時，藉由使方向控制信號 (DRF) 為 L 位準，方向控制信號 (DRR) 為 H 位準，電晶體 (TrD) 會開啟。因此，於節點 ($ND6$)，對於掃描方向，始終輸入有第 n 個掃描線選擇信號 (SR_n) 之前段之掃描線選擇信號，故可進行雙向化。

而且，方向控制信號 (DRF , DRR) 之 H 位準宜比掃描線選擇信號之 H 位準高，方向控制信號 (DRF , DRR) 之 L 位準宜比掃描線選擇信號之 L 位準低。

於圖 13 所示之共通電極驅動電路中，例如順向掃描 (方向控制信號 (DRF) 為 H 位準，方向控制信號 (DRR) 為 L 位準時)，若掃描線選擇信號 ($SR(n-1)F$) 成為 H 位準，節點 ($ND6$) 之電壓亦上升，於自方向控制信號 (DRF) 之 H 位準下降臨限值電壓 (V_{th}) 之電壓中，由於電晶體 (TrC) 成為關閉狀態，因此節點 ($ND6$) 成為浮動狀態。

其後，例如若交流化信號 (M) 成為 H 位準 (交流化信號

(MB)為L位準)，藉由電晶體(Tr1)之閘極電容獲得自舉效果，節點(ND6)之電壓上升。

於此情況，上升之電壓係以電晶體(Tr1)之閘極電容及節點(ND6)之負載電容(電晶體(Tr2)、電晶體(TrA)、電晶體(TrB)之閘極電容或電晶體(TrD)之閘極關閉電容等)之比來決定。

因此，藉由縮小電晶體(TrA)、電晶體(TrB)之閘極電容、或電晶體(TrC)、電晶體(TrD)之閘極關閉電容，可獲得更高之自舉效果。

於圖13所示之共通電極驅動電路中，節點(ND1)及節點(ND2)之電壓係藉由自舉效果，成為比交流化信號(M, MB)之H位準高之電壓。因此，電晶體(Tr1)及電晶體(Tr2)之源極—汲極間產生高電壓差，耐壓成為問題。

為了解決此問題，採用前述圖12所示之電路構成即可，而於支援雙向之電路構成之情況，亦可如圖14所示採用方向控制信號。

於圖14所示之共通電極驅動電路，於電晶體(Tr1)之汲極與電晶體(Tr3)之閘極間，連接電晶體(TrE)及電晶體(TrG)，同樣地，於電晶體(Tr2)之汲極與電晶體(Tr4)之閘極間，連接電晶體(TrF)及電晶體(TrH)。而且亦可省略電晶體(TrF, TrH)。

接著，於電晶體(TrE, TrF)之閘極，施加方向控制信號(DRF)，而於電晶體(TrG, TrH)之閘極，施加方向控制信號(DRR)。

藉此，可防止在電晶體(Tr1)及電晶體(Tr2)之源極—汲極間產生高電壓差。

而且，圖7所示之組合電晶體(Tr5)及電晶體(Tr6)之情況，藉由分別對節點(ND8)及節點(ND7)連接，對電晶體(Tr5)及電晶體(Tr6)亦可獲得前述效果。

對各共通線設置圖8所示之共通電極驅動電路之情況，線反轉驅動之時序圖係如圖15所示，而幀反轉驅動之時序圖係如圖16所示。

如圖16所示可知，此電路構成之情況，依幀之不同，交流化信號(M, MB)之頻率相對於線反轉驅動之情況之頻率成為2倍。

接著，將圖8所示之共通電極驅動電路作為CA，對圖8所示之共通電極驅動電路，將施加有交流化信號(M)之端子及施加有交流化信號(MB)之端子置換之電路(此係與已置換正極性之共通電壓(VCOMH)及負極性之共通電壓(VCOML)端子之電路等價)則作為CA'，例如圖17所示交互地設置(n為偶數)，藉此能以圖15所示之交流化信號(M, MB)之時序進行幀反轉驅動。而且雖奇數段為CA，偶數段為CA'，但當然亦可置換。

而且於前述之說明中，說明有關以n型之薄膜電晶體構成共通電極驅動電路之情況，但本發明不僅止於n型之薄膜電晶體所組成之MOS單通道構成，亦能以p型之薄膜電晶體所組成之pMOS單通道構成。於此情況，VSS之基準電壓成為H位準，邏輯則反轉。

此外，共通電壓(VCOMH, VCOML)係施加於形成在像素內之對向電極。於本說明書中，正極性之共通電壓(VCOMH)之「正極性」係意味相較於施加在像素電極之電壓為高電位側，不問是否大於或小於0 V。同樣地，負極性之共通電壓(VCOML)之「負極性」係意味相較於施加在像素電極之電壓為低電位側，不問是否大於或小於0 V。

如以上所說明，若根據本實施例，由於能以n型或p型之單通道元件構成電路，因此可縮短製造過程，而且能以1個電路達成雙向化。並且藉由刪減元件(電晶體)數及信號路徑，可縮小電路規模並提升良率。

而且於前述說明中，作為電晶體係說明有關使用MOS(Metal Oxide Semiconductor：金屬氧化半導體)型之TFT之情況，但亦可使用一般之MOS-FET或MIS(Metal Insulator Semiconductor：金屬絕緣半導體)型之FET等。

此外，於前述說明中，說明有關將本發明適用於液晶顯示裝置之實施例，但本發明不限定於此，當然亦可適用於例如使用有機EL元件等之EL顯示裝置。

以上根據前述實施例，具體說明由本發明者所實現之發明，但本發明不限定於前述實施例，當然可於不脫離其要旨之範圍內進行各種變更。

【圖式簡單說明】

圖1係表示本發明之實施例之主動矩陣型液晶顯示裝置之等價電路之電路圖。

圖2A係用以說明本發明之共通電極驅動電路之原理之電

路圖。

圖2B係用以說明本發明之共通電極驅動電路之原理之電路圖。

圖3係表示圖1所示之垂直驅動電路之一例之內部構成之區塊圖。

圖4係表示本發明之實施例之共通電極驅動電路之基本電路之電路圖。

圖5係表示圖4所示之共通電極驅動電路之時序圖。

圖6係表示圖4所示之共通電極驅動電路之變形例之電路圖。

圖7係表示圖4所示之共通電極驅動電路之變形例之電路圖。

圖8係表示圖4所示之共通電極驅動電路之變形例之電路圖。

圖9係表示圖8所示之共通電極驅動電路之時序圖。

圖10係表示圖8所示之共通電極驅動電路之變形例之電路圖。

圖11係表示圖1所示之垂直驅動電路之其他例之內部構成之區塊圖。

圖12係表示圖8所示之共通電極驅動電路之變形例之電路圖。

圖13係表示圖8所示之共通電極驅動電路之變形例之電路圖。

圖14係表示圖13所示之共通電極驅動電路之變形例之電

路圖。

圖15係於各共通線設置圖8所示之共通電極驅動電路，並以線反轉驅動方法驅動之情況之時序圖。

圖16係於各共通線設置圖8所示之共通電極驅動電路，並以幀反轉驅動方法驅動之情況之時序圖。

圖17係表示於各共通線設置圖8所示之共通電極驅動電路，並以幀反轉驅動方法驅動之情況之共通電極驅動電路之變形例之區塊圖。

圖18係表示於本申請發明之前由本申請人所思考為了以各線獨立共通交流驅動方式驅動之單通道電路構成之共通電極驅動電路之電路圖。

圖19為圖18所示之共通電極驅動電路之時序圖。

【主要元件符號說明】

CA1~CA _n	共通電極驅動電路
Cbs1, Cbs2	電容元件
CM1~CM _n	共通線
C _{nm}	液晶電容
DATA	影像信號線
ND1~ND7	節點
S1~S _m	開關元件
T1~T10, T21~T24	電晶體
T _{nm}	薄膜電晶體
Tr1~Tr9, TrA~TrH	電晶體
X1~X _n	閘極線

$X1' \sim Xn'$

輸出端子

XDV

垂直驅動電路

$Y1 \sim Ym$

汲極線

YDV

水平驅動電路

五、中文發明摘要：

本發明提供一種顯示裝置，其係具備相較於以往，可不增加元件數且縮小電路規模之單通道構成之共通電極驅動電路。本發明具備：複數像素及共通電極驅動電路；前述共通電極驅動電路具有複數基本電路；前述基本電路具有：第一電路，其係於時鐘信號從第二電壓位準變化為第一電壓位準之時點，鎖存第一輸入信號；第二電路，其係於前述時鐘信號從前述第二電壓位準變化為前述第一電壓位準之時點，鎖存第二輸入信號；第一開關電路，其係根據以前述第一電路鎖存之電壓而開關，以開啟狀態對輸出端子輸出第一電源電壓；及第二開關電路，其係根據以前述第二電路鎖存之電壓而開關，以開啟狀態對輸出端子輸出第二電源電壓；前述第一輸入信號為前述第二電壓位準時，前述第二輸入信號為前述第一電壓位準，前述第二輸入信號為前述第二電壓位準時，前述第一輸入信號為前述第一電壓位準；於前述時鐘信號從前述第一電壓位準變化為前述第二電壓位準後，且更早於前述時鐘信號從前述第二電壓位準回復到前述第一電壓位準前，前述第一輸入信號及前述第二輸入信號中之一方係從前述第一電壓位準變化為前述第二電壓位準。

六、英文發明摘要：

十、申請專利範圍：

1. 一種顯示裝置，其特徵在於具備：複數像素及共通電極驅動電路；

前述共通電極驅動電路具有複數基本電路；

前述基本電路具有：第一電路，其係於時鐘信號從第二電壓位準變化為第一電壓位準之時點，鎖存第一輸入信號；

第二電路，其係於前述時鐘信號從前述第二電壓位準變化為前述第一電壓位準之時點，鎖存第二輸入信號；

第一開關電路，其係根據以前述第一電路鎖存之電壓而開關，以開啟狀態對輸出端子輸出第一電源電壓；及

第二開關電路，其係根據以前述第二電路鎖存之電壓而開關，以開啟狀態對輸出端子輸出第二電源電壓；

前述第一輸入信號為前述第二電壓位準時，前述第二輸入信號為前述第一電壓位準，前述第二輸入信號為前述第二電壓位準時，前述第一輸入信號為前述第一電壓位準；

於前述時鐘信號從前述第一電壓位準變化為前述第二電壓位準後，且更早於前述時鐘信號從前述第二電壓位準回復到前述第一電壓位準前，前述第一輸入信號及前述第二輸入信號中之一方係從前述第一電壓位準變化為前述第二電壓位準。

2. 一種顯示裝置，其特徵在於具備：複數像素及共通電極驅動電路；

前述共通電極驅動電路具有複數基本電路；

前述基本電路具有：第一電晶體，其係於第一電被極施加第一輸入信號，於控制電極被施加時鐘信號；

第二電晶體，其係於第一電極被施加第二輸入信號，控制電極連接於前述第一電晶體之控制電極；

第三電晶體，其係控制電極連接於前述第一電晶體之第二電極，第一電極連接於輸出端子，並且於第二電極被施加第一電源電壓；及

第四電晶體，其係控制電極連接於前述第二電晶體之第二電極，第二電極連接於前述輸出端子，並且於第一電極被施加第二電源電壓；

於前述時鐘信號從前述第一電壓位準，變化為使前述第一及前述第二電晶體開啟之第二電壓位準後，且更早於前述時鐘信號從前述第二電壓位準回復到前述第一電壓位準前，前述第一輸入信號及前述第二輸入信號中之一方係從前述第一電壓位準變化為前述第二電壓位準；

前述第一輸入信號為前述第二電壓位準時，前述第二輸入信號為前述第一電壓位準，前述第二輸入信號為前述第二電壓位準時，前述第一輸入信號為前述第一電壓位準。

3. 如請求項2之顯示裝置，其中前述基本電路具有：第一電容元件，其係連接於前述第一電晶體之第二電極與被供給基準電壓之基準電源線之間；及

第二電容元件，其係連接於前述第二電晶體之第二電

極與前述基準電源線之間。

4. 如請求項2之顯示裝置，其中前述基本電路具有：第五電晶體，其係控制電極連接於前述第一電晶體之第二電極，第二電極連接於前述第二電晶體之第二電極，並且第一電極連接於被供給基準電壓之基準電源線；及

第六電晶體，其係控制電極連接於前述第二電晶體之第二電極，第二電極連接於前述第一電晶體之第二電極，並且第一電極連接於前述基準電源線。

5. 一種顯示裝置，其特徵在於具備：複數像素及共通電極驅動電路；

前述共通電極驅動電路具有 $k(k \geq 2)$ 個基本電路；

第 $n(1 \leq n \leq k)$ 個基本電路具有：第一電晶體，其係於第一電極被施加第一輸入信號，於控制電極被施加第 $(n-1)$ 個掃描線選擇信號；

第二電晶體，其係於第一電極被施加第二輸入信號，控制電極連接於前述第一電晶體之控制電極；

第三電晶體，其係控制電極連接於前述第一電晶體之第二電極，第一電極連接於輸出端子，並且於第二電極被施加第一電源電壓；

第四電晶體，其係控制電極連接於前述第二電晶體之第二電極，第二電極連接於前述輸出端子，並且於第一電極被施加第二電源電壓；

第五電晶體，其係控制電極連接於前述第一電晶體之第二電極，於第一電極施加有第 n 個掃描線選擇信號；

第六電晶體，其係控制電極連接於前述第二電晶體之第二電極，於第一電極被施加第 n 個掃描線選擇信號；

第一電容元件，其係連接於前述第一電晶體之第二電極與前述第五電晶體之第二電極之間；及

第二電容元件，其係連接於前述第二電晶體之第二電極與前述第六電晶體之第二電極之間；

第七電晶體，其係控制電極連接於前述第一電晶體之控制電極，第一電極連接於被供給基準電壓之基準電源線，並且第二電極連接於前述第五電晶體之第二電極；及

第八電晶體，其係控制電極連接於前述第一電晶體之控制電極，第一電極連接於前述基準電源線，並且第二電極連接於前述第六電晶體之第二電極；

於前述第 $(n-1)$ 個掃描線選擇信號從第一電壓位準，變化為使前述第一及前述第二電晶體開啟之第二電壓位準後，且更早於前述第 $(n-1)$ 個掃描線選擇信號從前述第二電壓位準回復到前述第一電壓位準前，前述第一輸入信號及前述第二輸入信號中之一方係從前述第一電壓位準變化為前述第二電壓位準；

於前述第 n 個掃描線選擇信號從第一電壓位準變化為前述第二電壓位準後，且更早於前述第 n 個掃描線選擇信號從前述第二電壓位準回復到前述第一電壓位準前，前述第一輸入信號及前述第二輸入信號中之前述一方或另一方係從前述第一電壓位準變化為前述第二電壓位

準；

前述第一輸入信號為前述第二電壓位準時，前述第二輸入信號為前述第一電壓位準，前述第二輸入信號為前述第二電壓位準時，前述第一輸入信號為前述第一電壓位準。

6. 一種顯示裝置，其特徵在於具備：複數像素及共通電極驅動電路；

前述共通電極驅動電路具有 $k(k \geq 2)$ 個基本電路；

第 $n(1 \leq n \leq k)$ 個基本電路具有：第一電晶體，其係於第一電極被施加第一輸入信號；

第二電晶體，其係於第一電極被施加第二輸入信號，控制電極連接於前述第一電晶體之控制電極；

第三電晶體，其係控制電極連接於前述第一電晶體之第二電極，第一電極連接於輸出端子，並且於第二電極被施加第一電源電壓；

第四電晶體，其係控制電極連接於前述第二電晶體之第二電極，第二電極連接於前述輸出端子，並且於第一電極被施加第二電源電壓；

第五電晶體，其係控制電極連接於前述第一電晶體之第二電極，於第一電極被施加第 n 個掃描線選擇信號；

第六電晶體，其係控制電極連接於前述第二電晶體之第二電極，於第一電極被施加第 n 個掃描線選擇信號；

第一電容元件，其係連接於前述第一電晶體之第二電極與前述第五電晶體之第二電極之間；

第二電容元件，其係連接於前述第二電晶體之第二電極與前述第六電晶體之第二電極之間；

第七電晶體，其係控制電極連接於前述第一電晶體之控制電極，第一電極連接於被供給基準電壓之基準電源線，並且第二電極連接於前述第五電晶體之第二電極；及

第八電晶體，其係控制電極連接於前述第一電晶體之控制電極，第一電極連接於前述基準電源線，並且第二電極連接於前述第六電晶體之第二電極；

第九電晶體，其係於第一電極，被施加在第一掃描方向時成為第 $(n-1)$ 個之掃描線選擇信號，於控制電極被施加第一掃描方向控制信號，並且第二電極連接於前述第一電晶體之控制電極；及

第十電晶體，其係於第一電極，被施加在與第一掃描方向相反方向之第二掃描方向時成為第 $(n-1)$ 個之掃描線選擇信號，於控制電極被施加第二掃描方向控制信號，並且第二電極連接於前述第一電晶體之控制電極；

於前述第 $(n-1)$ 個掃描線選擇信號從第一電壓位準，變化為使前述第一及前述第二電晶體開啟之第二電壓位準後，且更早於前述第 $(n-1)$ 個掃描線選擇信號從前述第二電壓位準回復到前述第一電壓位準前，前述第一輸入信號及前述第二輸入信號中之一方係從前述第一電壓位準變化為前述第二電壓位準；

於前述第 n 個掃描線選擇信號從第一電壓位準變化為前述第二電壓位準後，且更早於前述第 n 個掃描線選擇

信號從前述第二電壓位準回復到前述第一電壓位準前，
 前述第一輸入信號及前述第二輸入信號中之前述一方或
 另一方係從前述第一電壓位準變化為前述第二電壓位
 準；

前述第一輸入信號為前述第二電壓位準時，前述第二
 輸入信號為前述第一電壓位準，前述第二輸入信號為前
 述第二電壓位準時，前述第一輸入信號為前述第一電壓
 位準。

7. 如請求項5或6之顯示裝置，其中前述第n個基本電路具
 有：第三電容元件，其係連接於前述第五電晶體之第二
 電極與前述基準電源線之間；及

第四電容元件，其係連接於前述第六電晶體之第二電
 極與前述基準電源線之間。

8. 如請求項5或6之顯示裝置，其中前述第n個基本電路具
 有：第十一電晶體，其係連接於前述第一電晶體之第二
 電極與前述第三電晶體之控制電極之間；及

第十二電晶體，其係連接於前述第二電晶體之第二電
 極與前述第四電晶體之控制電極之間；

於前述第十一及第十二電晶體之控制電極被施加特定
 電位。

9. 如請求項6之顯示裝置，其中前述第n個基本電路具有：
 第十一電晶體及第十二電晶體，其係連接於前述第一電
 晶體之第二電極與前述第三電晶體之控制電極之間；及

第十三及第十四電晶體，其係連接於前述第二電晶體

之第二電極與前述第四電晶體之控制電極之間；

於前述第十一及第十三電晶體之控制電極被施加前述第一掃描方向控制信號；

於前述第十二及第十四電晶體之控制電極被施加前述第二掃描方向控制信號。

10. 如請求項9之顯示裝置，其中前述第 n 個基本電路具有：
- 第三電容元件，其係連接於前述第五電晶體之第二電極與前述基準電源線之間；及

第四電容元件，其係連接於前述第六電晶體之第二電極與前述基準電源線之間。

11. 如請求項5或6之顯示裝置，其中前述共通電極驅動電路係以前述第 n 個基本電路，構成奇數段或偶數段中之一方之基本電路；前述奇數段或偶數段中之另一方之基本電路係以在前述第 n 個基本電路中已置換前述第一輸入信號與前述第二輸入信號之關係者，或已置換前述第一電源電壓與前述第二電源電壓之關係者所構成。

12. 一種顯示裝置，其特徵在於具備：複數像素及共通電極驅動電路；

前述共通電極驅動電路具有 $k(k \geq 2)$ 個基本電路；

第 $n(1 \leq n \leq k)$ 個基本電路具有：第一電晶體，其係於第一電極被施加第一輸入信號，於控制電極被施加第 $(n-1)$ 個掃描線選擇信號；

第二電晶體，其係於第一電極被施加第二輸入信號，控制電極連接於前述第一電晶體之控制電極；

第三電晶體，其係控制電極連接於前述第一電晶體之第二電極，第一電極連接於輸出端子，並且於第二電極被施加第一電源電壓；

第四電晶體，其係控制電極連接於前述第二電晶體之第二電極，第二電極連接於前述輸出端子，並且於第一電極被施加第二電源電壓；

第五電晶體，其係控制電極連接於前述第一電晶體之第二電極，於第一電極被施加第 n 個掃描線選擇信號；

第一電容元件，其係連接於前述第一電晶體之第二電極與前述第五電晶體之第二電極之間；及

第六電晶體，其係控制電極連接於前述第一電晶體之控制電極，第一電極連接於被供給基準電壓之基準電源線，並且第二電極連接於前述第五電晶體之第二電極；

於前述第 $(n-1)$ 個掃描線選擇信號從第一電壓位準，變化為使前述第一及前述第二電晶體開啟之第二電壓位準後，且更早於前述第 $(n-1)$ 個掃描線選擇信號從前述第二電壓位準回復到前述第一電壓位準前，前述第一輸入信號及前述第二輸入信號中之一方係從前述第一電壓位準變化為前述第二電壓位準；

於前述第 n 個掃描線選擇信號從前述第一電壓位準變化為前述第二電壓位準後，且更早於前述第 n 個掃描線選擇信號從前述第二電壓位準回復到前述第一電壓位準前，前述第一輸入信號及前述第二輸入信號中之前述一方或另一方係從前述第一電壓位準變化為前述第二電壓

位準；

前述第一輸入信號為前述第二電壓位準時，前述第二輸入信號為前述第一電壓位準，前述第二輸入信號為前述第二電壓位準時，前述第一輸入信號為前述第一電壓位準。

13. 一種顯示裝置，其特徵在於具備：複數像素及共通電極驅動電路；

前述共通電極驅動電路具有 $k(k \geq 2)$ 個基本電路；

第 $n(1 \leq n \leq k)$ 個基本電路具有：第一電晶體，其係於第一電極被施加第一輸入信號；

第二電晶體，其係於第一電極被施加第二輸入信號，控制電極連接於前述第一電晶體之控制電極；

第三電晶體，其係控制電極連接於前述第一電晶體之第二電極，第一電極連接於輸出端子，並且於第二電極被施加第一電源電壓；

第四電晶體，其係控制電極連接於前述第二電晶體之第二電極，第二電極連接於前述輸出端子，並且於第一電極被施加第二電源電壓；

第五電晶體，其係控制電極連接於前述第一電晶體之第二電極，於第一電極被施加第 n 個掃描線選擇信號；

第一電容元件，其係連接於前述第一電晶體之第二電極與前述第五電晶體之第二電極之間；

第六電晶體，其係控制電極連接於前述第一電晶體之控制電極，第一電極連接於供有基準電壓之基準電源

線，並且第二電極連接於前述第五電晶體之第二電極；

第七電晶體，其係於第一電極，被施加在第一掃描方向時成為第 $(n-1)$ 個之掃描線選擇信號，於控制電極施加有第一掃描方向控制信號，並且第二電極連接於前述第一電晶體之控制電極；及

第八電晶體，其係於第一電極，施加有在與第一掃描方向相反方向之第二掃描方向時成為第 $(n-1)$ 個之掃描線選擇信號，於控制電極被施加第二掃描方向控制信號，並且第二電極連接於前述第一電晶體之控制電極；

於前述第 $(n-1)$ 個掃描線選擇信號從第一電壓位準，變化為使前述第一及前述第二電晶體開啟之第二電壓位準後，且更早於前述第 $(n-1)$ 個掃描線選擇信號從前述第二電壓位準回復到前述第一電壓位準前，前述第一輸入信號及前述第二輸入信號中之一方係從前述第一電壓位準變化為前述第二電壓位準；

於前述第 n 個掃描線選擇信號從第一電壓位準變化為前述第二電壓位準後，且更早於前述第 n 個掃描線選擇信號從前述第二電壓位準回復到前述第一電壓位準前，前述第一輸入信號及前述第二輸入信號中之前述一方或另一方係從前述第一電壓位準變化為前述第二電壓位準；

前述第一輸入信號為前述第二電壓位準時，前述第二輸入信號為前述第一電壓位準，前述第二輸入信號為前述第二電壓位準時，前述第一輸入信號為前述第一電壓

位準。

14. 如請求項 12 或 13 之顯示裝置，其中前述第 n 個基本電路具有：第三電容元件，其係連接於前述第五電晶體之第二電極與前述基準電源線之間。

15. 如請求項 12 或 13 之顯示裝置，其中前述第 n 個基本電路具有：第九電晶體，其係連接於前述第一電晶體之第二電極與前述第三電晶體之控制電極之間；

於前述第九電晶體之控制電極被施加特定電位。

16. 如請求項 13 之顯示裝置，其中前述第 n 個基本電路具有：第九電晶體及第十電晶體，其係連接於前述第一電晶體之第二電極與前述第三電晶體之控制電極之間；

於前述第九電晶體之控制電極被施加前述第一掃描方向控制信號；

於前述第十電晶體之控制電極被施加前述第二掃描方向控制信號。

17. 如請求項 16 之顯示裝置，其中前述第 n 個基本電路具有：第三電容元件，其係連接於前述第五電晶體之第二電極與前述基準電源線之間。

18. 如請求項 12 或 13 之顯示裝置，其中前述共通電極驅動電路係以前述第 n 個基本電路，構成奇數段或偶數段中之一方之基本電路；前述奇數段或前述偶數段中之另一方之基本電路係以在前述第 n 個基本電路中已置換前述第一輸入信號與前述第二輸入信號之關係者，或已置換前述第一電源電壓與前述第二電源電壓之關係者所構成。

19. 如請求項5、6、12及13中任一項之顯示裝置，其中前述第n個基本電路具有：第十五電晶體，其係控制電極連接於前述第一電晶體之第二電極，第二電極連接於前述第二電晶體之第二電極，並且第一電極連接於前述基準電源線；及

第十六電晶體，其係控制電極連接於前述第二電晶體之第二電極，第二電極連接於前述第一電晶體之第二電極，並且第一電極連接於前述基準電源線。

20. 如請求項5、6、12及13中任一項之顯示裝置，其中前述第n個掃描線選擇信號係經由二極體元件而施加於前述第五電晶體之第一電極。

十一、圖式：

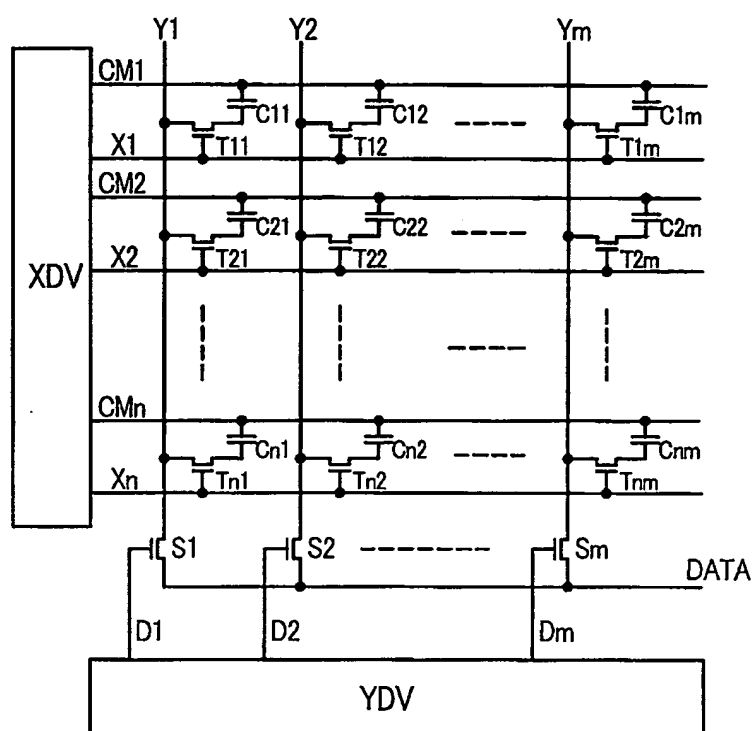


圖 1

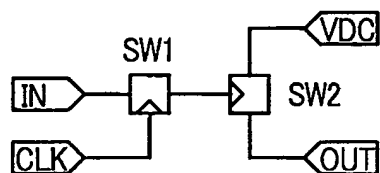


圖 2A

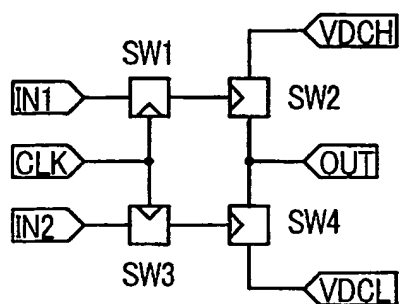


圖 2B

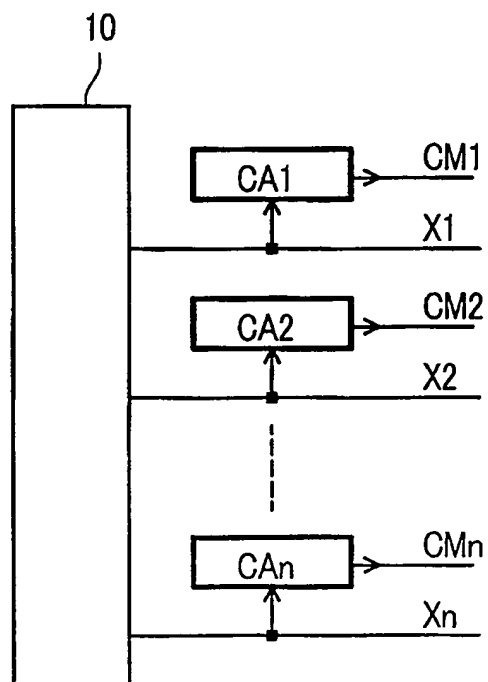


圖 3

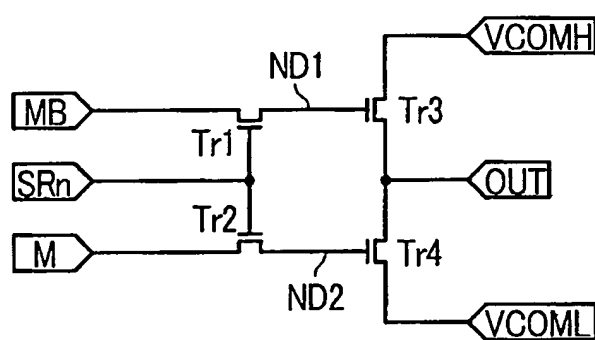


圖 4



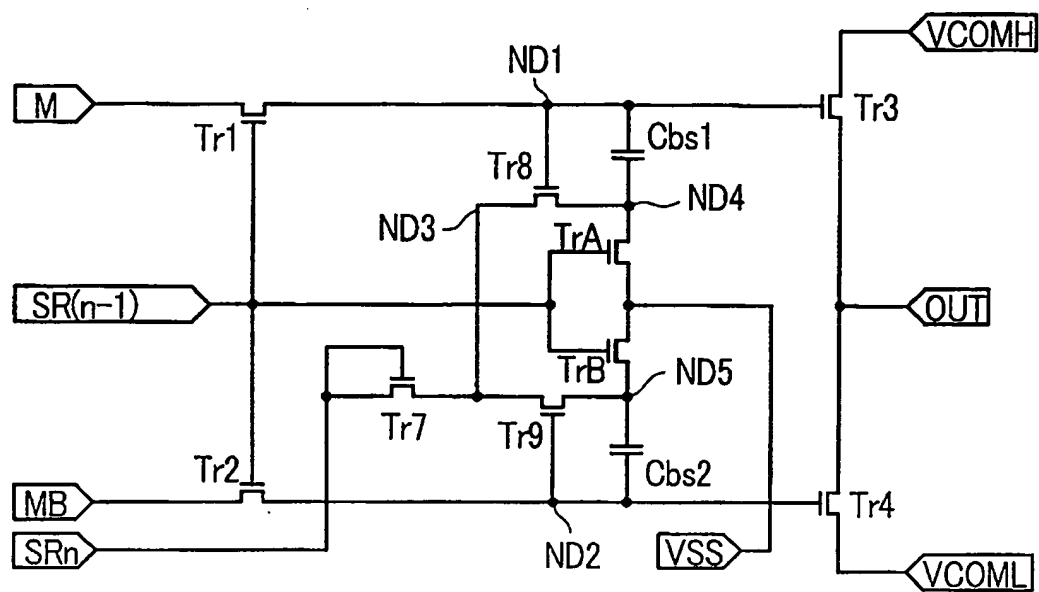


圖 8

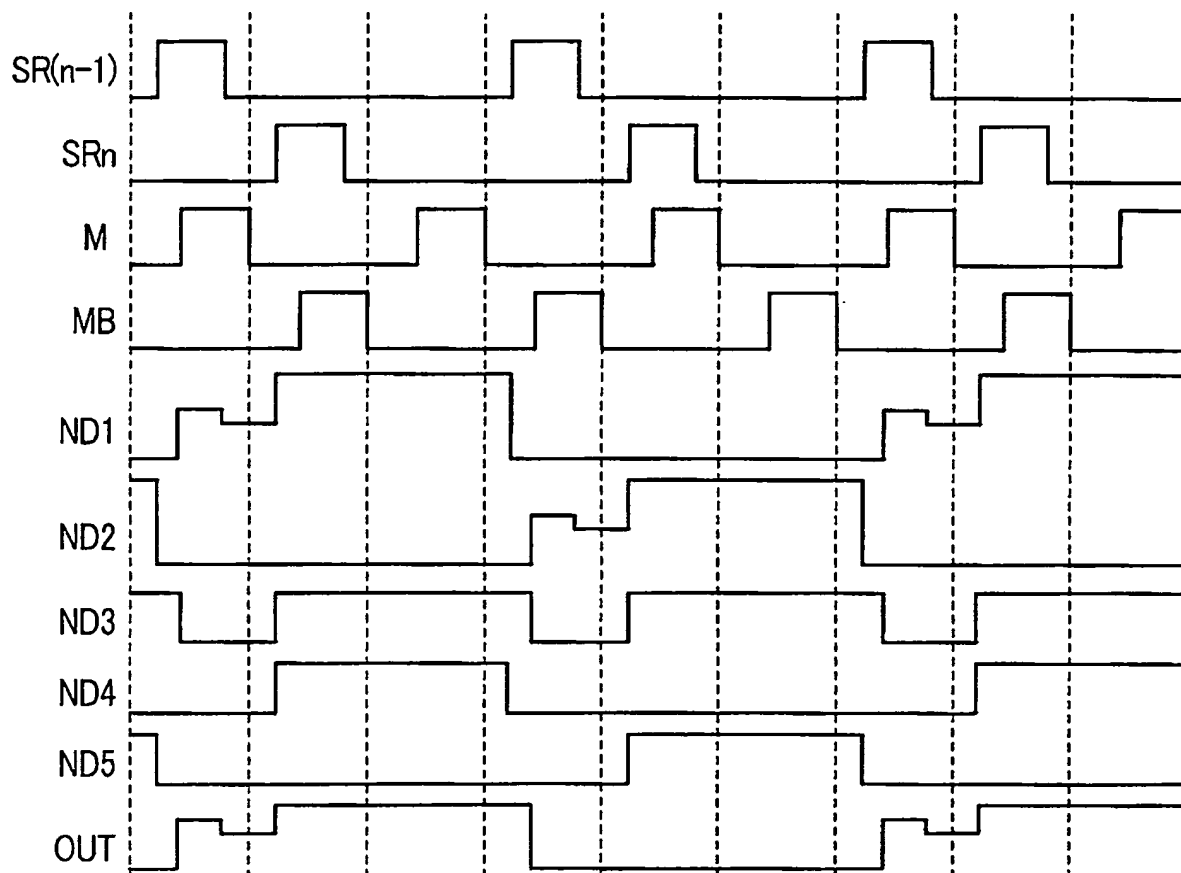


圖 9

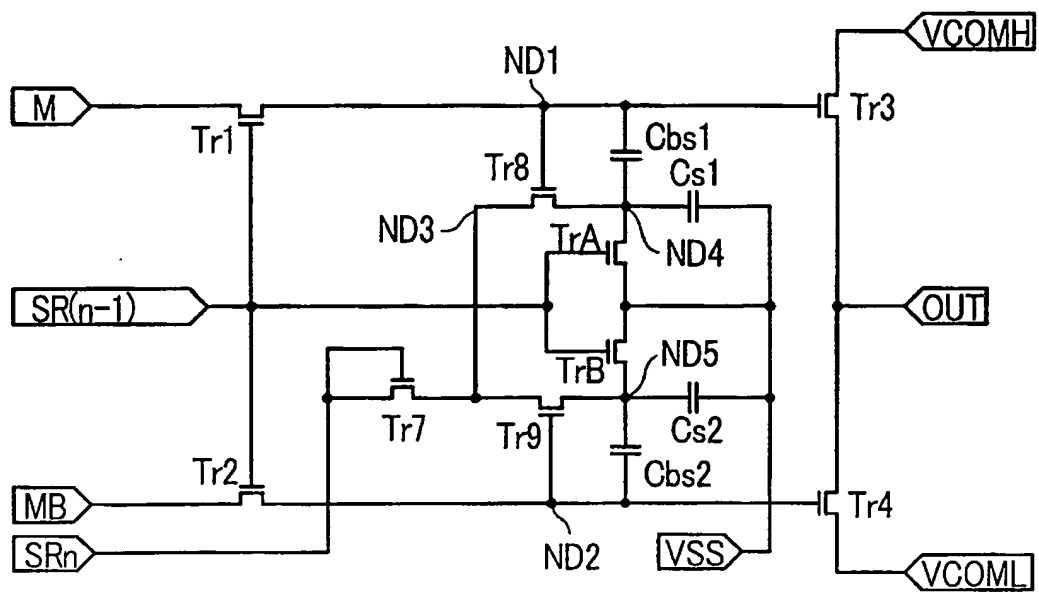


圖 10

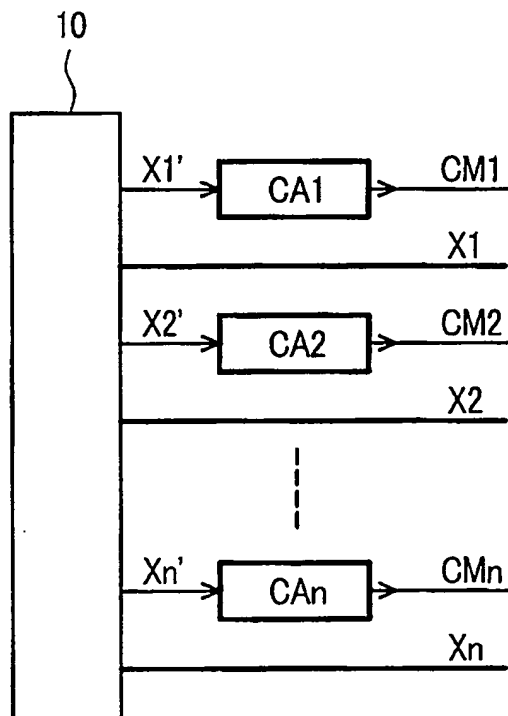
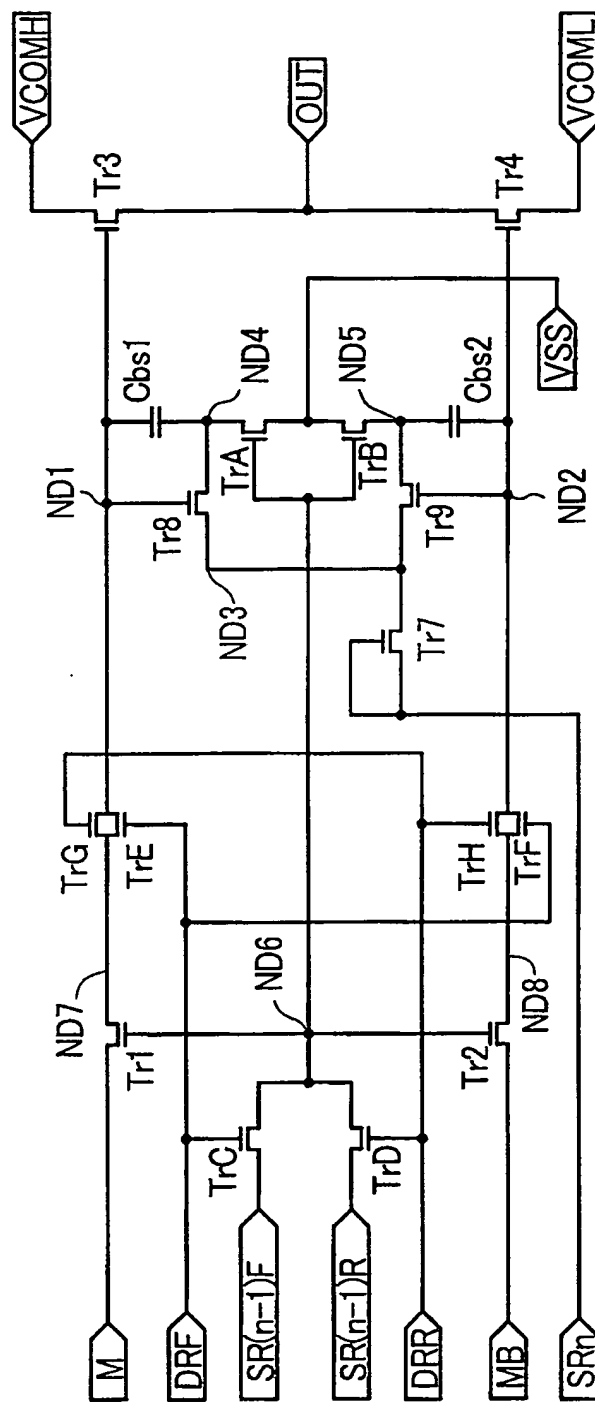


圖 11





14 圖

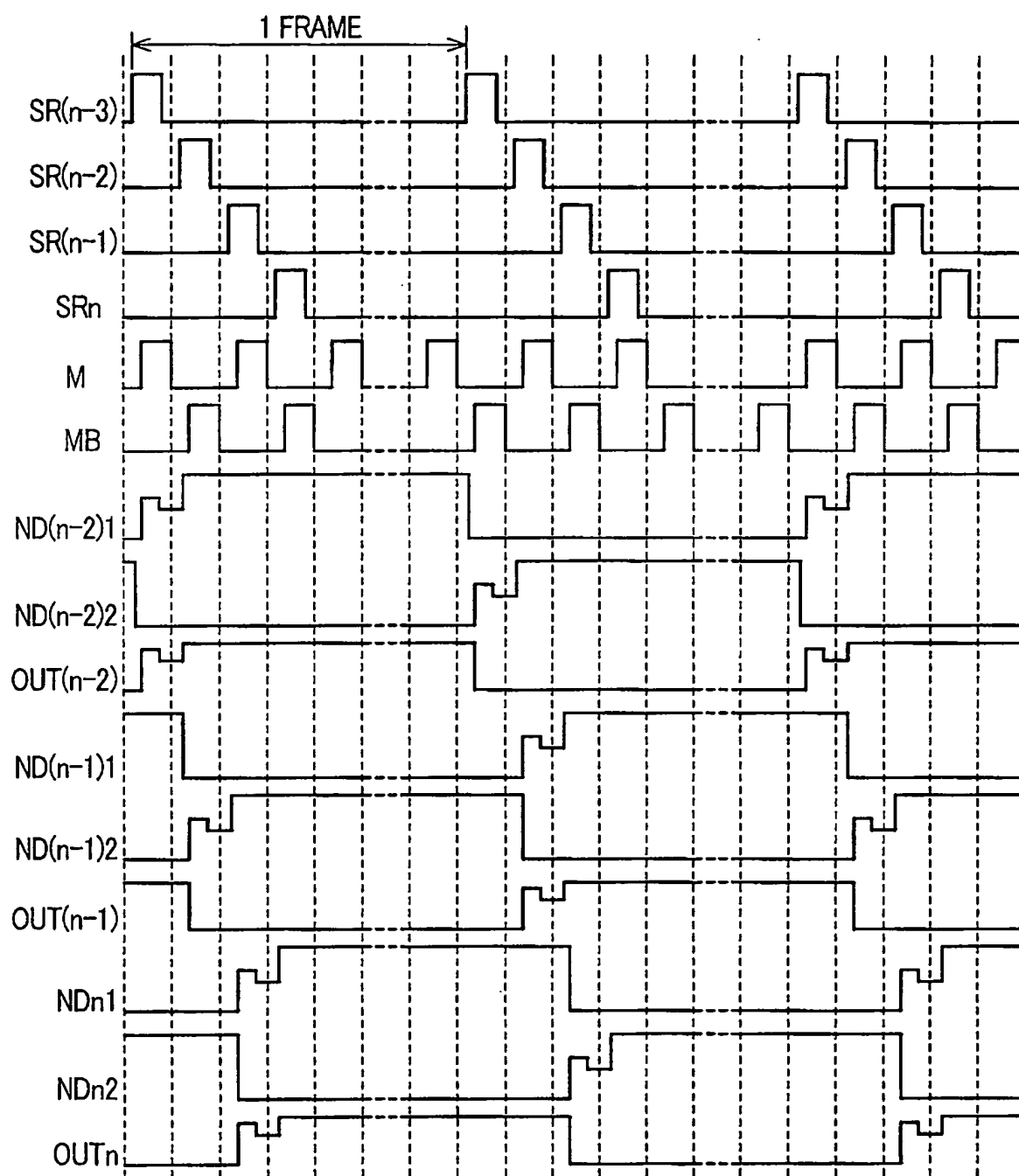


圖 15

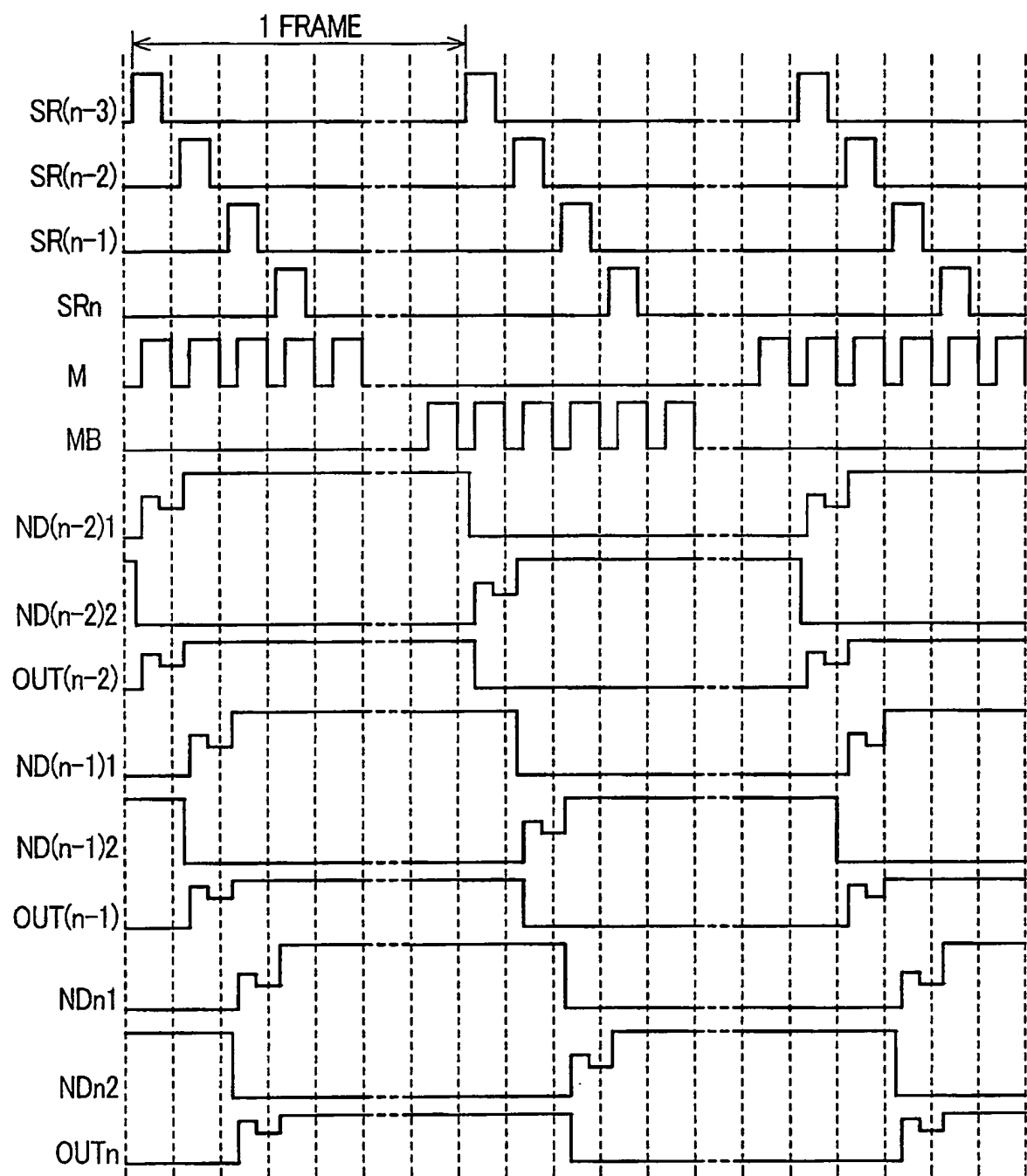


圖 16

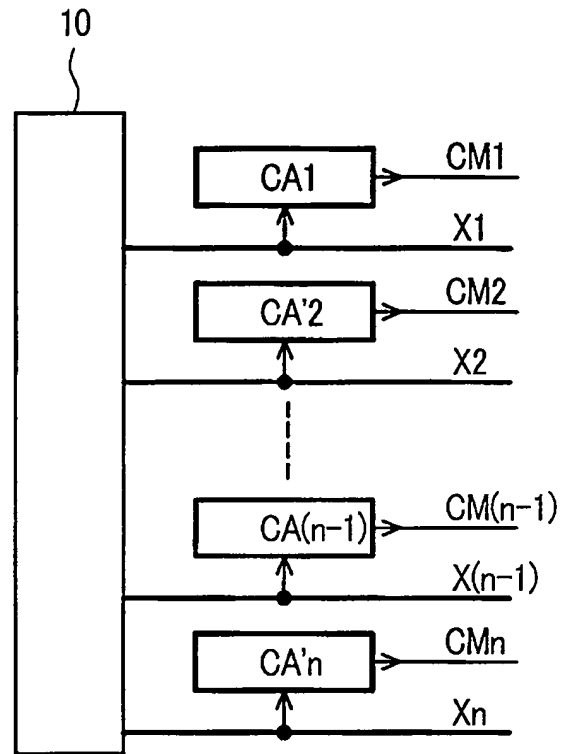


圖 17

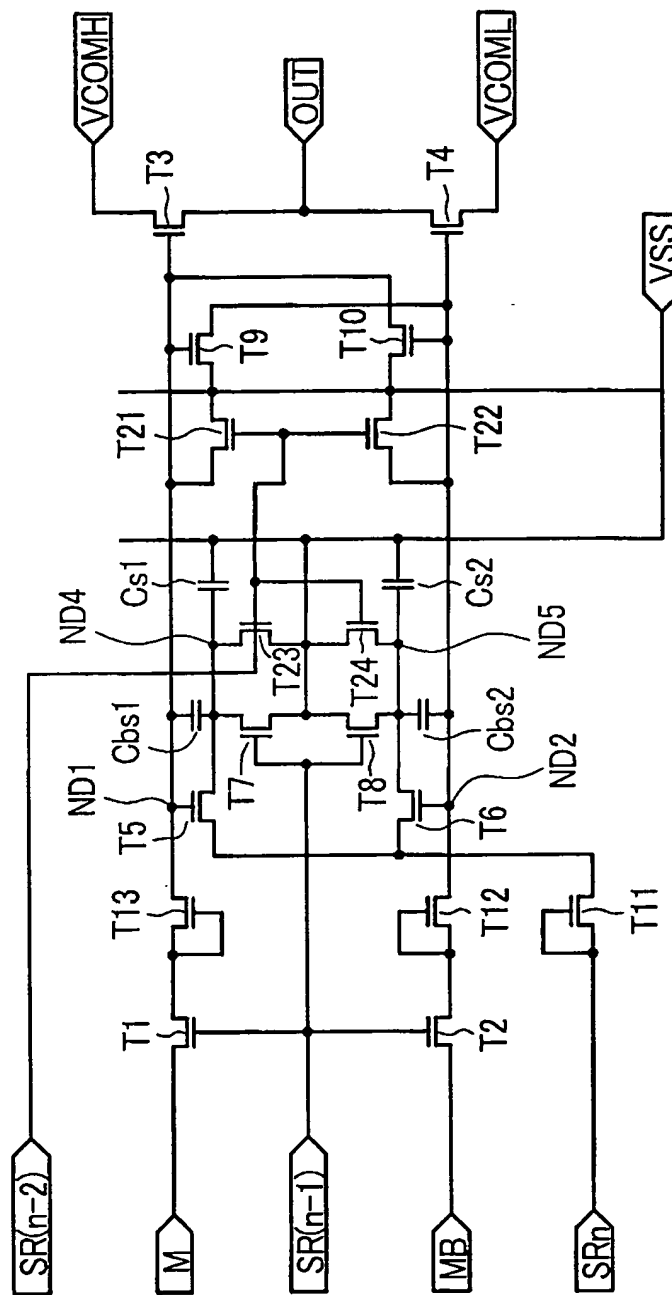


圖 18

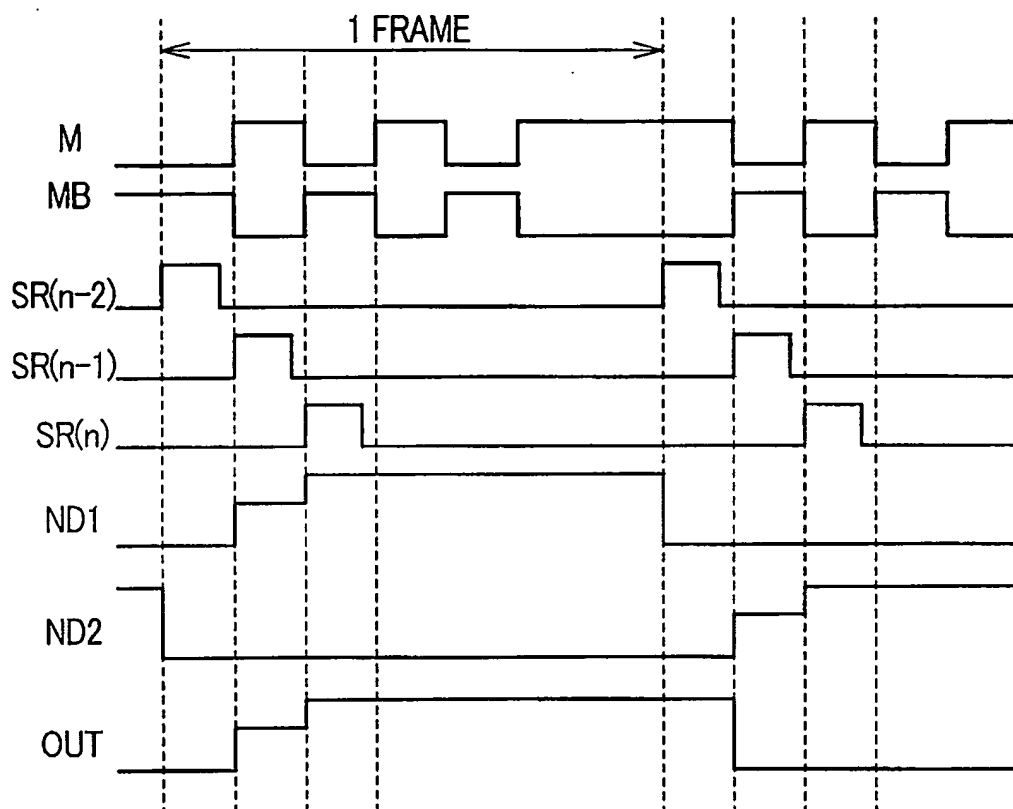


圖 19

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

CM1, CM2, CMn	共通線
C11, C12, C1m, C21, C22, C2m, Cn1, Cn2, Cnm	液晶電容
DATA	影像信號線
S1, S2, Sm	開關元件
T11, T12, T1m, T21, T22, T2m, Tn1, Tn2, Tnm	電晶體
X1, X2, Xn	閘極線
XDV	垂直驅動電路
Y1, Y2, Ym	汲極線
YDV	水平驅動電路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)