



(12) 发明专利

(10) 授权公告号 CN 1868046 B

(45) 授权公告日 2011.12.28

(21) 申请号 200480030424.7

H01L 21/265(2006.01)

(22) 申请日 2004.10.07

H01L 29/78(2006.01)

(30) 优先权数据

03103857.3 2003.10.17 EP

(56) 对比文件

US 5015598 A, 1991.05.14, 全文.

US 2003/0162359 A1, 2003.08.28, 全文.

同上.

EP 0506427 A1, 1992.09.30, 全文.

(85) PCT申请进入国家阶段日

2006.04.17

US 4818715 A, 1989.04.04, 说明书第6栏第4-53行、第8栏11-31行、第56行至第9栏第32行,附图1-3、5a-5i,说明书补正第3页.

(86) PCT申请的申请数据

PCT/IB2004/052021 2004.10.07

US 6083846 A, 2000.07.04, 全文.

(87) PCT申请的公布数据

W02005/038900 EN 2005.04.28

US 6187620 B1, 2001.02.13, 全文.

(73) 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

US 6284630 B1, 2001.09.04, 说明书第6栏第4-16行,附图6.

(72) 发明人 M·J·H·范达尔 R·C·苏尔迪努

US 6380053 B1, 2002.04.30, 全文.

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

US 5747373 A, 1998.05.05, 全文.

代理人 王波波

审查员 李明

(51) Int. Cl.

H01L 21/336(2006.01)

权利要求书 1 页 说明书 4 页 附图 2 页

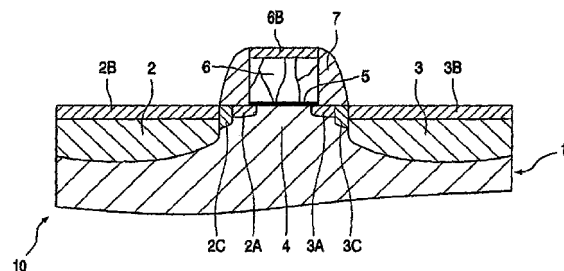
(54) 发明名称

半导体器件及制造此类半导体器件的方法

间区(2C、3C)紧挨着栅(6)位于垫片(7)下方,并且它们优选地使用优选地倾斜的离子注入形成。

(57) 摘要

本发明涉及带有衬底和半导体主体(1)的半导体器件(10),其包括带有源区(2)和漏区(3)的第一FET(3),源区(2)和漏区(3)带有由金属硅化物构成的连接区(2B、3B)并且连接至源区延伸部分(2A)和漏区延伸部分(3A),源区延伸部分(2A)和漏区延伸部分(3A)毗连位于栅(6)下方的通道区(4)并且具有比源区(2)和漏区(3)更小的厚度和更低的掺杂浓度。源区(2)和漏区(3),以及源区延伸部分(2A)和漏区延伸部分(3A)通过具有第一导电性类型的中间区(2C、3C)互相连接,其中中间区(2C、3C)的厚度和掺杂浓度介于其源区(2)和漏区(3)与延伸部分(2A、3A)的厚度和掺杂浓度之间。这样,在连接区(2B、3B)与衬底之间的泄漏电流的发生情况和短路的危险就受到限制,同时使用源区延伸部分(2A)和漏区延伸部分(3A)的优点得以保持。优选地,中



1. 一种用于制造带有衬底和硅半导体主体的半导体器件的方法,该器件包括场效应晶体管,其中在半导体主体的表面处,形成有源区,源区与更低掺杂、更薄的源区延伸部分相连接,并且形成有漏区,漏区与更低掺杂、更薄的漏区延伸部分相连接,所述区和延伸部分为第一导电性类型,并且在所述区和延伸部分之间形成通道区,该通道区为与第一导电性类型相反的第二导电性类型,通道区带有电介质区,在电介质区上形成有栅电极,并且其中源区和漏区带有包括金属硅化物的连接区,其特征在于,具有第一导电性类型的中间区在各情况下形成于源区和源区延伸部分之间以及漏区和漏区延伸部分之间,其中中间区的厚度和掺杂浓度介于通过中间区彼此连接的区与延伸部分的厚度和掺杂浓度之间,由电绝缘材料构成的垫片形成于栅电极的两侧上,该方法包括以下步骤:

在栅电极的侧部存在垫片的情况下通过倾斜离子注入具有第一导电性类型的掺杂元素而形成中间区,该倾斜离子注入与半导体主体表面的法线成锐角进行;

去除栅电极的两侧上的垫片;以及

通过额外的离子注入形成源区延伸部分和漏区延伸部分。

2. 根据权利要求1所述的方法,其特征在于,金属硅化物这样形成:将金属提供于半导体主体上以及容许该金属与半导体主体的硅反应以形成连接区的金属硅化物。

3. 根据权利要求1所述的方法,其特征在于,对于进行倾斜离子注入的角度,选择介于0度与45度之间的角度。

4. 根据权利要求1所述的方法,其特征在于,倾斜离子注入以介于0.5与10keV之间的能量和介于 $5 \times 10^{13}$ at/cm<sup>2</sup>与 $5 \times 10^{14}$ at/cm<sup>2</sup>之间的通量进行。

5. 根据权利要求1所述的方法,其特征在于,源区和漏区(3)通过另外的离子注入形成,并且中间区紧接形成源区和漏区之前或之后形成,而所有这些区在相同热处理中进行回火。

6. 根据权利要求3所述的方法,其中,该角度为20度至40度。

7. 根据权利要求1所述的方法,其中,栅电极带有金属硅化物层。

## 半导体器件及制造此类半导体器件的方法

[0001] 本发明涉及带有衬底和硅半导体主体的半导体器件,其包括场效应晶体管,场效应晶体管具有源区,源区毗邻半导体主体的表面并且连接至更低掺杂、更薄的源区延伸部分,并且具有漏区,漏区毗邻半导体主体的表面并且连接至更低掺杂、更薄的漏区延伸部分,这些区和延伸部分为第一导电性类型,并且具有通道区,通道区位于所述区和延伸部分之间,该通道区为与第一导电性类型相反的第二导电性类型,并且具有通过电介质区与通道区分离的栅电极,源区和漏区带有包含金属硅化物的连接区。此类器件特别是大量地存在于所谓的(C)MOS(= (互补)金属氧化物半导体场效应晶体管)IC(=集成电路)中。本发明还涉及此类器件的制造方法。

[0002] 开头段落中所述类型的器件见于1996年9月10日出版的美国专利说明书US 5,554,549。在所述文件中论述到,在金属硅化物位于源区和漏区的多余附加延伸部分上方的位置处,源区的包含金属硅化物的连接区可能引起连接区与衬底之间发生短路,该附加延伸部分位于源区和漏区的背离栅电极的一侧上。这种附加延伸部分的存在与用于制造相关MOS FET(=场效应晶体管)的具体方法有关,该MOS FET还包括源区延伸部分和类似的漏区延伸部分,它们毗邻栅电极。为了避免此类短路情况,提出了采用使得不再形成所述多余附加延伸部分的制造方法。

[0003] 已知器件的一个缺点在于其可能仍然在连接区与衬底之间出现高泄漏电流或甚至短路。特别是,如果器件的尺寸很小,例如在低于100nm型(C)MOS IC的情况下,这个问题就会突出。

[0004] 已知方法的一个缺点在于其需要比较多的步骤,导致更高的成本价格并且可能导致对成品率产生不利影响。

[0005] 因此,本发明的目的是提供一种器件,其中不存在或基本上不存在所述缺点,并且其中泄漏电流极低并且排除了短路情况。

[0006] 为了实现这点,开头段落中所述类型的方法根据本发明特征在于源区和源区延伸部分,以及漏区和漏区延伸部分在各情况下通过具有第一导电性类型的中间区互相连接,其中中间区的厚度和掺杂浓度介于通过中间区彼此连接的区与延伸部分的厚度和掺杂浓度之间。本发明首先基于以下认识,即在已知器件研制中,在例如通常完全被金属硅化物覆盖的源区重叠着或至少触及源区延伸部分的位置处,仍然发生泄漏电流或甚至短路。由于该区非常薄并且掺杂比较少,所以通过该区可能发生比较高的泄漏电流,或甚至可能与衬底发生短路。特别是,如果器件的尺寸小并且金属硅化物通过沉积于半导体主体上的金属与半导体主体的硅的反应形成,这个问题就很突出。本发明还基于以下认识,即通过利用具有中间厚度和掺杂浓度的中间区连接源区和源区延伸部分,这个问题能够得到解决。在金属硅化物毗邻中间区或甚至与所述区重叠的位置处,泄漏电流和短路的危险得以减少,因为这个区具有更大的厚度和更高的掺杂浓度。利用这一点,一方面泄漏电流受到限制而击穿得以排除,同时,另一方面,源区延伸部分的优点保持完整。本发明还基于以下认识,即这种中间区能够非常容易地形成,因此器件的制造保持很简单。

[0007] 在根据本发明的器件的一个优选实施例中,金属硅化物部分地凹进于半导体主体

中。值得注意的是,此类凹进的金属硅化物在以下制造过程中形成,在这种制造过程中,金属硅化物通过沉积于半导体主体上的金属与下面的半导体主体的硅的反应形成。于是根据本发明的措施特别有效。

[0008] 在一个有利实施例中,由电绝缘材料构成的垫片在栅电极的任一侧上位于半导体主体上,并且当在投影图中观察时,中间区与相关延伸部分位于这个垫片下方。借助于这种垫片,源区(以及漏区)和相关中间区两者都能够形成,在本文中稍后将对此进行清楚说明,而金属硅化物不或者基本上不与中间区重叠,因此与源区延伸部分保持安全距离。

[0009] 优选地,中间区通过离子注入形成。这种技术非常适用,因为其还能够有利地用来制造源区和源区延伸部分。

[0010] 此外,这种技术能够适当地用来形成位于垫片下方的中间区,因为注入与半导体主体的表面形成的角度还可倾斜,因此更容易通过垫片形成中间区。

[0011] 用于制造带有衬底和硅半导体主体的半导体器件的方法,该器件包括场效应晶体管,其中在半导体主体的表面处,形成有源区,源区与更低掺杂、更薄的源区延伸部分相连接,并且形成有漏区,漏区与更低掺杂、更薄的漏区延伸部分相连接,这些区和延伸部分为第一导电性类型,并且在所述区和延伸部分之间形成通道区,该通道区为与第一导电性类型相反的第二导电性类型,通道区带有电介质区,在电介质区上形成有栅电极,并且其中源区和漏区带有包含金属硅化物的连接区,根据本发明这种方法的特征在于具有第一导电性类型的中间区在各情况下形成于源区和源区延伸部分之间以及漏区和漏区延伸部分之间,其中中间区的厚度和掺杂浓度介于通过中间区彼此连接的区与延伸部分的厚度和掺杂浓度之间。因此获得了具有相关优点的根据本发明的器件。

[0012] 在根据本发明的方法的一个优选实施例中,金属硅化物这样形成:将金属提供于半导体主体上以及容许金属与半导体主体的硅反应以形成所述金属硅化物。优选地,由电绝缘材料构成的垫片形成于栅电极的任一侧上,而中间区通过离子注入具有第一导电性类型的掺杂元素而形成,所述离子注入与半导体主体表面的法线成锐角进行。使用介于0度与45度之间的角度,优选地使用介于20度与40度之间的角度,可以得到良好的结果。

[0013] 适当的注入能量介于大约1与10keV的范围内。注入剂量介于例如 $5 \times 10^{13}$ at/cm<sup>2</sup>与 $5 \times 10^{14}$ at/cm<sup>2</sup>的范围内,优选地处于1至 $2 \times 10^{14}$ at/cm<sup>2</sup>的范围内。

[0014] 在适当的改型中,中间区紧接形成源区和漏区之前或之后形成,并且中间区和源区,漏区和中间区在相同步骤期间进行回火。因此,与已知方法相比,这种方法需要比较小的改进和/或扩展。

[0015] 本发明的这些和其它方面可以清楚地从下文所述的实施例看出,并将参考这些实施例来阐明。

[0016] 在附图中:

[0017] 图1为与根据本发明的半导体器件的厚度方向垂直的概略剖视图,

[0018] 图2为与已知半导体器件的厚度方向垂直的概略剖视图,以及

[0019] 图3至6为在使用根据本发明的方法的一个实施例的制造过程的连续阶段中,与半导体器件的厚度方向垂直的概略剖视图。

[0020] 这些图并非按比例绘制,并且为清楚起见,对一些尺寸如沿厚度方向的尺寸进行了放大。在不同的图中,只要有可能,对应的区域或部分利用相同的阴影线或相同的参考数

字表示。

[0021] 图 1 为与根据本发明的半导体器件的厚度方向垂直的概略剖视图。图 2 为与已知半导体器件的厚度方向垂直的概略剖视图。这两种器件 10 包括半导体主体 1, 其在这种情况下包含在图中并未分离地示出的硅半导体衬底。器件 10 实际上包括位于边缘处的隔离区 (未示出), 例如所谓的沟槽或 LOCOS (= 硅的局部氧化) 隔离。实际上, 半导体主体 1 通常还包括 n 型以及 p 型区域以用于既形成 NMOS 又形成 PMOS 晶体管, 此处只示出了其中一个。在半导体主体 1 的表面处, 存在源区 2 和漏区 3 及介于它们之间的通道区 4, 在这种情况下源区 2 和漏区 3 为 n 型, 而通道区 4 为 p 型, 通道区 4 上方存在电介质区 5, 在这种情况下电介质区 5 为氮氧化硅。源区 2 和漏区 3 分别连接至源区延伸部分 2A 和漏区延伸部分 3A 上, 它们位于垫片 7 下方, 垫片 7 在这种情况下为二氧化硅, 其毗邻栅电极 6, 栅电极 6 在这种情况下为多晶硅。源区 2 和漏区 3 的厚度和掺杂浓度处于分别介于 40 和 70nm 以及  $10^{21}$  和  $5 \times 10^{21} \text{at/cm}^3$  之间的范围内。对于这些区 2、3 的延伸部分 2A、3A, 所述值分别为 10 至 30nm 以及  $10^{20}$  和  $10^{21} \text{at/cm}^3$ 。在这种情况下, 栅电极的宽度介于 10 和 100nm 之间, 而厚度介于 50 和 150nm 之间, 而垫片 7 的宽度例如处于 40 至 120nm 的范围内。源区 2 和漏区 3 被连接区 2B、3B 覆盖, 连接区 2B、3B 包含金属硅化物, 在这种情况下为厚度处于 25 至 35nm 范围内的钴二硅化物。栅电极 6 被相同材料的连接区 6B 覆盖。

[0022] 在已知器件 10 中 (参见图 2), 在利用参考数字 20 表示的点处, 在连接区 2B、3B 与衬底之间可能出现增加的泄漏电流或甚至击穿。在根据本发明的器件中 (参见图 1), 在源区 2 和漏区 3 与相关延伸部分 2A、3A 之间存在中间区 2C、3C, 该中间区具有中间厚度和中间掺杂浓度。在这种情况下, 厚度范围为从大约 20 至 50nm 而掺杂浓度范围介于  $10^{18}$  和  $5 \times 10^{18} \text{at/cm}^3$  之间。利用这些中间区 2C、3C, 在已知器件中的临界区 20 的位置处的泄漏电流在根据本发明的器件 10 中受到限制, 击穿的危险也受到限制。利用这点, 源区 2 和漏区 3 与衬底之间的二极管的性能就得到显著地改善, 因此也显著地改善了该实例的 MOSFET 的性能。

[0023] 在这个实例中, 金属硅化物区 2B、3B 至少部分地凹进于半导体主体 1 中, 因为它通过将金属沉积于半导体主体 1 的表面上而形成, 该金属在热处理中与半导体主体的硅反应。在图中, 区 2B、3B 全部凹进。实际上, 硅化物区 2B、3B 的顶面甚至可以位于半导体主体 1 的表面下方。在此类器件 10 中, 根据本发明的措施的优点相当地显著。如这个实例中的情况那样, 中间区 2C、3C 优选地利用离子注入技术形成, 并且基本上全部位于垫片 7 下方。这个实例的发明的器件 10 使用根据本发明的方法按照以下方式制造。

[0024] 图 3 至 6 为在使用根据本发明的方法的一个实施例的制造过程的连续阶段中, 与半导体器件的厚度方向垂直的概略剖视图。起始步骤 (参见图 3) 部分地为惯常步骤, 在这种情况下并未分离地示出。半导体主体 1 的表面被电介质层 5 覆盖, 电介质层 5 在这种情况下包括氮氧化硅并且厚度介于 0.5 与 1.5nm 范围内。在这种情况下为 50nm 厚度的多晶硅层 6 在这种情况下利用 CVD (= 化学蒸汽沉积) 方法提供于其上, 多晶硅层 6 可以或可以不经过掺杂。接着, 利用光刻和蚀刻方法限定栅电极 6。通过均匀地沉积电介质层而形成垫片 7, 该电介质层随后受到各向异性地蚀刻。接着, 利用第一离子注入  $I_1$  形成源区 2 和漏区 3。在这个过程中, 栅电极 6 并未受到屏蔽, 因此栅电极的硅也经过掺杂。

[0025] 随后 (参见图 4), 利用第二离子注入  $I_2$  形成中间区 2C、3C。这种注入  $I_2$  相对于

法线成一定角度 A 进行,角度 A 介于 0 与 45 度范围内,在这种情况下大约相对于法线成 20 度。因此,中间区 2C、3C 形成于垫片 7 下方。接着,通过在处于 900 至 1100 摄氏度的温度范围内使用 RTA(=快速热退火)进行热处理将注入  $I_1$  和  $I_2$  两者回火。

[0026] 随后(参见图 5),利用蚀刻除去垫片 7,此后利用第三离子注入  $I_3$  形成源区和漏区延伸部分 2A、3A。这种注入  $I_3$  随后通过热处理进行回火,例如通过所谓的闪光或激光 RTA(=快速热退火)进行。

[0027] 随后(参见图 6),通过蒸汽沉积提供金属层 8,在这种情况下为钴。因此,在源区 2 和漏区 3 及栅电极 6 的位置处,在第一低温热处理中形成了反应产物即富金属的金属硅化物,掩模同时从该处除去。随后利用蚀刻除去垫片 7 位置处的所述区上的多余金属和全部金属层 8。然后,在更高温度的进一步热处理中,将富钴硅化物转变成钴二硅化物,结果(参见图 1)形成源区 2 和漏区 3 的连接区 2B、3B 以及栅电极 6 的连接区 6B。

[0028] 最后,按照惯常方式完成晶体管 T 的制造。就是说,应用了一个或多个电介质层并且其带有接触开口,此后应用导电层例如铝导电层并且为其形成图案,然后从所述导电层形成源区 2 和漏区 3 以及栅电极 6 所用的连接导体。为了简化起见,这些步骤并未示于图中。利用分离技术例如锯切获得各个独立的器件 10。

[0029] 本发明并不限于此处所述的实施例的实例,并且在本发明的范围内,本发明所属领域的普通技术人员可以做出许多变型和改动。例如,可以制造具有不同的几何和/或不同的尺寸的器件。可以使用玻璃、陶瓷或合成树脂衬底,而非硅衬底。半导体主体于是可通过所谓的 SOI(=绝缘体上的硅)形成。为此目的,可以或不使用所谓的衬底迁移技术。

[0030] 还应当指出,在本发明的范围内,可以使用除了实例中所述以外的材料。例如,可以使用其它金属如镍或钛,而非钴。可以有利地使用金属栅电极,而非包含硅的栅电极。所述材料或其它材料还可以使用不同的沉积技术,如外延生长、CVD、溅射和蒸汽沉积。可以使用“烘干”技术如等离子体蚀刻,而非湿化学蚀刻,反之也可。还应当指出,器件可包括其它有源和无源半导体元件或电子部件,而不管是否呈集成电路的形式。

