



(12)发明专利

(10)授权公告号 CN 104428995 B

(45)授权公告日 2017.05.03

(21)申请号 201380036323.X

(22)申请日 2013.05.17

(65)同一申请的已公布的文献号
申请公布号 CN 104428995 A

(43)申请公布日 2015.03.18

(30)优先权数据
61/650,837 2012.05.23 US
13/757,665 2013.02.01 US

(85)PCT国际申请进入国家阶段日
2015.01.07

(86)PCT国际申请的申请数据
PCT/US2013/041708 2013.05.17

(87)PCT国际申请的公布数据
W02013/177002 EN 2013.11.28

(73)专利权人 菲尼萨公司
地址 美国加利福尼亚州

(72)发明人 T·尼古因 S·G·特罗耶
D·K·凯斯

(74)专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 赵静

(51)Int.Cl.
H03L 7/085(2006.01)

(56)对比文件
CN 101911494 A,2010.12.08,
JP H01293009 A,1989.11.27,
US 5005016 A,1991.04.02,
WO 0205429 A2,2002.01.17,
JP 2004214932 A,2004.07.29,
JP 2005110158 A,2005.04.21,
US 2006146959 A1,2006.07.06,
US 2009015338 A1,2009.01.15,
WO 2011010581 A1,2011.01.27,
US 2011133799 A1,2011.06.09,
US 2011133794 A1,2011.06.09,
CN 102414980 A,2012.04.11,
US 2012119801 A1,2012.05.17,

审查员 曾伟涛

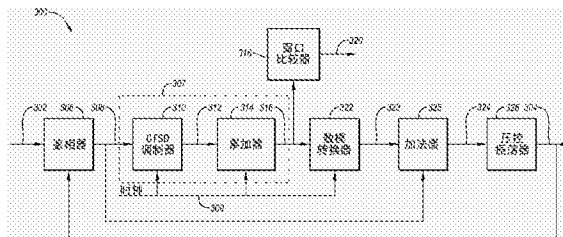
权利要求书2页 说明书8页 附图5页

(54)发明名称

用于数字鉴相器的低功率小面积数字积分器

(57)摘要

在示例实施方式中,锁相环电路可包括接收参考信号和源信号的第一电路。第一电路可产生用于表示参考信号和源信号之间的相位差的校正信号。锁相环可包括接收该校正信号的第二电路。第二电路可产生用于表示校正信号的相位—数字转换的数字信号。锁相环可包括接收该数字信号的第三电路。第三电路可产生用于表示数字信号的转换电压的控制信号。锁相环可包括接收该控制信号的第四电路。第四电路可响应该控制信号,产生源信号。



1. 一种锁相环电路,用于接收包括基准相位的参考信号,并产生包括与所述基准相位相关的源相位的源信号,所述锁相环电路包括:

第一电路,用于接收参考信号和源信号,并产生表示所述参考信号和所述源信号之间的相位差的校正信号;

第二电路,用于接收所述校正信号,并产生表示所述校正信号的相位—数字转换的数字信号;

第三电路,用于接收所述数字信号,并产生表示所述数字信号的转换值的控制信号;

第四电路,用于接收所述控制信号,并响应所述控制信号,产生源信号;和

窗口比较器,所述窗口比较器用于接收所述数字信号,并产生用于传递所述数字信号的特性在可接受范围之外的信号。

2. 如权利要求1所述的锁相环电路,其中所述第二电路还用于抽取数字信号。

3. 如权利要求1所述的锁相环电路,其中所述第二电路还用于对所述数字信号进行下采样。

4. 如权利要求1所述的锁相环电路,其中所述第二电路还用于抽取并下采样所述数字信号。

5. 如权利要求1所述的锁相环电路,其中所述第二电路包括连续时间 Σ - Δ 调制器。

6. 如权利要求1所述的锁相环电路,其中所述第三电路包括累加器和数模转换器,以及所述控制信号包括由累加器从所述数字信号产生的数码字的转换电压。

7. 如权利要求1所述的锁相环电路,其中所述第一电路包括鉴相器,所述鉴相器用于产生二进制或者数字校正信号。

8. 如权利要求1所述的锁相环电路,其中所述第三电路包括累加器,所述控制信号包括由所述累加器从所述数字信号产生的数码字,以及所述第四电路包括数字控制振荡器,所述数字控制振荡器用于响应于所述数码字产生源信号。

9. 如权利要求1所述的锁相环电路,其中所述第四电路包括压控振荡器。

10. 一种从含基准相位的参考信号产生源信号的方法,所述源信号包括与所述基准相位相关的源相位,所述方法包括:

接收所述参考信号和所述源信号;

产生用于传递所述参考信号和所述源信号之间的相位差的校正信号;

产生用于传递所述校正信号的相位—数字转换的数字信号;

产生用于传递所述数字信号的转换值的控制信号;

产生用于传递所述数字信号的特性在可接受范围之外的信号;以及

响应所述控制信号,产生所述源信号。

11. 如权利要求10所述的方法,其中产生所述数字信号包括抽取所述校正信号。

12. 如权利要求10所述的方法,其中产生所述数字信号包括下采样所述校正信号。

13. 如权利要求10所述的方法,其中产生所述数字信号包括抽取和下采样所述校正信号。

14. 如权利要求10所述的方法,其中所述校正信号的相位—数字转换包括对所述校正信号进行连续时间 Σ - Δ 调制。

15. 如权利要求10所述的方法,其中所述校正信号包括二进制校正信号或者数字校正

信号。

16. 如权利要求10所述的方法,其中产生所述控制信号包括对所述数字信号进行数模转换。

17. 一种锁相环电路,用于接收包括基准相位的参考信号,并产生包括与所述基准相位相关的源相位的源信号,所述锁相环电路包括:

用于产生传递所述参考信号和所述源信号之间的相位差的校正信号的装置;

用于产生传递所述校正信号的相位—数字转换的数字信号的装置;

用于产生传递所述数字信号的转换值的控制信号的装置;

用于响应所述控制信号,产生所述源信号的装置;以及

产生用于传递数字信号的特性在可接受范围之外的信号的装置。

用于数字鉴相器的低功率小面积数字积分器

发明领域

[0001] 本发明可涉及锁相环系统。

背景技术

[0002] 锁相环系统是一种配置成产生相对于参考信号具有固定相位关系的源信号的控制系统。锁相环广泛用于无线电、远程通信、计算机和其它电子应用中。锁相环可被用在包括时钟和数据恢复(CDR)电路的许多应用中。例如,在一些系统中,数据可以在没有额外的定时参考(timing reference)的情况下被发送到接收机,且可以利用CDR电路在接收机处恢复定时信息。

[0003] 图1示出了常规的模拟锁相环100的例子。该锁相环100输入参考信号102,输出源信号104。输出的源信号104的相位可与参考信号102的相位有关。

[0004] 锁相环100可包括鉴相器106。鉴相器106可接收参考信号102和源信号104作为输入,并产生指示参考信号102和源信号104的相位差的校正信号110。许多鉴相器设计可用于产生校正信号110。鉴相器通常以线性和非线性为特征。线性鉴相器输出与参考信号102和源信号104之间的相位差成比例的信号。非线性鉴相器没有这种比例性,通常具有两个状态:早或晚。非线性鉴相器还已知的是数字鉴相器。校正信号110可由环路滤波器112滤波,以产生控制信号114。环路滤波器112可包括低通滤波器以减弱校正信号110的高频部分。这种低通滤波器一般以具有零补偿的积分器的形式实现。具有零补偿的积分器通常用电荷泵电路和串联电阻-电容器实现。需要的电容一般非常大(比1nF大得多),因此其通常为外部部件,从而难以将具有零补偿的该积分器引入集成电路(IC)技术。

[0005] 锁相环100可包括压控振荡器116。压控振荡器116通常可被配置为输出振荡信号,例如源信号104。振荡信号的频率可取决于由压控振荡器116输入的电压。控制信号114可驱动压控振荡器116,以产生具有周期振荡的源信号104。源信号104的频率可由控制信号114的电压控制。

[0006] 如果源信号104和参考信号102相位匹配,则控制信号114的电压并由此源信号104的频率可保持不变。如果源信号104的相位落在参考信号102的相位之后,则鉴相器106可产生校正信号110,从而得到的控制信号114使压控振荡器116加快源信号104的频率。例如,控制信号114的电压可增加。相反,如果源信号104的相位在参考信号102之前,则鉴相器106可产生校正信号110,从而控制信号114使压控振荡器116放慢源信号104的频率。例如,控制信号114的电压可降低。

[0007] 在一些系统中,如果参考频率太高或者太低,源信号104和参考信号102会失去相位锁定的能力。例如,如果系统难以达到产生频率匹配所需的电压,则源信号104和参考信号102会失去相位锁定的能力。在一些系统中,如果锁相环100不能实现锁定,则控制信号114的电压可以在系统的电源电压或者地电压附近被驱动。在一些系统中,在获取环相位的频率期间,窗口比较器可监视控制信号114的电压。如果控制信号114的最后集中的电压低于高阈值且高于低阈值,则窗口比较器可输出一个信号,该信号表明在设计CDR的所有环境

条件下保证锁定的合适范围内,源信号104在参考信号102的频率下被锁定。高阈值可以是基于电源电压,低阈值是基于低电压。如果控制信号114的电压高于高阈值或者低于低阈值,则窗口比较器可输出一个信号,该信号表明源信号104在参考信号102的频率没有被锁定。

[0008] 在一些应用中,源信号104可用于确定参考信号102的定时参考(时钟)。例如,在一些通信系统中,数据可在无附加时钟信息的情况下被传输到接收机。例如,在一些光通信系统中,数据可由光纤传送,在无伴随的时钟信息的情况下被接收机接收。在一些实施方式中,锁相环100可用于从接收的数据中得到时钟信息,如公知的CDR。

[0009] 传统的CDR也需要图1所示的环路滤波器。也需要大电容,因此在现代IC工艺中集成这种部件非常困难。

[0010] 图2示出的是包含数字滤波器206的常规数字锁相环200。由模数转换器204将校正信号110转化为数字校正信号202。可由数字滤波器206利用数字信号处理技术对数字校正信号202进行处理,以获得参考图1所

[0011] 述的环路滤波器112的等效滤波。数字滤波器输出208可由数模转换器212转换为模拟信号210。可供选择地,数字滤波器输出208可直接驱动数字控制振荡器(未示出)。本申请所述的实施方式描述了使数字鉴相器的输出数字化的系统和方法,所述数字鉴相器具有极低功率和小尺寸,适合于利用现代IC工艺实现高度集成。

[0012] 本发明要求保护的主体不局限于解决任何缺陷或者仅仅在上述环境下操作的实施方式。这一背景仅仅解释可以实践本发明所述的一些实施方式的一个示例性的技术领域。

发明内容

[0013] 发明内容以简化的形式介绍构思的一部分,所述构思将在下面的详细说明中做进一步描述。该发明内容不是旨在确定要求保护的主体关键特征或者必要特征,也不是为了帮助确定要求保护的主体范围。

[0014] 一些实施方式可包括锁相环电路,用于接收包括基准相位的参考信号,产生包括与基准相位相关的源相位的源信号。锁相环可包括配置成接收参考信号和源信号的第一电路。第一电路还可被配置成产生用于表示参考信号和源信号之间的相位差的校正信号。锁相环还可包括配置成接收该校正信号的第二电路。第二电路还可被配置成产生用于表示校正信号的相位—数字转换的数字信号。锁相环还可包括配置成接收该数字信号的第三电路。第三电路还可被配置成产生用于表示数字信号的转换值的控制信号。锁相环还可包括配置成接收该控制信号的第四电路。第四电路还可被配置成响应该控制信号,产生源信号。

[0015] 一些实施方式可包括从含基准相位的参考信号产生源信号的方法。源信号可包括与基准相位相关的源相位。该方法可包括接收参考信号和源信号。该方法还可包括产生传递参考信号和源信号之间的相位差的校正信号。该方法还可包括产生传递校正信号的相位—数字转换的数字信号。该方法还可包括产生传递数字信号的转换值的控制信号。该方法还可包括响应该控制信号,产生源信号。

[0016] 一些实施方式可包括锁相环电路,用于接收包括基准相位的参考信号,并产生包括与基准相位相关的源相位的源信号。锁相环电路可包括用于产生传递参考信号和源信号

之间的相位差的校正信号的装置。锁相环电路还可包括用于产生传递校正信号的相位-数字转换的数字信号的装置。锁相环电路还可包括用于产生传递数字信号的转换值的控制信号的装置。锁相环电路还可包括用于响应该控制信号,产生源信号的装置。

[0017] 这里所述的实施方式描述了以下述方式使数字鉴相器的输出数字化的系统和方法,该方式使得数字鉴相器具有极低功耗和小尺寸,适合于利用现代IC工艺高度集成。数字鉴相器的输出是数字信号,因此能够利用数字滤波器进行处理。但是,在高比特率时数字信号通常以行处理速率(line rate)运行,因此,信号可在处理之前被抽取并向下采样到合理的时钟频率。这里所述的实施方式公开的是将 Σ - Δ 调制器用作数字鉴相器的抽取器和向下采样器。

[0018] 各实施方式的附加的特征和优点在下面的说明中提出,一部分从说明书明显看出,或者可在实施本发明时得知。本发明的特征和优点可以通过附加的权利要求中特别指出的结构和组合实现和获得。本发明的这些和其它特征根据下面的说明和附加的权利要求将更加显而易见,或者通过实施下面提出的发明得知。

[0019] 附图简单说明

[0020] 为了进一步阐明本发明实施方式的上述和其它优点与特征,本发明更详细的说明将参考附图中图示的实施方式予以呈现。要理解的是,这些附图描述的仅仅是本发明的典型实施方式,因此不应该被认为是对本发明范围的限制。利用附图对实施方式附加的特征和细节进行说明和解释,其中:

[0021] 图1图示传统模拟锁相环的例子;

[0022] 图2图示传统数字锁相环的例子;

[0023] 图3图示改进的锁相环;

[0024] 图4A图示图3中包含压控振荡器的锁相环的示例实施方式;

[0025] 图4B图示图3中包含数字控制振荡器的锁相环的示例实施方式;以及

[0026] 图5是图示从参考信号产生源信号的方法的流程图。

[0027] 优选实施方式的具体描述

[0028] 各实施方式可涉及锁相环系统。

[0029] 与图1所示的传统的模拟锁相环100相比,图2所示的传统的数字锁相环的优点在于,允许数字滤波器206在没有外部部件的情况下实现。参考图2描述的结构需要诸如以极高时钟频率运行的加法器和DAC这样的部件。加法器和DAC以高时钟频率运行可转变为高功耗。设计的解决方案是以较低的时钟频率运行这些和其它部件。在P.K.Hanumolu等人的,“A 1.6Gbps Digital CDR.”IEEE Custom Integrated Circuits Conference (IEEE非标准集成电路会议) (2006) 603-606中描述了一种特别的解决方案,该解决方案采用解复用和多数投票电路。但是,解复用和多数投票电路仍然需要许多锁存器和加法器,与本文所述的实施方式相比,它们会占用较大的面积并且消耗较多的功率。

[0030] 图3示出了改进的锁相环300,锁相环300包括相位-数字转换器,所述相位-数字转换器包含数字鉴相器306和连续时间 Σ - Δ (CTSD) 调制器310,其中CTSD调制器310用作抽取器。抽取器为数字功能,其中数字输入被数字滤波和向下采样。在图4A的方块415中示出了传统的第一级CTSD调制器的例子。

[0031] 该锁相环300可接收参考信号302,并输出源信号304。在一些实施方式中,源信号

304可包括参考信号302的恢复时钟。与图1和2的传统的模拟与数字锁相环相比,锁相环300可具有几个优点。锁相环300的优点可包括但不限于,对噪声和电容器压电效应的抗性增加了。锁相环300可不再需要外部的环路滤波电容器。锁相环300的功率和配电板空间需求也降低了。与传统的锁相环相比,锁相环300可以被编程,以在不改变物理部件的情况下,满足各种协议要求。

[0032] 锁相环300也可允许将数字窗口比较器318用于确定相位锁定。数字窗口比较器318可允许在数字域中进行温度补偿,这可能要优于在模拟域中进行温度补偿。在采用并行通信传输的应用中,锁相环300的优点可被放大。锁相环300可以显示出这里没有描述的其它优点。参考图4A和4B描述的锁相环以及参考图5描述的方法也显示出了这里描述的优点,以及其它优点。

[0033] 锁相环300包括相位-数字转换器307。相位-数字转换器307可包括CTSD调制器310和累加器314。在一些实施方式中,CTSD调制器310可包括第一级 Σ - Δ 调制器。可供选择地或者附加地,CTSD调制器310可包括第二级或更高级的 Σ - Δ 调制器。可供选择地或者附加地,CTSD调制器310可包括多个级联CTSD调制器。在一些实施方式中,级联CTSD调制器可形成多级噪声成形结构。CTSD调制器310可起抽取器的作用。

[0034] 在示出的实施方式中,数字鉴相器306输出行处理速率的校正信号308。例如,压控振荡器326可以以行处理速率频率运行。在可供选择的实施方式中,VCO可以以诸如1/2、1/4或1/8等这样的子速率运行。这一数字流可由CTSD调制器310滤波,并且通过提供时钟信号309给CTSD调制器310,对这一数字流向下采样,该时钟信号比用于产生校正信号308的时钟低得多。在一些实施方式中,时钟信号309能与压控振荡器326的频率不同步,或者时钟信号309可以是用某个整数除压控振荡器326频率得到的。

[0035] 在一些实施方式中,CTSD调制器310可输入校正信号308,并基于校正信号308产生调制信号312。累加器314可输入调制信号312和时钟信号309,并输出数字信号316。在一些实施方式中,累加器314可输出数字作为数字信号316。在一些实施方式中,数字可以是基于累加器314中存储的计数。在一些实施方式中,如图3所示,数字信号316可由数模转换器322转换成模拟信号323。

[0036] 尽管不需要,加法器325可将模拟信号323和校正信号308相加,来形成模拟控制信号324,如图3所示。模拟控制信号324可驱动压控振荡器326,以输出源信号304。在示例实施方式中,如果数字鉴相器306检测到参考信号302领先源信号304,则生成的模拟控制信号324可使得压控振荡器326增加源信号304的频率。类似地,如果数字鉴相器306检测到源信号304领先参考信号302,则生成的模拟控制信号324可使得压控振荡器326降低源信号304的频率。

[0037] 锁相环300可包括数字窗口比较器318,数字窗口比较器318可用于在频率获取相位期间量化锁定条件,并产生锁定信号320。窗口比较器通常是将信号的特性与高阈值和低阈值进行比较的器件。数字窗口比较器318可指示锁相环300是否失去相位锁定的能力。如果基准频率太高或者太低,锁相环300可能失去相位锁定的能力。例如,如果系统无法达到产生特定频率匹配所需的电压,则锁相环300可能失去相位锁定的能力。数字窗口比较器318可输出锁定信号320,锁定信号320在信号特性高于高阈值或者低于低阈值时报警。数字窗口比较器318可监视数字信号316,以确定锁相环300是否能够实现相位锁定。在一些实施

方式中,高阈值和低阈值可以是基于最大和最小数字信号316,最大和最小数字信号316能够产生输送给压控振荡器326的可实现的电压。

[0038] 因为在提供给压控振荡器326的数字信号316和模拟控制信号324之间存在关系,所以可能对模拟控制信号324执行的窗口比较能够对数字信号316执行来代替。而且,因为压控振荡器326的中心频率可具有温度依赖性,所以给定频率的模拟控制信号324的电压可以作为温度的函数而改变。结果是,数字窗口比较器318的基准电平可以是根据实现相位锁定时温度补偿后的温度。温度依赖性在各个压控振荡器之间会不同,从而温度补偿可能需要根据特定的锁相环而改变。利用模拟窗口比较器在特定的锁相环之间改变温度补偿可能存在困难。但是,在数字窗口比较器318中改变温度补偿可能更容易实现。

[0039] 图4A示出了根据一些实施方式的锁相环400的较详细的实现方式。锁相环400可以以与参考图3所述的锁相环300类似的方式运行。锁相环400可输入参考信号402,并输出源信号404。在一些实施方式中,锁相环400可包括二进制Alexander(亚历山大)型鉴相器406,也被称为Bang-Bang型鉴相器。由Alexander型鉴相器输出的校正信号408可包括两种输出状态。例如,Alexander型鉴相器406可包括高状态输出和低状态输出。在一些实施方式中,当参考信号402的相位领先源信号404的相位时,可在高状态输出时输出信号。相反,当源信号404的相位领先参考信号402的相位时,可在低状态输出时输出信号。因为Alexander型鉴相器406是数字鉴相器,所以校正信号408的脉冲宽度与源信号的振荡周期相同,与参考信号402和源信号404之间的相位误差无关。这会生成一个环,使得源信号404的相位绝不会完全被锁相到参考信号402,而是在领先和滞后状态之间高频振动。在不归零(NRZ)输入信号的情况下,当在NRZ参考信号中没有转换时,在高状态或低状态输出时可没有信号被输出。换言之,校正信号408的脉冲宽度可恢复到中间状态。在一些实施方式中,作为与前一个输入转换进行相位比较的结果,校正信号408的脉冲被保持在当前状态。

[0040] 锁相环400可包括含CTSD调制器415的相位-数字转换器。对于给定的信号分辨率,CTSD调制器415的物理部件可以制造得非常紧凑。在一些实施方式中,高过采样速率用于增加信号分辨率,同时维持物理部件的紧凑。CTSD调制器415可包括第一电荷泵410、第二电荷泵412、增益级414和触发器416。第一电荷泵410和第二电荷泵412的输出可以是增益级414的输入。在一些实施方式中,可以利用第一电荷泵410与第二电荷泵412的电压比设置增益。在一些实施方式中,CTSD调制器415可包括在第一电荷泵410之后的电容器413,用于消除阶梯效应(antialiasing)。在一些实施方式中,电容器413的电容可在2皮法到10皮法的范围内。可选择地,电容器413可具有差分电容。触发器416可输入增益级414的输出和源信号404通过分频器418后产生的时钟420a。在一些实施方式中,分频器418可将时钟420进行4分或者8分。可选择地,分频器418用不同的数字对时钟420a进行分频。

[0041] 在一些实施方式中,增益级414和时钟420a可以减轻亚稳定性,因为第二电荷泵412平均起来使电容器413上的电压保持接近触发器416的阈值,所以可能容易产生所述亚稳定性。触发器416可输出数字信号422,所述数字信号422的脉冲密度和校正信号408成比例。在一些实施方式中,触发器416可包括两个输出。例如,触发器416可包括高状态输出和低状态输出。

[0042] 因为Alexander型检测器406输出校正信号408,而且Alexander型检测器406采用数据率时钟频率,CTSD调制器415以被分割的时钟420a的频率运行,所以实质上CTSD调制器

415是像抽取器一样发挥作用。因此,410、412、413、414和416能够集合到一起,并定义成抽取器。在一些实施方式中,锁相环400可包括两个或更多级联CTSD调制器,具有利用较低时钟频率的级联CTSD调制器。在一些实施方式中,第二个级联CTSD调制器可包括较慢的触发器,和前一个级联CTSD调制器相比,所述较慢的触发器消耗较低的功率。

[0043] 任选地,锁相环400还可包括图4A所示的抽取器424。在一些实施方式中,抽取器424可输入数字信号422和分割时钟420b。分割时钟420b和时钟420a相比可具有较低的频率。抽取器可输出抽取的数字信号426。在一些实施方式中,抽取器424也可输出抽取的时钟428。在一些实施方式中,抽取的数字信号426可包括多个信号输出。例如,抽取器可包括上输出和下输出。抽取的数字信号426的频率可低于数字信号422。在一些实施方式中,抽取的数字信号426的脉冲密度可与数字信号422相同。在一些实施方式中,锁相环400可省略抽取器424。

[0044] 抽取器424可包括用于抽取数字信号422的分频器。在一些实施方式中,分频器可包括切换分配器(toggle divider)。在一些实施方式中,分频器可包括同步分配器。在一些实施方式中,可以采用另一个分频器。在一些实施方式中,与采用同步分配器相比,采用toggle分配器可以降低锁相环400的功率。在一些实施方式中,分频器可对信号进行4分或者8分。在一些实施方式中,分频器可用另一数值对信号进行分割。

[0045] 与采用较多触发器和缓冲器的实现方式相比,这里所述的实施方式无论是尺寸还是功耗都更加有效。例如,和Aziz等人的美国专利No.7,421,050中所述的实施方式相比,这里所述的实施方式具有更高的功率效率和/或更紧凑。

[0046] 在一些实施方式中,锁相环400可包括累加器430。累加器430可输入抽取的数字信号426和抽取的时钟428。在一些实施方式中,累加器430可包括计数器。在一些实施方式中,计数器可以是11-、12-或者18位上下计数器。累加器430的深度(位数越高,计数器越深)可与图1的模拟锁相环中所需的外部电容相当。较深的计数器可相当于较大的电容。在一些实施方式中,在光纤通道应用中可包括12位计数器。在一些实施方式中,在同步光网络(SONET)应用中可包括18位计数器。可选择地,可采用另一个计数器。计数器的滤波器深度在运行期间可以改变,从而可允许累加器430的有效电容在锁相环400运行期间改变。在一些实施方式中,计数器可预置为最大计数的约一半。例如,在锁相环400接收参考信号402之前可对计数器进行预置。在一些实施方式中,当计数上溢或下溢时计数器可停止。例如,当计数达到最大或最小计数时计数器可停止。

[0047] 在一些实施方式中,累加器430可基于抽取的数字信号426增加或减少计数。在去掉抽取器424的实施方式中,累加器430可基于数字信号422增加或减少计数。在一些实施方式中,累加器430可包括多个信号输入。例如,累加器430可包括上输入或者下输入。在一些实施方式中,当在上输入上接收到抽取的数字信号426时,累加器430可增加计数。在一些实施方式中,当在下输入上接收到抽取的数字信号426时,累加器430可减少计数。在一些实施方式中,累加器430可基于单个信号输入增加或减少计数。

[0048] 累加器430可输出数码字432。在一些实施方式中,数码字432可以为10位宽的字。在一些实施方式中,数码字432可包括计数的10个最有效的位(msb)。然后可由将数码字转换成模拟信号433的 Σ - Δ 数模转换器(DAC)434输入10位字。在一些实施方式中,在压控振荡器438中,10位分辨率可以转化成1伏特满量程约800KHz以及每伏特增益约800MHz的最坏

的频率偏移 (δF)。在一些实施方式中,在具有28吉比特/秒 (Gb/s) 的数据率 (F_{data}) 的系统中,10位分辨率会导致每比特1飞秒 ($\delta F/F_{\text{data}}^2$) 的相移。

[0049] 在一些实施方式中, Σ - Δ DAC转换器434可包括10位数字 Σ - Δ 调制器。在一些实施方式中, Σ - Δ DAC转换器434可与Texas Instruments Incorporated (德州仪器公司), Implementation of 12-bit delta-sigma DAC with MSC12xx controller (具有MSC 12xx控制器的12位 Σ - Δ DAC的实现), Analog Applications Journal 1Q 2002, 27-32中所述的 Σ - Δ DAC滤波器类似。在一些实施方式中, Σ - Δ DAC滤波器可包括带宽低于1MHz的滤波器。在一些实施方式中,也可使用具有另一带宽的滤波器。在一些实施方式中,滤波器也可用于执行增益调节和电平移动,以使信号可与压控振荡器438的控制端口公共模式和范围相一致。在一些实施方式中,可采用另一种类型的数模转换器。在一些实施方式中, Σ - Δ DAC转换器434可将数码字432转换成模拟信号433。在一些实施方式中,当从锁相环400去掉抽取器424时, Σ - Δ DAC转换器434可将数字信号422或者抽取的数字信号426转换成模拟信号433。在一些实施方式中,锁相环400可包括加法器435,配置成用于将模拟信号433和校正信号相加,以形成模拟控制信号436。模拟控制信号436可具有独特的电压电平,用于控制压控振荡器438。

[0050] 压控振荡器438一般可与参考图3所述的压控振荡器326对应。压控振荡器438可输入模拟控制信号436,并输出源信号404。如图4B所示,锁相环450可利用数字控制振荡器439或者数字控制振荡器,取代图4A的压控振荡器438、加法器435和 Σ - Δ DAC转换器434。在一些实施方式中,数码字432可驱动数字控制振荡器439。数字控制振荡器439也可输入校正信号408,以允许数字控制振荡器439对源信号404进行微调。

[0051] 在一些实施方式中,锁相环400可包括窗口比较器440。窗口比较器440一般可与参考图3所述的数字窗口比较器318对应。

[0052] 在一些实施方式中,锁相环可包括电流型逻辑 (CML) 电路和 (互补金属氧化物半导体) CMOS逻辑电路。在一些实施方式中,使用CMOS逻辑可以降低锁相环400的功率。在一些实施方式中,抽取器424可包括CML-CMOS转换器,并且抽取器424的输出可包括CMOS逻辑。在一些实施方式中,抽取器424、累加器430、 Σ - Δ DAC转换器434和/或加法器435的输出可包括CMOS逻辑。在一些实施方式中,抽取器424、累加器430、 Σ - Δ DAC转换器434、加法器435和/或压控振荡器438的输出可包括CMOS逻辑电路。

[0053] 在一些实施方式中,锁相环400可包括模拟补偿零。在一些实施方式中,模拟补偿零可允许环路在不使用快速数字信号处理器 (DSP) 的情况下发挥作用。

[0054] 图5示出了从参考信号产生源信号的示例方法500的流程图。在一些实施方式中,方法500可采用参考图2、图3和/或图4所述的锁相环实现。方法500可从可接收参考信号和源信号的块510开始。在块520中,可产生传递参考信号和源信号之间的相位差的校正信号。在一些实施方式中,校正信号可包括二进制校正信号或者数字校正信号。在块530中,可产生传递校正信号的相位-数字转换的数字信号。在一些实施方式中,相位-数字转换可包括对校正信号的脉冲密度进行调制。在一些实施方式中,相位-数字转换可包括对校正信号进行 Σ - Δ 调制。在块540中,可产生传递数字信号的转换值的控制信号。在块550中,可响应于控制信号,产生源信号。在一些实施方式中,方法500可以重复。在一些实施方式中,方法500还可包括产生一个信号,指示数字信号的特性在可接受范围之外。

[0055] 在不脱离本发明的精神或者本质特征的情况下,可以用其它特定的形式实现本发明。例如,在可能的范围内,这里公开的任何或者全部部件可以用软件、其它硬件或者其结合的形式来实现。可以利用已知的电路制造和安装方法对电路进行装配,以制造所述的电路。同样地,制造或装备公开的实施方式的方法在此被进一步公开。所述实施方式在所有方面仅仅是示例性的,不是限制性的。因此本发明的范围由权利要求而不是由上述说明来限定。在权利要求的等价性范围内的所有变化都包括在本发明的范围之内。

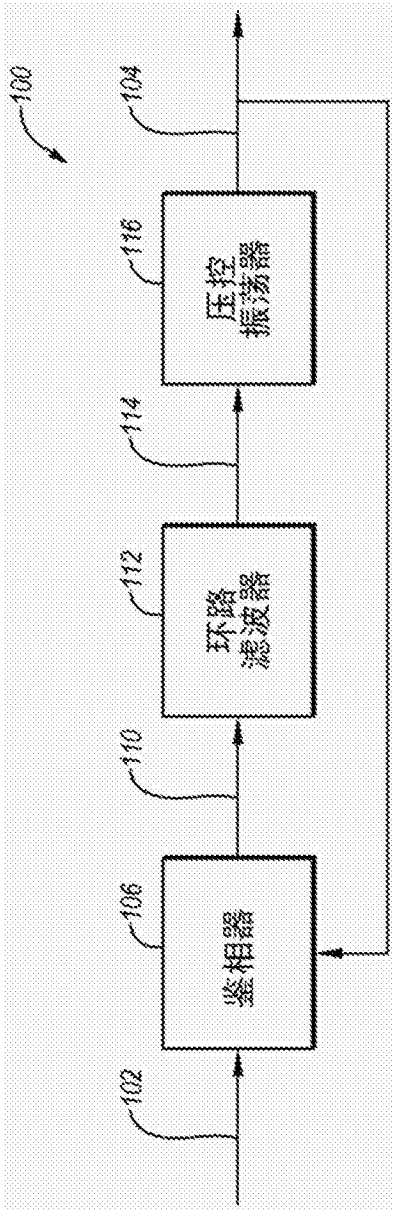


图1现有技术

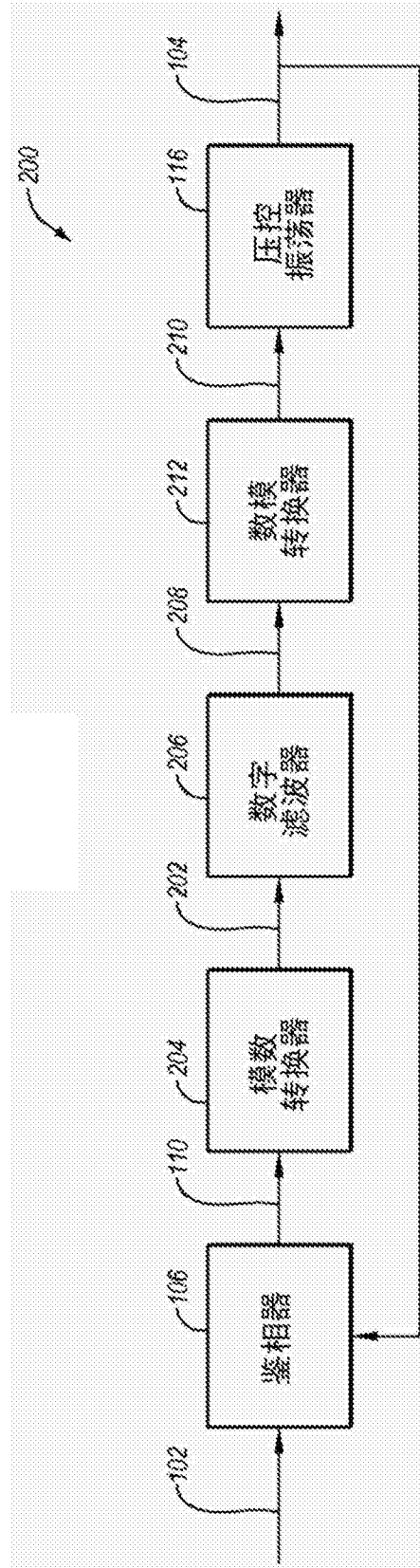


图2现有技术

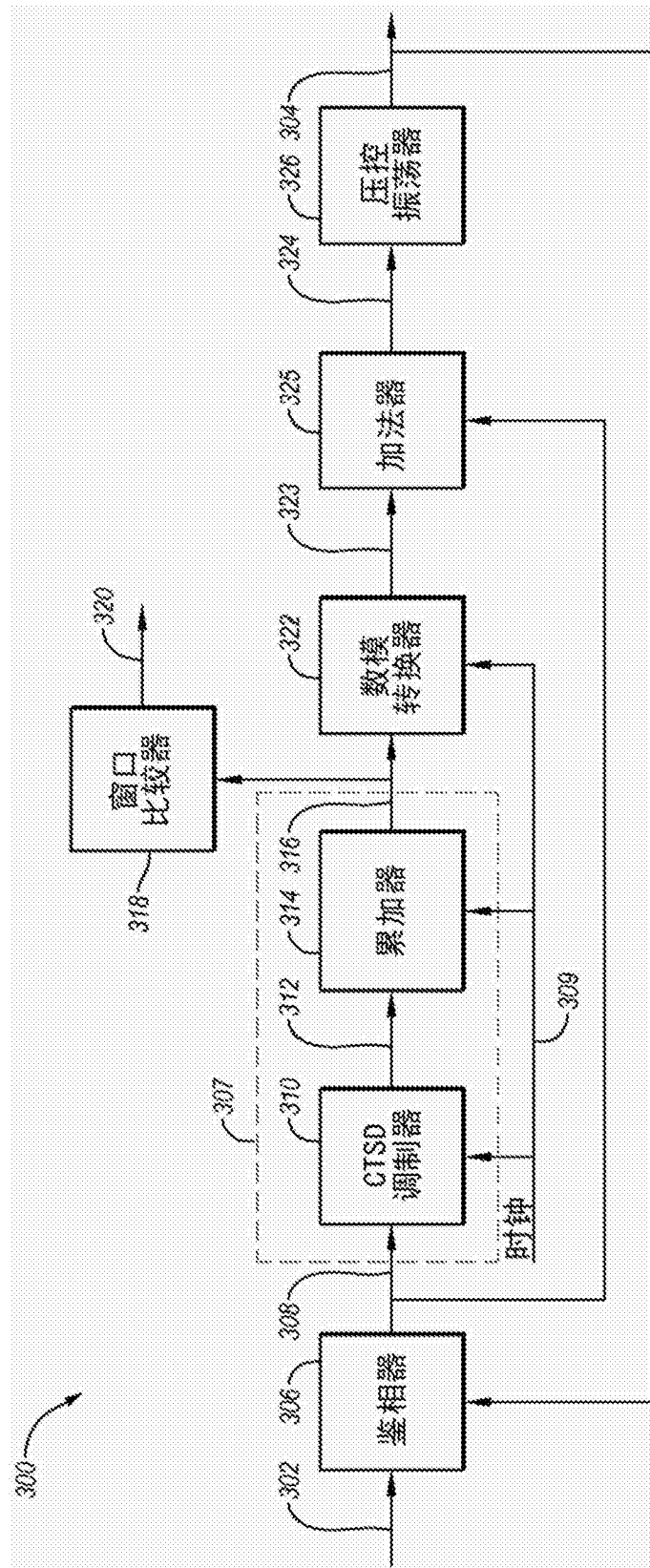


图3

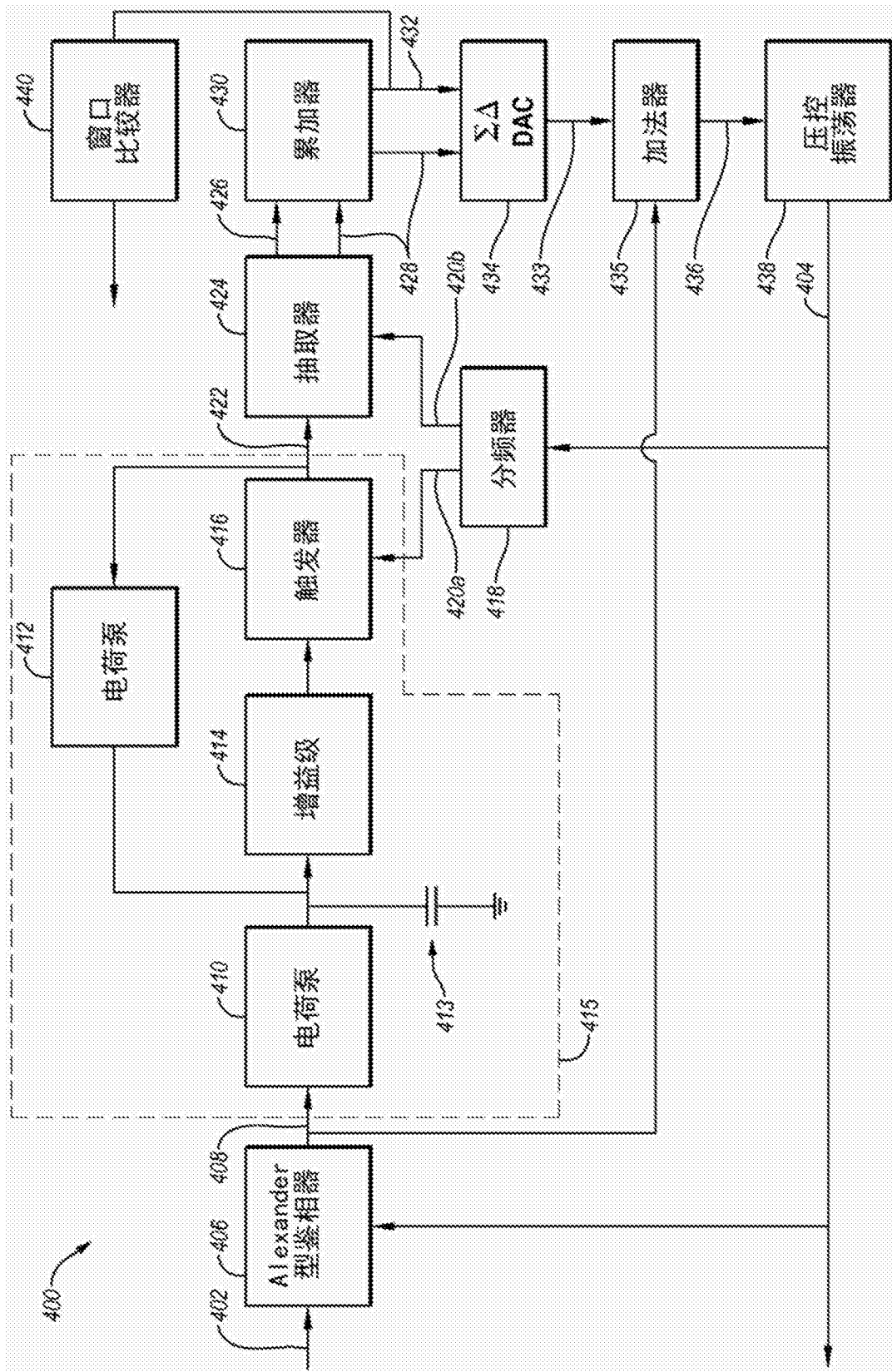


图4A

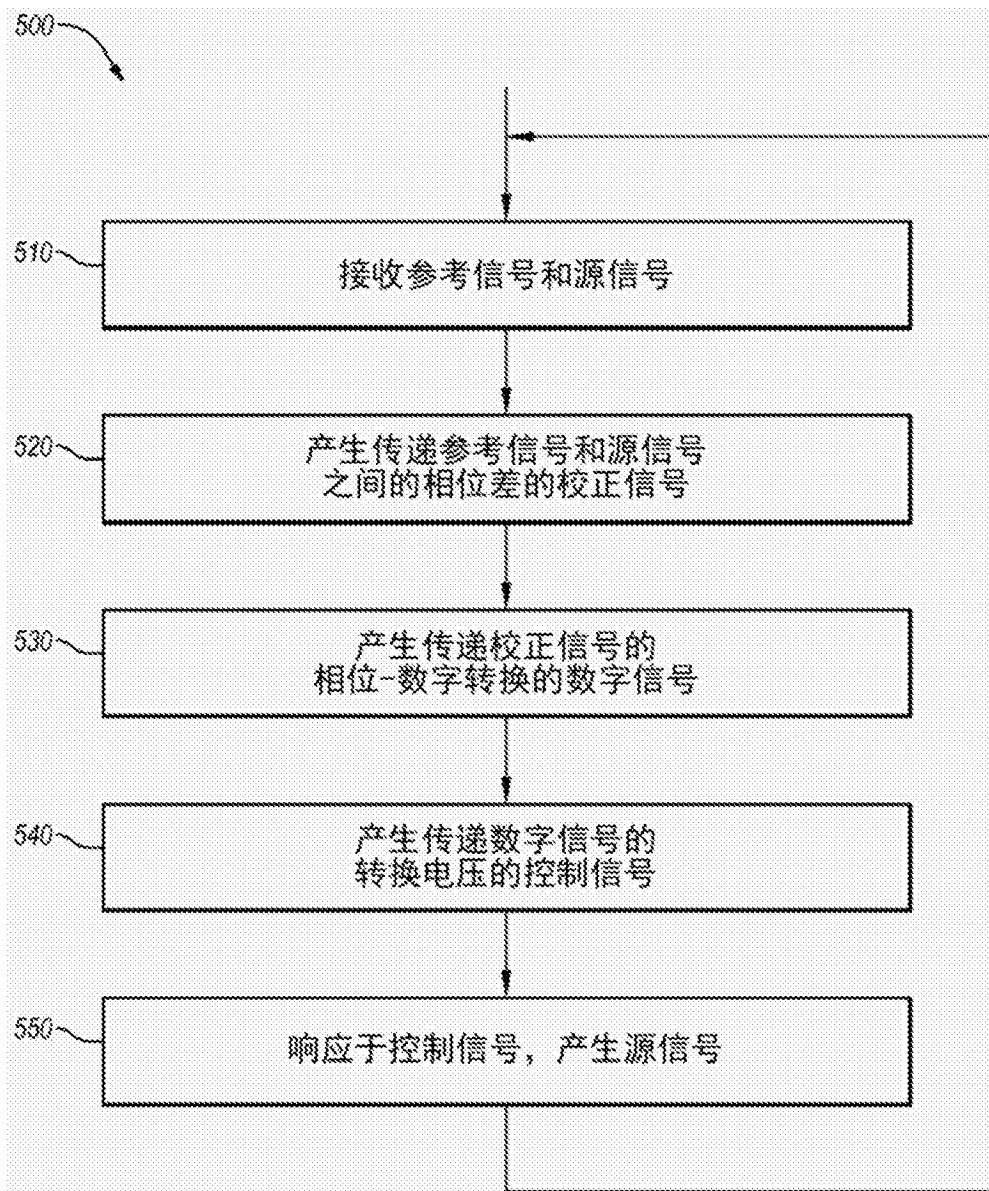


图5