(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 3 月 12 日(12.03.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/033673 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
H01L 21/322 (2006.01) *H01L 29/12* (2006.01)

(21) 国際出願番号: PCT/JP2014/068878

(22) 国際出願日: 2014 年 7 月 16 日(16.07.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-186186 2013 年 9 月 9 日(09.09.2013) JP

(71) 出願人: 住友電気工業株式会社(SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 日吉 透(HIYOSHI, Toru); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 和田 圭司(WADA, Keiji); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP).

(74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目２番７号 中之島セントラルタワー Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

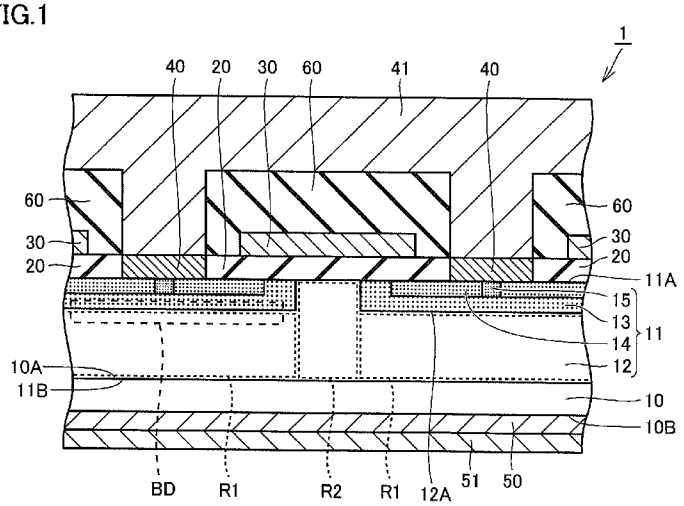
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) **Title**: SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称 : 炭化珪素半導体装置およびその製造方法

FIG.1



(57) **Abstract**: This SiC semiconductor device (1) is provided with: an SiC layer (11) containing a drift region (12) configuring a surface (11B) and a body region (13) configuring a portion of a surface (11A) and contacting the drift region (12); a drain electrode (50) that is electrically connected to a region at the surface (11B) side in the drift region (12); and a source electrode (40) that is electrically connected to the body region (13). The primary carrier moving between the drain electrode (50) and the source electrode (40) and passing through the drift region (12) is solely electrons. $Z_{1/2}$ centers are introduced into the drift region (12) at a concentration of 1×10^{13} cm^{-3} to 1×10^{15} cm^{-3} inclusive.

(57) 要約: ＳｉＣ半導体装置（１）は、表面（１１Ｂ）を構成するドリフト領域（１２）と、表面（１１Ａ）の一部を構成し、ドリフト領域（１２）と接触するボディ領域（１３）とを含むＳｉＣ層（１１）と、ドリフト領域（１２）において表面（１１Ｂ）側の領域に電気的に接続されるドレイン電極（５０）と、ボディ領域（１３）と電気的に接続されるソース電極（４０）とを備えている。ドリフト領域（１２）を通過してドレイン電極（５０）およびソース電極（４０）の間を移動する主なキャリアが電子のみである。ドリフト領域（１２）には、1×10^{13} cm^{-3}以上1×10^{15} cm^{-3}以下の濃度で$Z_{1/2}$センターが導入されている。

WO 2015/033673 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 炭化珪素半導体装置およびその製造方法

技術分野

[0001] 本発明は、炭化珪素半導体装置およびその製造方法に関するものであり、より特定的には、オン抵抗の増大を抑制することが可能な炭化珪素半導体装置およびその製造方法に関するものである。

背景技術

[0002] 近年、半導体装置の高耐圧化、低損失化などを可能とするため、半導体装置を構成する材料として炭化珪素の採用が進められている。炭化珪素は、従来より半導体装置を構成する材料として広く用いられている珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体である。そのため、半導体装置を構成する材料として炭化珪素を採用することにより、半導体装置の高耐圧化、オン抵抗の低減などを達成することができる。また、炭化珪素を材料として採用した半導体装置は、珪素を材料として採用した半導体装置に比べて、高温環境下で使用された場合の特性の低下が小さいという利点も有している。

[0003] 炭化珪素を構成材料とする半導体装置には、たとえばＭＯＳＦＥＴ（Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）や、ダイオードなどのバイポーラデバイス（Ｍ．Ｓｋｏｗｒｏｎｓｋｉ ａｎｄ Ｓ．Ｈａ，”Ｄｅｇｒａｄａｔｉｏｎ ｏｆ ｈｅｘａｇｏｎａｌ ｓｉｌｉｃｏｎ－ｃａｒｂｉｄｅ－ｂａｓｅｄ ｂｉｐｏｌａｒ ｄｅｖｉｃｅｓ”，Ｊｏｕｒｎａｌ ｏｆ Ａｐｐｌｉｅｄ Ｐｈｙｓｉｃｓ，（米国），ＡＩＰ Ｐｕｂｌｉｓｈｉｎｇ ＬＬＣ，２００６年１月１３日，Ｖｏｌ．９９，０１１１０１（１～２４）（非特許文献１）参照）がある。ＭＯＳＦＥＴは、所定の閾値電圧を境としてソース電極とドレイン電極との間における一種類のキャリアの移動を制御するユニポーラデバイスである。

先行技術文献

非特許文献

[0004] 非特許文献1：M. Skowronski and S. Ha, "Degradation of hexagonal silicon-carbide-based bipolar devices", Journal of Applied Physics, (米国), AIP Publishing LLC, 2006年1月13日, Vol. 99, 011101 (1～24)

非特許文献2：Katsunori Danno, Daisuke Nakamura and Tsunenobu Kimoto, "Investigation of carrier lifetime in 4H-SiC epilayers and lifetime control by electron irradiation", Applied Physics Letters, (米国), AIP Publishing LLC, 2007年5月17日, Vol. 90, 202109 (1～3)

発明の概要

発明が解決しようとする課題

[0005] ＭＯＳＦＥＴには、導電型がｎ型であるドリフト領域と導電型がｐ型であるボディ領域とが接触して構成されるボディダイオードが内蔵されている。このボディダイオードが内蔵されたＭＯＳＦＥＴでは、動作中に半導体層内において積層欠陥が伸長し、これによりオン抵抗が増大するという問題がある。

[0006] 本発明は、上記課題に鑑みてなされたものであり、その目的は、電気特性を維持しつつオン抵抗の増大を抑制することが可能な炭化珪素半導体装置およびその製造方法を提供することである。

課題を解決するための手段

[0007] 本発明に従った炭化珪素半導体装置は、一方の表面を構成する第１導電型領域と、上記一方の表面とは反対側の他方の表面の一部を構成し、第１導電型領域と接触する第２導電型領域とを含む炭化珪素層と、第１導電型領域において上記一方の表面側の領域に電気的に接続される第１電極と、第２導電型領域と電気的に接続される第２電極とを備えている。上記炭化珪素半導体装置では、第１導電型領域を通過して第１電極および第２電極の間を移動する主なキャリアが第１導電型のキャリアのみである。第１導電型領域には、１×１０^{13}ｃｍ$^{-3}$以上１×１０^{15}ｃｍ$^{-3}$以下の濃度で$Z_{1/2}$センターが導入されている。

[0008] 本発明に従った炭化珪素半導体装置の製造方法は、一方の表面を構成する第１導電型領域と、上記一方の表面とは反対側の他方の表面の一部を構成し、第１導電型領域と接触する第２導電型領域とを含む炭化珪素層を形成する工程と、第１導電型領域に１×１０^{13}ｃｍ$^{-3}$以上１×１０^{15}ｃｍ$^{-3}$以下の濃度で$Z_{1/2}$センターを導入する工程と、第１導電型領域において上記一方の表面側の領域に電気的に接続される第１電極を形成する工程と、第２導電型領域と電気的に接続される第２電極を形成する工程とを備えている。第１導電型領域を通過して第１電極および第２電極の間を移動する主なキャリアは、第１導電型のキャリアのみである。

発明の効果

[0009] 本発明に従った炭化珪素半導体装置およびその製造方法によれば、電気特性を維持しつつオン抵抗の増大を抑制することが可能な炭化珪素半導体装置およびその製造方法を提供することができる。

図面の簡単な説明

[0010] [図1]実施形態１に係る炭化珪素半導体装置の構造を示す概略断面図である。

[図2]４Ｈ－ＳｉＣのエネルギーバンド図である。

[図3]実施形態１に係る炭化珪素半導体装置におけるボディダイオードの構造を概略的に示す拡大図である。

[図4]$Z_{1/2}$センター濃度とキャリア寿命の逆数との関係を示すグラフである

。

[図5]実施形態１に係る炭化珪素半導体装置の製造方法を概略的に示すフローチャートである。

[図6]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ１０）および（Ｓ２０）を説明するための概略図である。

[図7]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ３０）および（Ｓ４０）を説明するための概略図である。

[図8]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ５０）を説明するための概略図である。

[図9]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ６０）および（Ｓ７０）を説明するための概略図である。

[図10]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ８０）を説明するための概略図である。

[図11]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ９０）を説明するための概略図である。

[図12]実施形態２に係る炭化珪素半導体装置の製造方法を概略的に示すフローチャートである。

[図13]実施形態２に係る炭化珪素半導体装置の製造方法を説明するための概略図である。

[図14]実施形態３に係る炭化珪素半導体装置の製造方法を概略的に示すフローチャートである。

[図15]実施形態３に係る炭化珪素半導体装置の製造方法を説明するための概略図である。

発明を実施するための形態

[0011] [本願発明の実施形態の説明]

まず、本発明の実施形態の内容を列記して説明する。

[0012] （１） 本実施形態に係る炭化珪素半導体装置（ＳｉＣ半導体装置１）は、一方の表面（１１Ｂ）を構成する第１導電型領域（ドリフト領域１２）と

、上記一方の表面とは反対側の他方の表面（１１Ａ）の一部を構成し、第１導電型領域と接触する第２導電型領域（ボディ領域１３）とを含む炭化珪素層（ＳｉＣ層１１）と、第１導電型領域において上記一方の表面側の領域に電気的に接続される第１電極（ドレイン電極５０）と、第２導電型領域と電気的に接続される第２電極（ソース電極４０）とを備えている。上記炭化珪素半導体装置では、第１導電型領域を通過して第１電極および第２電極の間を移動する主なキャリアが第１導電型のキャリア（電子）のみである。また、第１導電型領域には、$1\times10^{13}cm^{-3}$以上$1\times10^{15}cm^{-3}$以下の濃度で$Z_{1/2}$センターが導入されている。

[0013] 本発明者は、炭化珪素半導体装置において電気特性を維持しつつオン抵抗の増大を抑制するための方策について鋭意検討を行った。その結果、以下のような知見を得て、本発明に想到した。

[0014] ｎ型のドリフト領域とｐ型のボディ領域とが接触して構成されるボディダイオードが内蔵された炭化珪素半導体装置では、動作時にボディ領域からドリフト領域へ正孔が注入されるとともに電極からドリフト領域へ電子が注入される。そして、注入された電子および正孔がドリフト領域内において再結合する。このとき、上記再結合により放出されるエネルギーがＳｉＣの転位（基底面転位）に与えられ、当該転位を起点としてＳｉＣ結晶中に積層欠陥が伸長する。その結果、ＳｉＣ半導体装置のオン抵抗が増大する。

[0015] 上記ＳｉＣ半導体装置１では、ドリフト領域１２に$1\times10^{13}cm^{-3}$以上の濃度で$Z_{1/2}$センターが導入されている。そのため、ボディ領域１３からドリフト領域１２に注入される正孔Ｈを、ドリフト領域１２のドレイン電極５０側の領域にまで到達する前に$Z_{1/2}$センターにおいてドリフト領域１２内に存在する電子と再結合させることができる。これにより、ボディ領域１３からドリフト領域１２に注入される正孔Ｈが、ドレイン電極５０からドリフト領域１２に注入される電子Ｅと再結合することを抑制することができる。その結果、上記再結合に起因した積層欠陥の発生を抑制することができる。また、上記ＳｉＣ半導体装置１では、ドリフト領域１２における$Z_{1/2}$センター

の濃度が１×１０^{15}ｃｍ$^{-3}$以下となっている。そのため、ドリフト領域１２を通過する電子に対してＺ$_{1/2}$センターが与える影響を小さくなり、その結果Ｚ$_{1/2}$センターの導入による電気特性の低下を抑制することができる。したがって、上記ＳｉＣ半導体装置１によれば、電気特性を維持しつつオン抵抗の増大を抑制することができる。

[0016] ここで、「第１導電型領域を通過して第１電極および第２電極の間を移動する主なキャリアが第１導電型のキャリアのみである」とは、第１導電型領域を通じた第１電極および第２電極の間の電気伝導に実質的に寄与するキャリアが第１導電型のキャリアのみであることを意味する。また、「Ｚ$_{1/2}$センター」とは、ＳｉＣを構成する炭素（Ｃ）原子の空孔などに起因した深い準位であり、後述する本実施形態の具体例において詳細に説明される。

[0017] （２） 上記炭化珪素半導体装置（ＳｉＣ半導体装置１）において、第１導電型領域（ドリフト領域１２）では、第１導電型（ｎ型）の不純物の濃度がＺ$_{1/2}$センターの濃度よりも大きくなっていてもよい。

[0018] これにより、ドリフト領域１２を通過する電子に対してＺ$_{1/2}$センターが与える影響をより小さくすることができる。その結果、Ｚ$_{1/2}$センターの導入による電気特性の低下をより確実に抑制することができる。

[0019] （３） 上記炭化珪素半導体装置（ＳｉＣ半導体装置１）において、第２導電型領域（ボディ領域１３）から第１導電型領域（ドリフト領域１２）に注入される第２導電型のキャリア（正孔Ｈ）の寿命は１μｓ以下であってもよい。

[0020] これにより、ボディ領域１３からドリフト領域１２に注入された正孔Ｈが、電極からドリフト領域１２に注入された電子Ｅと再結合することをより確実に抑制することができる。その結果、結晶中における積層欠陥の発生をより確実に抑制することができる。なお、「第２導電型のキャリアの寿命」は、後述する本実施形態の具体例において説明する方法により測定することができる。

[0021] （４） 上記炭化珪素半導体装置（ＳｉＣ半導体装置１）は、第２導電型

領域（ボディ領域１３）上に形成されるゲート絶縁膜（２０）と、ゲート絶縁膜上に形成されるゲート電極（３０）とをさらに備えていてもよい。また、上記炭化珪素半導体装置では、ゲート電極に電圧を印加して第２導電型領域における反転層の形成の有無を制御することにより第１導電型（ｎ型）のキャリアの移動が制御されてもよい。

[0022] 上記構成を有するＭＯＳＦＥＴでは、電気特性を維持しつつオン抵抗の増大を抑制することが可能な上記ＳｉＣ半導体装置１を好適に用いることができる。

[0023] （５） 本実施形態に係る炭化珪素（ＳｉＣ）半導体装置の製造方法は、一方の表面（１１Ｂ）を構成する第１導電型領域（ドリフト領域１２）と、上記一方の表面とは反対側の他方の表面（１１Ａ）の一部を構成し、第１導電型領域と接触する第２導電型領域（ボディ領域１３）とを含む炭化珪素層（ＳｉＣ層１１）を形成する工程と、第１導電型領域に$1\times10^{13}cm^{-3}$以上$1\times10^{15}cm^{-3}$以下の濃度で$Z_{1/2}$センターを導入する工程と、第１導電型領域において上記一方の表面側の領域に電気的に接続される第１電極（ドレイン電極５０）を形成する工程と、第２導電型領域と電気的に接続される第２電極（ソース電極４０）を形成する工程とを備えている。第１導電型領域を通過して第１電極および第２電極の間を移動する主なキャリアは、第１導電型（ｎ型）のキャリアのみである。

[0024] 上記炭化珪素半導体装置の製造方法では、ドリフト領域１２に$1\times10^{13}cm^{-3}$以上の濃度で$Z_{1/2}$センターが導入される。そのため、ボディ領域１３からドリフト領域１２に注入される正孔Ｈを、ドリフト領域１２の電極側の領域にまで到達する前に$Z_{1/2}$センターにおいてドリフト領域１２内に存在する電子と再結合させることができる。これにより、ボディ領域１３からドリフト領域１２に注入される正孔Ｈが、電極からドリフト領域１２に注入される電子Ｅと再結合することを抑制することができる。その結果、上記再結合に起因した積層欠陥の発生を抑制することができる。また、上記炭化珪素半導体装置の製造方法では、ドリフト領域１２に$1\times10^{15}cm^{-3}$以下の濃度

で$Z_{1/2}$センターが導入される。これにより、ドリフト領域１２を通過する電子に対して$Z_{1/2}$センターが与える影響が小さくなり、その結果$Z_{1/2}$センターの導入による電気特性の低下を抑制することができる。したがって、上記炭化珪素半導体装置の製造方法によれば、電気特性を維持しつつオン抵抗の増大を抑制することができる。

[0025] （６） 上記炭化珪素（ＳｉＣ）半導体装置の製造方法は、炭化珪素層（ＳｉＣ層１１）を加熱する工程をさらに備えていてもよい。また、$Z_{1/2}$センターを導入する工程は、炭化珪素層を加熱する工程の後に実施されてもよい。

[0026] これにより、ＳｉＣ層１１内に所望のキャリアを発生させることができる。また、ドリフト領域１２に$Z_{1/2}$センターを導入するタイミングは、たとえばＳｉＣ層１１の加熱後など適宜選択することが可能である。

[0027] （７） 上記炭化珪素（ＳｉＣ）半導体装置の製造方法において、$Z_{1/2}$センターを導入する工程では、電子線照射、中性子線照射およびイオン注入からなる群より選択される少なくとも一の方法により第１導電型領域（ドリフト領域１２）に$Z_{1/2}$センターが導入されてもよい。

[0028] このように$Z_{1/2}$センターの導入においては、種々の方法を選択することが可能である。

[0029] （８） 上記炭化珪素（ＳｉＣ）半導体装置の製造方法において、$Z_{1/2}$センターを導入する工程では、電子線エネルギーが１５０ｋｅＶ以上２００ｋｅＶ以下であり、かつ電子線フルエンスが$5\times10^{16}cm^{-2}$以上$4\times10^{17}cm^{-2}$以下である電子線照射により第１導電型領域（ドリフト領域１２）内に$Z_{1/2}$センターが導入されてもよい。

[0030] これにより、ドリフト領域１２内に$Z_{1/2}$センターを容易に導入することができる。

[本願発明の実施形態の詳細]

次に、本発明の実施形態の具体例を図面を参照しつつ説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その

説明は繰り返さない。

[0031] （実施形態１）

まず、本発明の一実施形態である実施形態１に係るＳｉＣ半導体装置の構造について説明する。図１を参照して、本実施形態に係るＳｉＣ半導体装置１は、プレーナ型のＭＯＳＦＥＴであり、ＳｉＣ基板１０と、ＳｉＣ層１１と、ゲート絶縁膜２０と、ゲート電極３０と、ソース電極４０（第２電極）と、ドレイン電極５０（第１電極）と、層間絶縁膜６０と、ソース配線４１と、ドレイン配線５１とを主に備えている。ＳｉＣ層１１は、ドリフト領域１２（第１導電型領域）と、ボディ領域１３（第２導電型領域）と、ソース領域１４と、コンタクト領域１５とを主に含んでいる。

[0032] ＳｉＣ基板１０は、たとえば窒素（Ｎ）などのｎ型不純物を含むことにより導電型がｎ型（第１導電型）となっている。ドリフト領域１２は、ＳｉＣ基板１０の一方の表面１０Ａ上に形成されている。ドリフト領域１２は、ＳｉＣ層１１の一方の表面１１Ｂを構成している。ドリフト領域１２は、たとえば窒素（Ｎ）などのｎ型不純物を含むことにより導電型がｎ型になっている。ドリフト領域１２におけるｎ型不純物濃度はたとえば$5\times10^{15}cm^{-3}$程度であり、ＳｉＣ基板１０におけるｎ型不純物濃度よりも小さくなっている。

[0033] ボディ領域１３は、ＳｉＣ層１１の表面１１Ａの一部を構成するように当該ＳｉＣ層１１内において互いに分離して形成されている。ボディ領域１３は、接触面１２Ａにおいてドリフト領域１２と接触している。すなわち、ＳｉＣ半導体装置１には、導電型がｎ型であるドリフト領域１２と導電型がｐ型であるボディ領域１３とが接触して構成されるボディダイオードＢＤが内蔵されている。ボディ領域１３は、たとえばアルミニウム（Ａｌ）やホウ素（Ｂ）などのｐ型不純物を含むことにより導電型がｐ型（第２導電型）となっている。

[0034] ソース領域１４は、表面１１Ａを含むようにボディ領域１３内において形成されている。ソース領域１４は、たとえばリン（Ｐ）などのｎ型不純物を

含むことにより導電型がｎ型となっている。ソース領域１４におけるｎ型不純物濃度は、ドリフト領域１２におけるｎ型不純物濃度よりも大きくなっている。

[0035] コンタクト領域１５は、表面１１Ａを含み、かつソース領域１４と隣接するようにボディ領域１３内において形成されている。コンタクト領域１５は、たとえばアルミニウム（Ａｌ）などのｐ型不純物を含むことにより導電型がｐ型となっている。コンタクト領域１５におけるｐ型不純物濃度は、ボディ領域１３におけるｐ型不純物濃度よりも大きくなっている。

[0036] ドリフト領域１２には、１×１０^{13}ｃｍ$^{-3}$以上１×１０^{15}ｃｍ$^{-3}$以下の濃度で$Z_{1/2}$センターが導入されている。ドリフト領域１２における$Z_{1/2}$センターの濃度は、好ましくは２．５×１０^{13}ｃｍ$^{-3}$以上７．５×１０^{14}ｃｍ$^{-3}$以下であり、より好ましくは５．０×１０^{13}ｃｍ$^{-3}$以上５．０×１０^{14}ｃｍ$^{-3}$以下である。また、ドリフト領域１２では、ｎ型不純物濃度が上記$Z_{1/2}$センターの濃度よりも大きくなっている。

[0037] ドリフト領域１２は、厚み方向においてボディ領域１３とＳｉＣ基板１０とにより挟まれる領域Ｒ１と、当該領域Ｒ１に隣接し、厚み方向においてゲート絶縁膜２０とＳｉＣ基板１０とにより挟まれる領域Ｒ２とを有している。ドリフト領域１２では、少なくとも領域Ｒ１における$Z_{1/2}$センターの濃度が１×１０^{13}ｃｍ$^{-3}$以上であり、好ましくは領域Ｒ１，Ｒ２のいずれにおいても（ドリフト領域１２全体において）$Z_{1/2}$センターの濃度が１×１０^{13}ｃｍ$^{-3}$以上である。また、ドリフト領域１２では、少なくとも領域Ｒ２における$Z_{1/2}$センターの濃度が１×１０^{15}ｃｍ$^{-3}$以下であり、好ましくは領域Ｒ１，Ｒ２のいずれにおいても（ドリフト領域１２全体において）$Z_{1/2}$センターの濃度が１×１０^{15}ｃｍ$^{-3}$以下である。

[0038] ここで、「$Z_{1/2}$センター」について詳細に説明する。図２は、４Ｈ－ＳｉＣのエネルギーバンド図である。図２中の「Ｅｖ」および「Ｅｃ」は価電子帯の上端および伝導帯の下端をそれぞれ示しており、価電子帯の上端Ｅｖと伝導帯の下端Ｅｃとの間のエネルギーギャップが４Ｈ－ＳｉＣのバンドギャ

ップ（約３．３ｅＶ）に相当する。図２中破線により示され、伝導帯の下端Ｅｃから０．６５ｅＶだけエネルギーが低い準位が$Z_{1/2}$センターに相当する。$Z_{1/2}$センターは、ＳｉＣを構成する炭素（Ｃ）原子の空孔などに起因した深い準位であり、たとえば過度容量分光法（ＤＬＴＳ：Ｄｅｅｐ　Ｌｅｖｅｌ　Ｔｒａｎｓｉｅｎｔ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）などの方法を用いて測定することができる。

[0039] 図１を参照して、ゲート絶縁膜２０は、ＳｉＣ層１１の表面１１Ａ上（ボディ領域１３上）に接触するように形成されている。ゲート絶縁膜２０は、たとえば二酸化珪素（SiO_2）などからなり、一方のソース領域１４の上から他方のソース領域１４の上にまで延在するように形成されている。

[0040] ゲート電極３０は、ゲート絶縁膜２０上に接触するように形成されている。ゲート電極３０は、たとえば不純物が添加されたポリシリコンやアルミニウム（Ａｌ）などの導電体からなり、一方のソース領域１４上から他方のソース領域１４上にまで延在するように形成されている。

[0041] ソース電極４０は、ＳｉＣ層１１の表面１１Ａ（ソース領域１４およびコンタクト領域１５上）に接触するように形成されている。ソース電極４０は、ソース領域１４に対してオーミック接触することができる材料、たとえばNi_xSi_y（ニッケルシリサイド）、Ti_xSi_y（チタンシリサイド）、Al_xSi_y（アルミシリサイド）および$Ti_xAl_ySi_z$（チタンアルミシリサイド）などからなっている（ｘ，ｙ，ｚ＞０）。ソース電極４０は、コンタクト領域１５を介してボディ領域１３と電気的に接続されている。

[0042] ドレイン電極５０は、ＳｉＣ基板１０の表面１０Ａとは反対側の表面１０Ｂ上に接触するように形成されている。ドレイン電極５０は、たとえばソース電極４０と同様の材料からなっている。ドレイン電極５０は、ドリフト領域１２においてボディ領域１３と接触する接触面１２Ａ側とは反対側の領域（表面１１Ｂ側の領域）にＳｉＣ基板１０を介して電気的に接続されている。

[0043] 層間絶縁膜６０は、ＳｉＣ層１１の表面１１Ａ上においてゲート絶縁膜２

０とともにゲート電極３０を取り囲むように形成されている。層間絶縁膜６０は、たとえばSiO_2などからなり、ゲート電極３０をソース電極４０に対して絶縁している。

[0044] ソース配線４１は、ソース電極４０および層間絶縁膜６０を覆うように形成されている。ソース配線４１は、たとえばアルミニウム（Ａｌ）や金（Ａｕ）などの金属からなり、ソース電極４０を介してソース領域１４と電気的に接続されている。

[0045] ドレイン配線５１は、ドレイン電極５０を覆うように形成されている。ドレイン配線５１は、ソース配線４１と同様にたとえばアルミニウム（Ａｌ）や金（Ａｕ）などの金属からなり、ドレイン電極５０を介してＳｉＣ基板１０と電気的に接続されている。

[0046] 次に、本実施形態に係るＳｉＣ半導体装置１の動作について説明する。図１を参照して、ゲート電極３０に印加された電圧が閾値電圧未満の状態、すなわちオフ状態では、ソース電極４０とドレイン電極５０との間に電圧が印加されても、ボディ領域１３とドリフト領域１２との間に形成されるｐｎ接合が逆バイアスとなり、非導通状態となる。一方、ゲート電極３０に閾値電圧以上の電圧が印加されると、ボディ領域１３のチャネル領域（ゲート電極３０下のボディ領域１３）に反転層が形成される。そして、ソース電極４０から注入された電子が、ソース領域１４、ボディ領域１３、ドリフト領域１２およびＳｉＣ基板１０を順に通過してドレイン電極５０まで移動する。このようにＳｉＣ半導体装置１は、ゲート電極３０に印加する電圧によりボディ領域１３における反転層の形成の有無を制御してソース電極４０とドレイン電極５０との間の電子の移動を制御することにより動作する。また、ＳｉＣ半導体装置１は、ドリフト領域１２を通過してソース電極４０とドレイン電極５０との間を移動する主なキャリアが電子のみであるユニポーラデバイス（ユニポーラトランジスタ）である。

[0047] 図３は、上記ＳｉＣ半導体装置においてｎ型のドリフト領域１２とｐ型のボディ領域１３とが接触して構成されるボディダイオードＢＤの拡大図であ

る。上記ＳｉＣ半導体装置の動作中にはソース電極４０およびドレイン電極５０の間を電子が移動するとともに、図３に示すようにボディ領域１３からドリフト領域１２へ正孔（ホール）Ｈが注入され、またドレイン電極５０からＳｉＣ基板１０を介してドリフト領域１２に電子Ｅが注入される。

[0048] 以上のように本実施形態に係るＳｉＣ半導体装置１では、ドリフト領域１２において$1\times10^{13}cm^{-3}$以上の濃度で$Z_{1/2}$センターが導入されている。そのため、ボディ領域１３からドリフト領域１２に注入される正孔Ｈを、ドリフト領域１２のドレイン電極５０側の領域にまで到達する前に、$Z_{1/2}$センターにおいてドリフト領域１２内に存在する電子と再結合させることができる。これにより、ボディ領域１３からドリフト領域１２に注入される正孔Ｈが、ドレイン電極５０からドリフト領域１２に注入される電子Ｅと再結合することを抑制することができる。その結果、上記再結合に起因した積層欠陥の発生を抑制することができる。また、上記ＳｉＣ半導体装置１では、ドリフト領域１２における$Z_{1/2}$センターの濃度が$1\times10^{15}cm^{-3}$以下となっている。これにより、動作時にドリフト領域１２を通過する電子に対して$Z_{1/2}$センターが与える影響が小さくなり、その結果$Z_{1/2}$センターの導入による電気特性の低下を抑制することができる。したがって、上記ＳｉＣ半導体装置１によれば、電気特性を維持しつつオン抵抗の増大を抑制することができる。

[0049] 上記ＳｉＣ半導体装置１において、ドリフト領域１２ではｎ型不純物濃度が$Z_{1/2}$センターの濃度よりも大きくなっていてもよい。これにより、動作時にドリフト領域１２を通過する電子に対して$Z_{1/2}$センターが与える影響をより小さくすることができる。その結果、$Z_{1/2}$センターの導入による電気特性の低下をより確実に抑制することができる。

[0050] 上記ＳｉＣ半導体装置１において、ボディ領域１３からドリフト領域１２に注入される正孔Ｈの寿命は１μｓ以下であってもよい。これにより、ボディ領域１３からドリフト領域１２に注入された正孔Ｈが、ドレイン電極５０からドリフト領域１２に注入された電子Ｅと再結合することをより確実に抑

制することができる。その結果、結晶中における積層欠陥の発生をより確実に抑制することができる。

[0051] なお、ボディ領域１３からドリフト領域１２に注入された正孔Ｈの寿命は、Ｋａｔｓｕｎｏｒｉ Ｄａｎｎｏ，Ｄａｉｓｕｋｅ Ｎａｋａｍｕｒａ ａｎｄ Ｔｓｕｎｅｎｏｂｕ Ｋｉｍｏｔｏ，”Ｉｎｖｅｓｔｉｇａｔｉｏｎ ｏｆ ｃａｒｒｉｅｒ ｌｉｆｅｔｉｍｅ ｉｎ ４Ｈ－ＳｉＣ ｅｐｉｌａｙｅｒｓ ａｎｄ ｌｉｆｅｔｉｍｅ ｃｏｎｔｒｏｌ ｂｙ ｅｌｅｃｔｒｏｎ ｉｒｒａｄｉａｔｉｏｎ”，Ａｐｐｌｉｅｄ Ｐｈｙｓｉｃｓ Ｌｅｔｔｅｒｓ，（米国），ＡＩＰ Ｐｕｂｌｉｓｈｉｎｇ ＬＬＣ，２００７年５月１７日，Ｖｏｌ．９０，２０２１０９（１～３）（非特許文献２）のようにマイクロ波光導電減衰（μ－ＰＣＤ：ｍｉｃｒｏｗａｖｅ Ｐｈｏｔｏ Ｃｏｎｄｕｃｔｉｖｉｔｙ Ｄｅｃａｙ）法により測定することができる。図４は、上記非特許文献２における４Ｈ－ＳｉＣからなるエピタキシャル成長層の$Z_{1/2}$センター濃度（横軸：cm^{-3}）と寿命の逆数（１／τ）（縦軸：s^{-1}）との関係を示すグラフである。図４から明らかなように、$Z_{1/2}$センター濃度が$1\times10^{13}cm^{-3}$以上である場合には、キャリアの寿命（τ）が１μｓ以下になる。このようにキャリアの寿命が短くなることにより、上記本実施形態のようなＭＯＳＦＥＴではキャリアの再結合に起因した積層欠陥の発生が抑制され、その結果オン抵抗の増大を抑制することができる。

[0052] 次に、本実施形態に係るＳｉＣ半導体装置の製造方法について説明する。図５を参照して、上記ＳｉＣ半導体装置の製造方法では、まず、工程（Ｓ１０）として、炭化珪素基板準備工程が実施される。この工程（Ｓ１０）では、図６を参照して、たとえば４Ｈ－ＳｉＣからなるインゴット（図示しない）を切断することによりＳｉＣ基板１０が準備される。

[0053] 次に、工程（Ｓ２０）として、エピタキシャル成長層形成工程が実施される。この工程（Ｓ２０）では、図６を参照して、ＳｉＣ基板１０の表面１０Ａ上にエピタキシャル成長によりＳｉＣ層１１が形成される。ＳｉＣ層１１

の厚みは、たとえば１０μｍ以上１００μｍ以下である。

[0054] 次に、工程（Ｓ３０）として、イオン注入工程が実施される。この工程（Ｓ３０）では、図７を参照して、まず、たとえばアルミニウム（Ａｌ）イオンがＳｉＣ層１１内に注入されることにより、当該ＳｉＣ層１１内にボディ領域１３（第２導電型領域）が形成される。次に、たとえばリン（Ｐ）イオンがボディ領域１３内に注入されることにより、当該ボディ領域１３内にソース領域１４が形成される。次に、たとえばアルミニウム（Ａｌ）イオンがボディ領域１３内に注入されることにより、当該ボディ領域１３内においてソース領域１４に隣接するようにコンタクト領域１５が形成される。そして、ＳｉＣ層１１においてボディ領域１３、ソース領域１４およびコンタクト領域１５のいずれも形成されない領域がドリフト領域１２（第１導電型領域）となる。このようにして、表面１１Ｂを構成するドリフト領域１２と、表面１１Ａの一部を構成し、ドリフト領域１２と接触するボディ領域１３とを含むＳｉＣ層１１が形成される。

[0055] 次に、工程（Ｓ４０）として、活性化アニール工程が実施される。この工程（Ｓ４０）では、図７を参照して、ＳｉＣ層１１が形成されたＳｉＣ基板１０が加熱されることにより、当該ＳｉＣ層１１内に導入された不純物が活性化する。これにより、ＳｉＣ層１１内の不純物領域において所望のキャリアが発生する。

[0056] 次に、工程（Ｓ５０）として、電子線照射工程が実施される。この工程（Ｓ５０）では、図８を参照して、表面１１Ａ側からＳｉＣ層１１に対して電子線ＥＢが照射される。これにより、ドリフト領域１２内に$1\times10^{13}cm^{-3}$以上$1\times10^{15}cm^{-3}$以下の濃度で$Z_{1/2}$センターが形成される。

[0057] 電子線ＥＢのエネルギーは、ＳｉＣ層１１の厚みにより適宜選択することが可能であり、たとえば１００ｋｅＶ以上２５０ｋｅＶ以下であり、１５０ｋｅＶ以上２００ｋｅＶ以下であることが好ましい。また、電子線ＥＢのフルエンスは、導入すべき$Z_{1/2}$センターの濃度により適宜選択することが可能であり、たとえば$1\times10^{16}cm^{-2}$以上$8\times10^{17}cm^{-2}$以下であり、５×

$10^{16}cm^{-2}$以上$4\times10^{17}cm^{-2}$以下であることが好ましい。

[0058] また、$Z_{1/2}$センターは電子線照射により形成される場合に限定されず、たとえば中性子線照射やイオン注入などの方法により形成することも可能である。また、電子線照射、中性子線照射およびイオン注入の方法を適宜組合わせることにより$Z_{1/2}$センターが形成されてもよい。

[0059] 次に、工程（Ｓ６０）として、ゲート絶縁膜形成工程が実施される。この工程（Ｓ６０）では、図９を参照して、たとえば酸素（O_2）を含む雰囲気中においてＳｉＣ層１１が形成されたＳｉＣ基板１０を加熱することにより、表面１１Ａ上に二酸化珪素（SiO_2）からなるゲート絶縁膜２０が形成される。

[0060] 次に、工程（Ｓ７０）として、ゲート電極形成工程が実施される。この工程（Ｓ７０）では、図９を参照して、たとえばＬＰＣＶＤ（Ｌｏｗ Ｐｒｅｓｓｕｒｅ Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法により、ゲート絶縁膜２０上に接触し、ポリシリコンからなるゲート電極３０が形成される。

[0061] 次に、工程（Ｓ８０）として、層間絶縁膜形成工程が実施される。この工程（Ｓ８０）では、図１０を参照して、たとえばＣＶＤ法によりゲート絶縁膜２０とともにゲート電極３０を取り囲むようにSiO_2からなる層間絶縁膜６０が形成される。

[0062] 次に、工程（Ｓ９０）として、オーミック電極形成工程が実施される。この工程（Ｓ９０）では、図１１を参照して、まず、ソース電極４０を形成すべき領域においてゲート絶縁膜２０および層間絶縁膜６０がエッチングにより除去される。これにより、ソース領域１４およびコンタクト領域１５が露出した領域が形成される。そして、当該領域において、たとえばニッケル（Ｎｉ）からなる膜が形成される。一方、ＳｉＣ基板１０の表面１０Ｂ上において、たとえばＮｉからなる膜が形成される。その後、ＳｉＣ基板１０が加熱されることにより上記Ｎｉからなる膜の少なくとも一部がシリサイド化する。これにより、ＳｉＣ層１１の表面１１ＡおよびＳｉＣ基板１０の表面１０

Ｂ上においてソース電極４０およびドレイン電極５０がそれぞれ形成される。

[0063] 次に、工程（Ｓ１００）として、配線形成工程が実施される。この工程（Ｓ１００）では、図１を参照して、たとえば蒸着法によりアルミニウム（Ａｌ）や金（Ａｕ）などの導電体からなるソース配線４１が、ソース電極４０および層間絶縁膜６０を覆うように形成される。また、上記ソース配線４１と同様にアルミニウム（Ａｌ）や金（Ａｕ）などからなるドレイン配線５１がドレイン電極５０を覆うように形成される。上記工程（Ｓ１０）～（Ｓ１００）が実施されることによりＳｉＣ半導体装置１が製造され、本実施形態に係るＳｉＣ半導体装置の製造方法が完了する。

[0064] 以上のように、本実施形態に係るＳｉＣ半導体装置の製造方法では、工程（５０）において電子線照射によりドリフト領域１２内に$1\times10^{13}cm^{-3}$以上$1\times10^{15}cm^{-3}$以下の濃度で$Z_{1/2}$センターを導入することで、上記ＳｉＣ半導体装置１を製造することができる。したがって、上記ＳｉＣ半導体装置の製造方法によれば、電気特性が維持され、かつオン抵抗の増大が抑制されたＳｉＣ半導体装置を製造することができる。

[0065] （実施形態２）

次に、本発明の他の実施形態である実施形態２について説明する。本実施形態に係るＳｉＣ半導体装置の製造方法は、基本的には上記実施形態１のＳｉＣ半導体装置の製造方法と同様に実施され、かつ同様の効果を奏する。しかし、本実施形態に係るＳｉＣ半導体装置の製造方法は、ドリフト領域内に$Z_{1/2}$センターを導入するタイミングにおいて上記実施形態１の場合とは異なっている。

[0066] 図１２を参照して、本実施形態に係るＳｉＣ半導体装置の製造方法では、まず、工程（Ｓ１１０）～（Ｓ１５０）が上記実施形態１の工程（Ｓ１０）～（Ｓ４０）および（Ｓ６０）と同様の手順により実施される。これにより、図１３に示すようにＳｉＣ基板１０上に不純物領域を含むＳｉＣ層１１が形成され、当該ＳｉＣ層１１の表面１１Ａ上にゲート絶縁膜２０が形成され

る。

[0067] 次に、工程（Ｓ１６０）として、電子線照射工程が実施される。この工程（Ｓ１６０）では、図１３を参照して、上記実施形態１の工程（Ｓ５０）と同様の手順により、ゲート絶縁膜２０が形成されたＳｉＣ層１１に対して表面１１Ａ側から電子線ＥＢが照射される。これにより、ドリフト領域１２内において上記濃度で$Z_{1/2}$センターが導入される。

[0068] 次に、工程（Ｓ１７０）～（Ｓ２００）が上記実施形態１の（Ｓ７０）～（Ｓ１００）と同様の手順により実施される。これにより、上記実施形態１と同様に電気特性が維持され、かつオン抵抗の増大が抑制されたＳｉＣ半導体装置１（図１参照）を製造することができる。

[0069] （実施形態３）

次に、本発明のさらに他の実施形態である実施形態３について説明する。本実施形態に係るＳｉＣ半導体装置の製造方法は、基本的には上記実施形態１のＳｉＣ半導体装置の製造方法と同様に実施され、かつ同様の効果を奏する。しかし、本実施形態に係るＳｉＣ半導体装置の製造方法は、ドリフト領域内に$Z_{1/2}$センターを導入するタイミングにおいて上記実施形態１の場合とは異なっている。

[0070] 図１４を参照して、本実施形態に係るＳｉＣ半導体装置の製造方法では、まず、工程（Ｓ２１０）～（Ｓ２６０）が上記実施形態１の工程（Ｓ１０）～（Ｓ４０）、（Ｓ６０）および（Ｓ７０）と同様の手順により実施される。これにより、図１５に示すようにＳｉＣ基板１０上に不純物領域を含むＳｉＣ層１１が形成され、当該ＳｉＣ層１１の表面１１Ａ上にゲート絶縁膜２０が形成され、当該ゲート絶縁膜２０上にゲート電極３０が形成される。

[0071] 次に、工程（Ｓ２７０）として、電子線照射工程が実施される。この工程（Ｓ２７０）では、図１５を参照して、上記実施形態１の工程（Ｓ５０）と同様の手順により、ゲート絶縁膜２０およびゲート電極３０が形成されたＳｉＣ層１１に対して表面１１Ａ側から電子線ＥＢが照射される。これにより、ドリフト領域１２内に上記濃度で$Z_{1/2}$センターが導入される。

[0072] 次に、工程（Ｓ２８０）～（Ｓ３００）が上記実施形態１の（Ｓ８０）～（Ｓ１００）と同様の手順により実施される。これにより、上記実施形態１と同様に電気特性が維持され、かつオン抵抗の増大が抑制されたＳｉＣ半導体装置１（図１参照）を製造することができる。

[0073] 今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0074] 本発明の炭化珪素半導体装置およびその製造方法は、電気特性を維持しつつオン抵抗の増大を抑制すること要求される炭化珪素半導体装置およびその製造方法において、特に有利に適用され得る。

符号の説明

[0075] １ 炭化珪素（ＳｉＣ）半導体装置、１０ 炭化珪素（ＳｉＣ）基板、１０Ａ，１０Ｂ，１１Ａ 表面、１１ 炭化珪素（ＳｉＣ）層、１２ ドリフト領域、１２Ａ 接触面、１３ ボディ領域、１４ ソース領域、１５ コンタクト領域、２０ ゲート絶縁膜、３０ ゲート電極、４０ ソース電極、４１ ソース配線、５０ ドレイン電極、５１ ドレイン配線、６０ 層間絶縁膜、ＢＤ ボディダイオード、Ｅ 電子、ＥＢ 電子線、Ｅｃ 下端、Ｅｖ 上端、Ｈ 正孔、Ｒ１，Ｒ２ 領域。

請求の範囲

[請求項1] 一方の表面を構成する第１導電型領域と、前記一方の表面とは反対側の他方の表面の一部を構成し、前記第１導電型領域と接触する第２導電型領域とを含む炭化珪素層と、

前記第１導電型領域において前記一方の表面側の領域に電気的に接続される第１電極と、

前記第２導電型領域と電気的に接続される第２電極とを備え、

前記第１導電型領域を通過して前記第１電極および前記第２電極の間を移動する主なキャリアが第１導電型のキャリアのみであり、

前記第１導電型領域には、１×１０^{13}ｃｍ$^{-3}$以上１×１０^{15}ｃｍ$^{-3}$以下の濃度で$Z_{1/2}$センターが導入されている、炭化珪素半導体装置。

[請求項2] 前記第１導電型領域では、第１導電型の不純物の濃度が前記$Z_{1/2}$センターの濃度よりも大きい、請求項１に記載の炭化珪素半導体装置。

[請求項3] 前記第２導電型領域から前記第１導電型領域に注入される第２導電型のキャリアの寿命は、１μｓ以下である、請求項１または請求項２に記載の炭化珪素半導体装置。

[請求項4] 前記第２導電型領域上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に形成されるゲート電極とをさらに備え、

前記ゲート電極に電圧を印加して前記第２導電型領域における反転層の形成の有無を制御することにより前記第１導電型のキャリアの移動が制御される、請求項１～請求項３のいずれか１項に記載の炭化珪素半導体装置。

[請求項5] 一方の表面を構成する第１導電型領域と、前記一方の表面とは反対側の他方の表面の一部を構成し、前記第１導電型領域と接触する第２導電型領域とを含む炭化珪素層を形成する工程と、

前記第１導電型領域に１×１０^{13}ｃｍ$^{-3}$以上１×１０^{15}ｃｍ$^{-3}$以

下の濃度で$Z_{1/2}$センターを導入する工程と、

前記第１導電型領域において前記一方の表面側の領域に電気的に接続される第１電極を形成する工程と、

前記第２導電型領域と電気的に接続される第２電極を形成する工程とを備え、

前記第１導電型領域を通過して前記第１電極および前記第２電極の間を移動する主なキャリアが第１導電型のキャリアのみである、炭化珪素半導体装置の製造方法。

[請求項6] 前記炭化珪素層を加熱する工程をさらに備え、

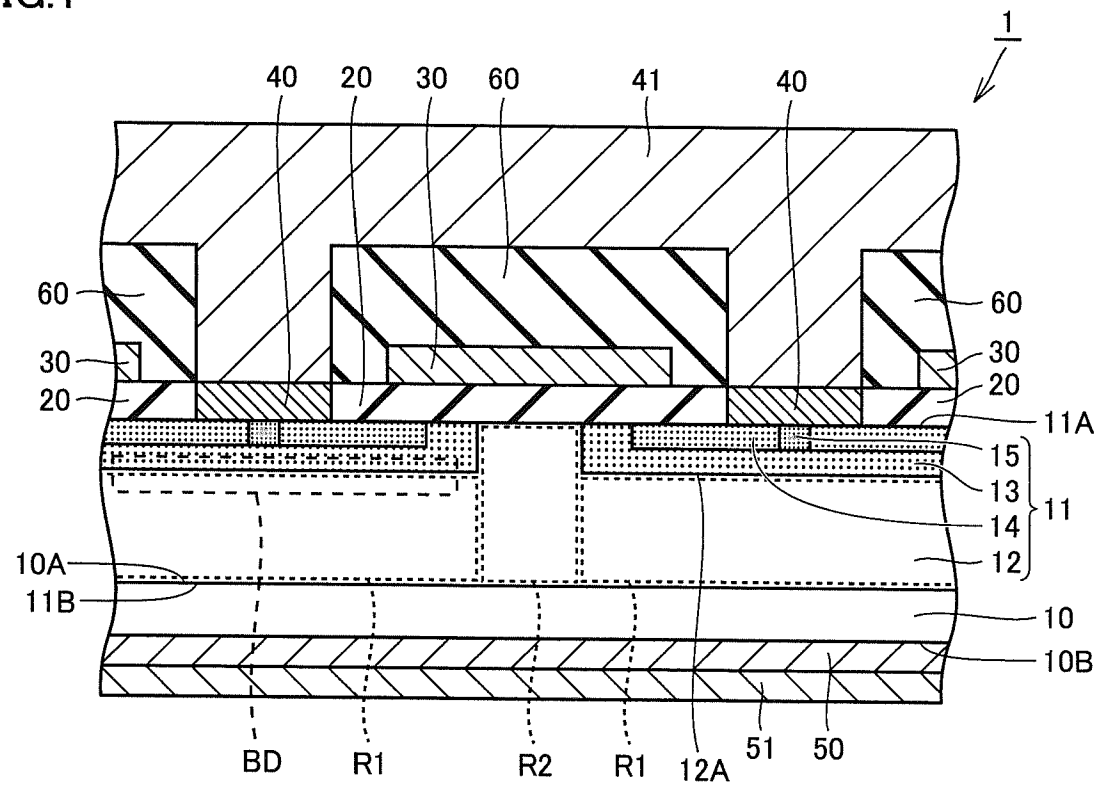
前記$Z_{1/2}$センターを導入する工程は、前記炭化珪素層を加熱する工程の後に実施される、請求項５に記載の炭化珪素半導体装置の製造方法。

[請求項7] 前記$Z_{1/2}$センターを導入する工程では、電子線照射、中性子線照射およびイオン注入からなる群より選択される少なくとも一の方法により前記第１導電型領域に$Z_{1/2}$センターが導入される、請求項５または請求項６に記載の炭化珪素半導体装置の製造方法。

[請求項8] 前記$Z_{1/2}$センターを導入する工程では、電子線エネルギーが１５０ｋｅＶ以上２００ｋｅＶ以下であり、かつ電子線フルエンスが$５\times１０^{16}ｃｍ^{-2}$以上$４\times１０^{17}ｃｍ^{-2}$以下である前記電子線照射により前記第１導電型領域内に$Z_{1/2}$センターが導入される、請求項７に記載の炭化珪素半導体装置の製造方法。

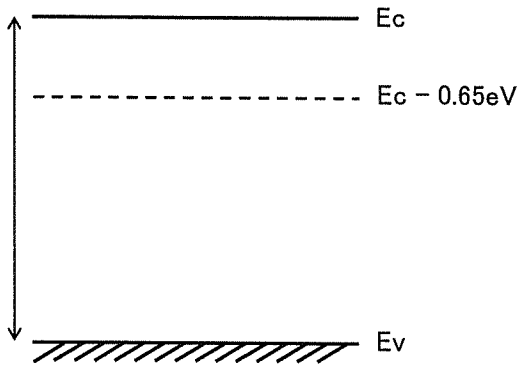
[図1]

FIG.1



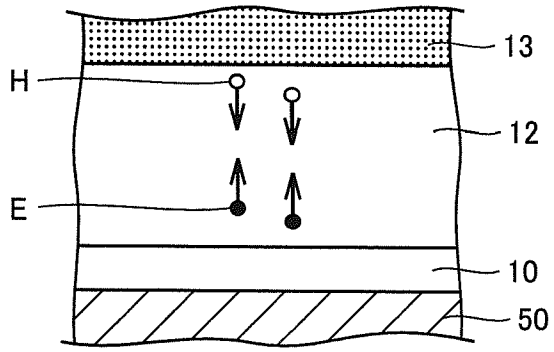
[図2]

FIG.2



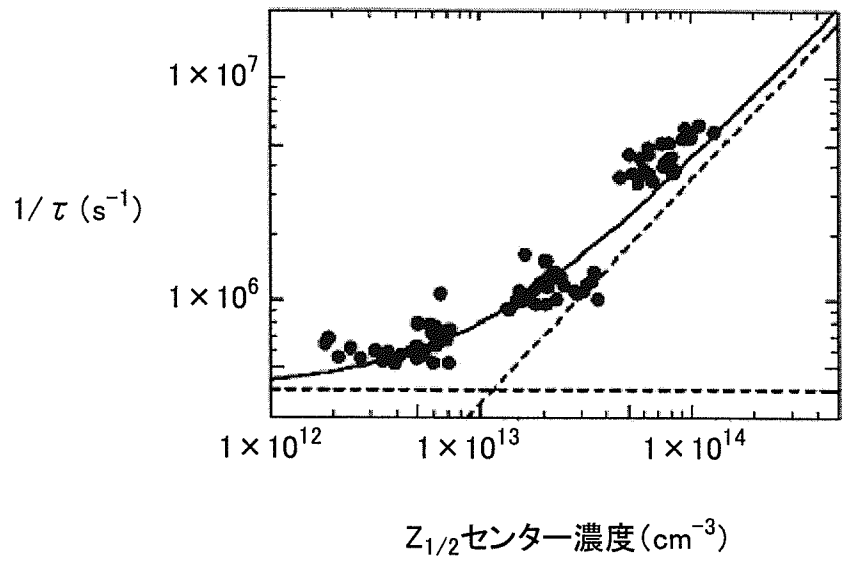
[図3]

FIG.3



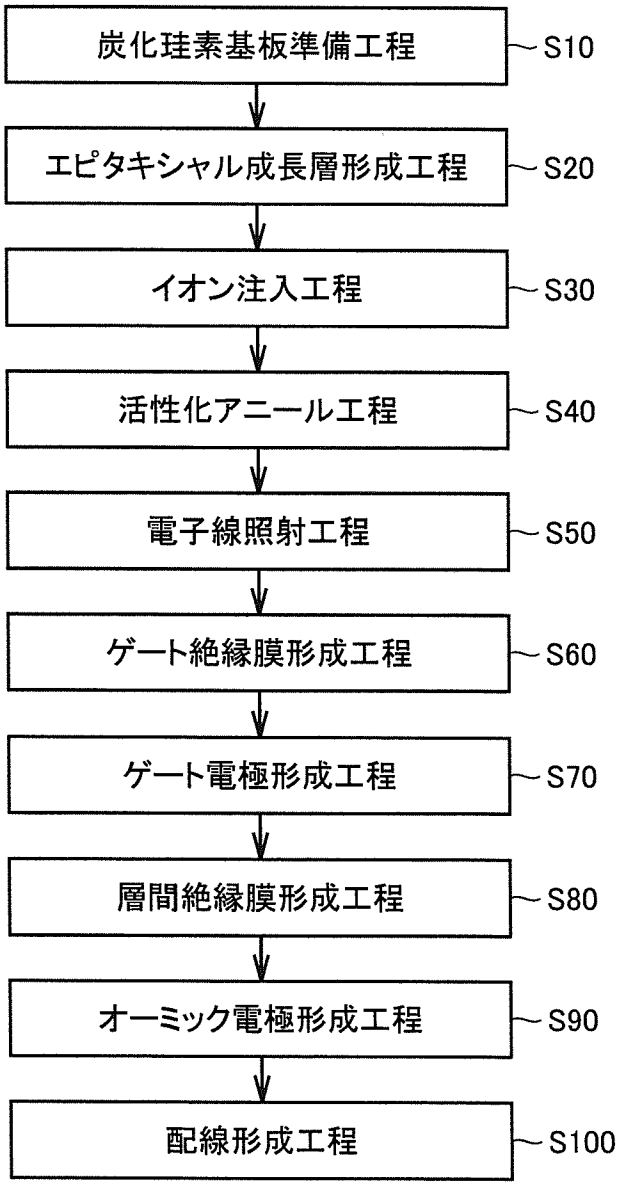
[図4]

FIG.4



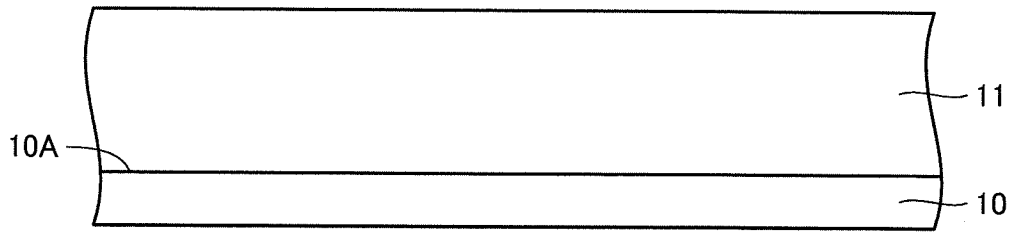
[図5]

FIG.5


炭化珪素基板準備工程
S10
エピタキシャル成長層形成工程
S20
イオン注入工程
S30
活性化アニール工程
S40
電子線照射工程
S50
ゲート絶縁膜形成工程
S60
ゲート電極形成工程
S70
層間絶縁膜形成工程
S80
オーミック電極形成工程
S90
配線形成工程
S100

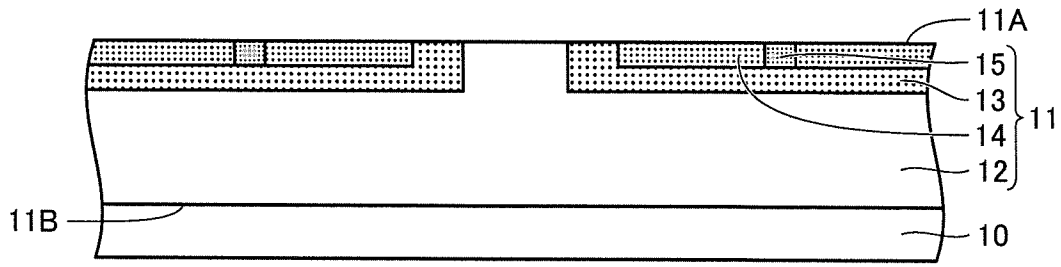
[図6]

FIG.6



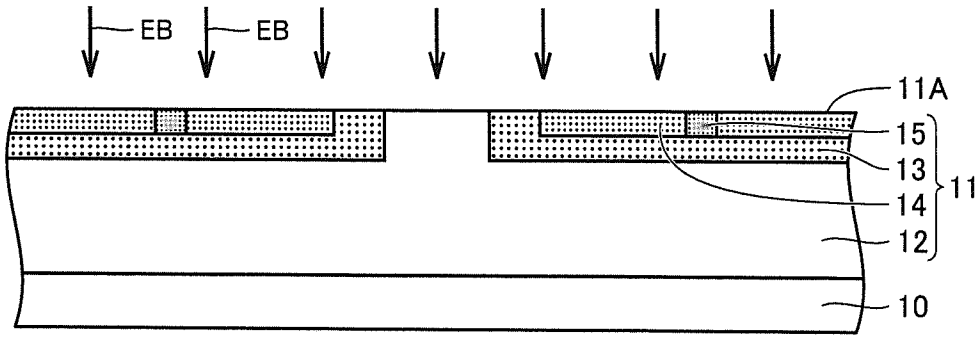
[図7]

FIG.7



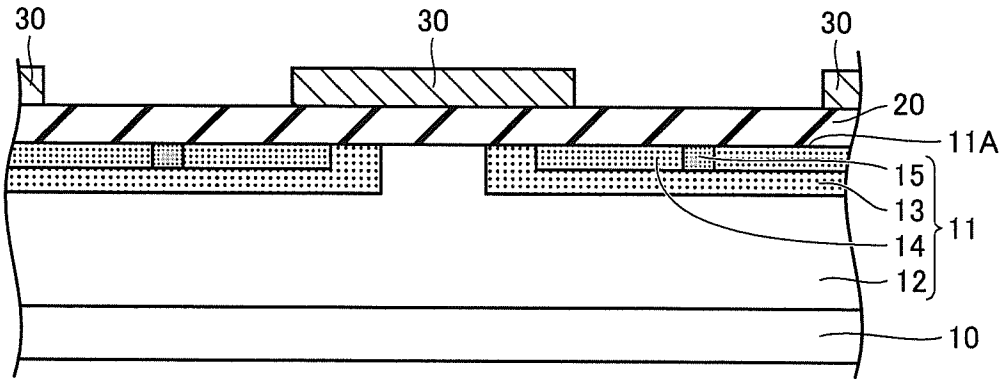
[図8]

FIG.8



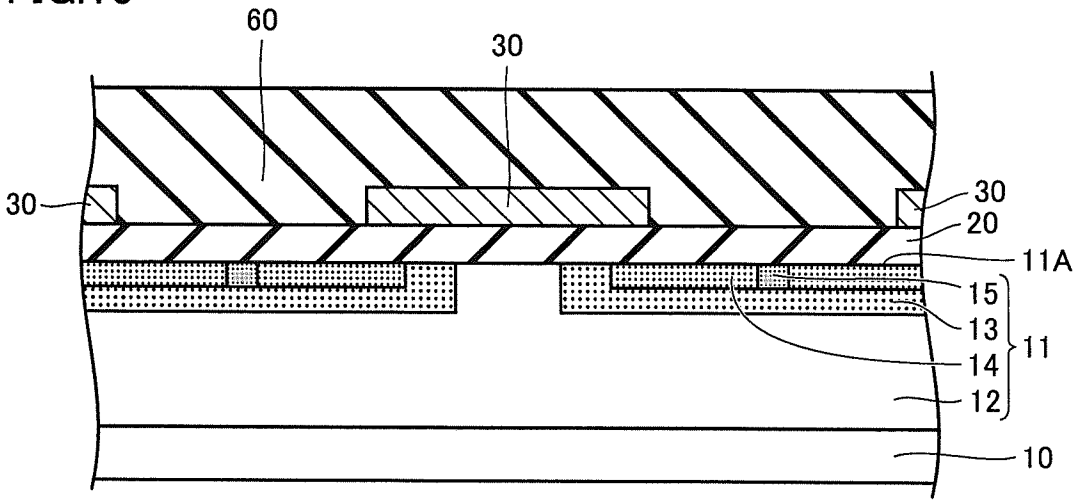
[図9]

FIG.9



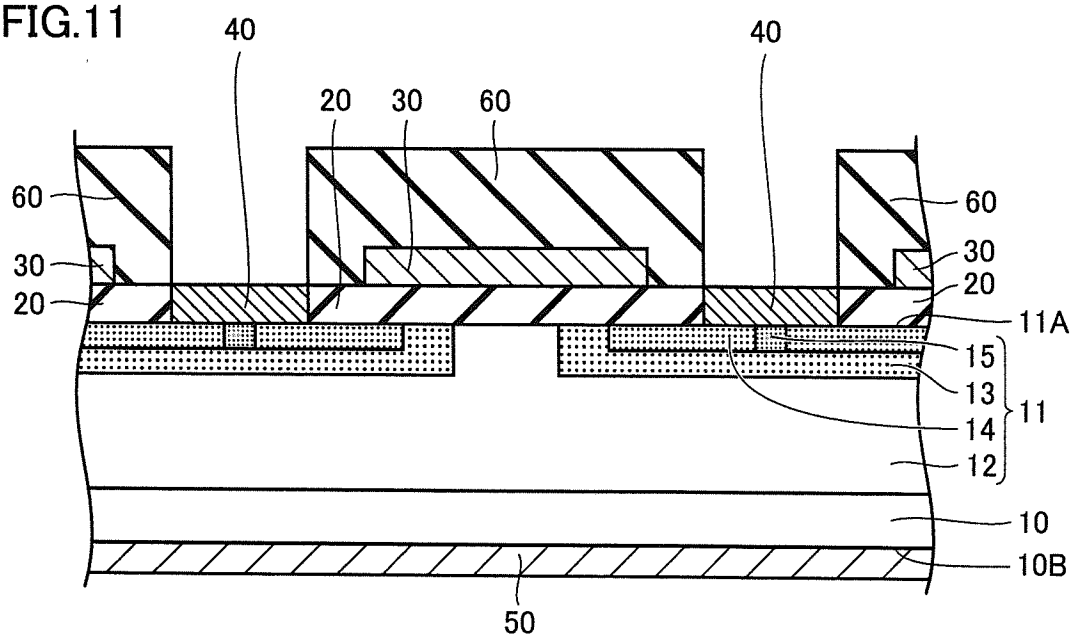
[図10]

FIG.10



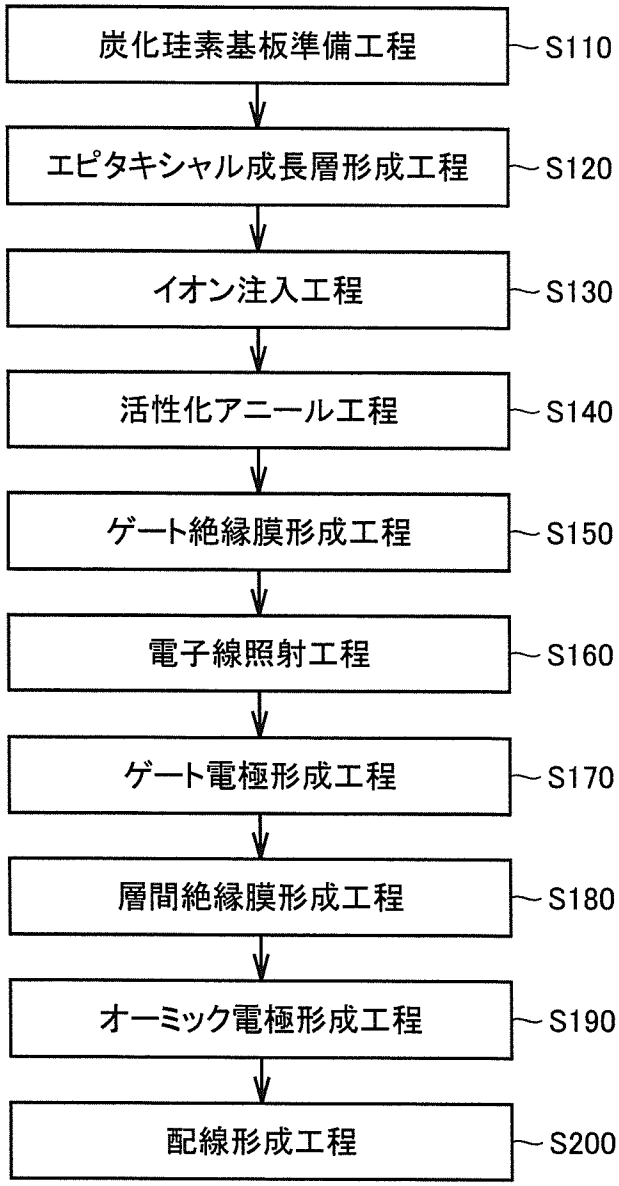
[図11]

FIG.11



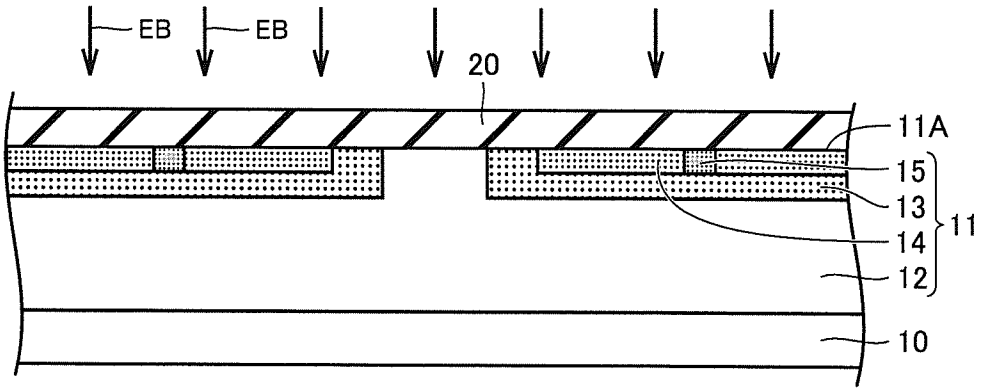
[図12]

FIG.12


炭化珪素基板準備工程
S110
エピタキシャル成長層形成工程
S120
イオン注入工程
S130
活性化アニール工程
S140
ゲート絶縁膜形成工程
S150
電子線照射工程
S160
ゲート電極形成工程
S170
層間絶縁膜形成工程
S180
オーミック電極形成工程
S190
配線形成工程
S200

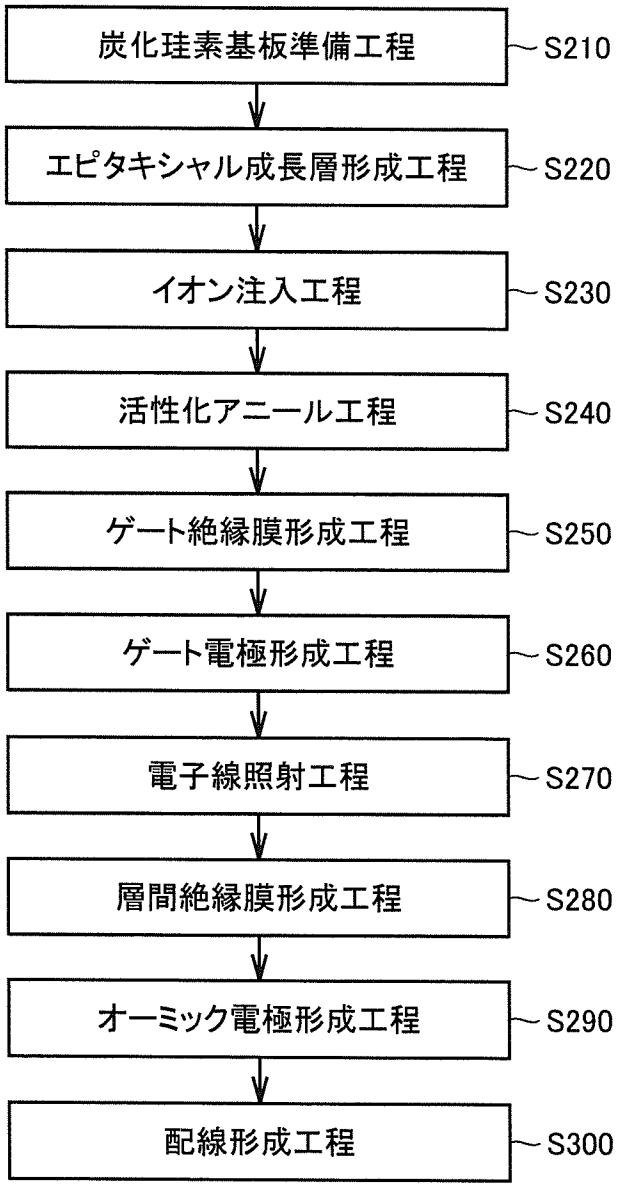
[図13]

FIG.13



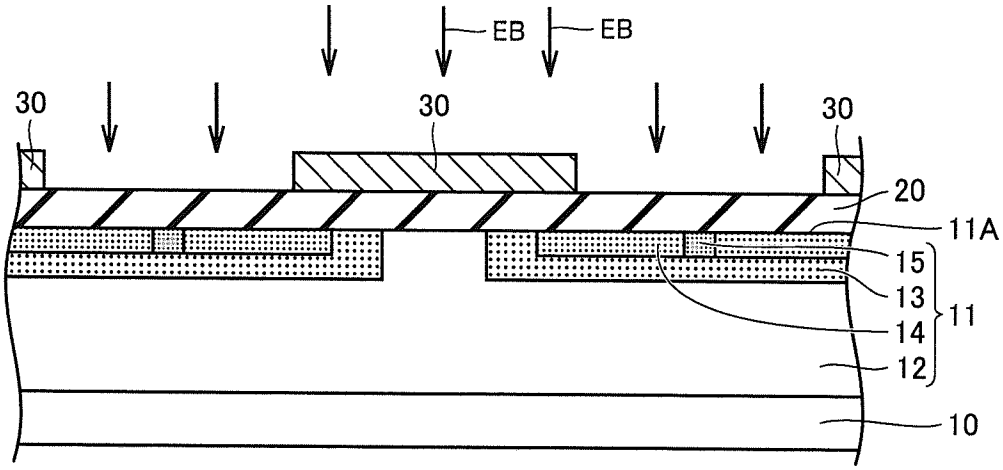
[図14]

FIG.14



[図15]

FIG.15



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/068878

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, *H01L21/322*(2006.01)i, *H01L21/336*(2006.01)i, *H01L29/12*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L21/322, H01L21/336, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 08-227895 A (Rohm Co., Ltd.), 03 September 1996 (03.09.1996), paragraphs [0004], [0031]; fig. 3 & US 5808352 A & EP 756757 A1 & WO 1996/026536 A1 & DE 69621385 D & CN 1146826 A & KR 10-0394393 B	1-8
Y	JP 2010-157593 A (Panasonic Corp.), 15 July 2010 (15.07.2010), paragraphs [0002], [0010], [0022] to [0036]; fig. 1 to 7 (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 25 September, 2014 (25.09.14)	Date of mailing of the international search report 14 October, 2014 (14.10.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/068878

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-162118 A (Sumitomo Electric Industries, Ltd.), 19 August 2013 (19.08.2013), paragraph [0019]; fig. 1 & US 2013/0193447 A1 & WO 2013/114743 A1	1-8
Y	Kotaro KAWAHARA et al., "Ion Chunyu sareta 4H-SiC Chu no Fukai Jun'i no Fukasa Hoko Bunpu Oyobi Chunyu Dose-ryo Izonsei", Dai 56 Kai Extended Abstracts, Japan Society of Applied Physics and Related Societies, vol.1, page 440, 2009.03	1-8
Y	JP 2006-021954 A (Fuji Electric Holdings Co., Ltd.), 26 January 2006 (26.01.2006), paragraphs [0001], [0018] to [0042] (Family: none)	1,4-5
Y	JP 2009-164440 A (Mitsubishi Electric Corp.), 23 July 2009 (23.07.2009), paragraphs [0010] to [0035]; fig. 1 to 4 (Family: none)	1-5,7
Y	JP 2011-109018 A (The Kansai Electric Power Co., Inc.), 02 June 2011 (02.06.2011), paragraphs [0023] to [0048] (Family: none)	1-5,7

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０６８８７８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i, H01L21/322(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78, H01L21/322, H01L21/336, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 08-227895 A (ローム株式会社) 1996.09.03, [0004],[0031],図 3 & US 5808352 A & EP 756757 A1 & WO 1996/026536 A1 & DE 69621385 D & CN 1146826 A & KR 10-0394393 B	1-8
Y	JP 2010-157593 A (パナソニック株式会社) 2010.07.15, [0002],[0010],[0022]-[0036],図 1-7 (ファミリーなし)	1-8
Y	JP 2013-162118 A (住友電気工業株式会社) 2013.08.19, [0019],図 1 & US 2013/0193447 A1 & WO 2013/114743 A1	1-8

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２５．０９．２０１４	１４．１０．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　４６８８
大橋　達也
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	川原洸太朗　他，イオン注入された４Ｈ－ＳｉＣ中の深い準位の深さ方向分布および注入ドーズ量依存性，第５６回応用物理学関係連合講演会講演予稿集　　Ｖｏｌ．１，第 440 ページ，2009.03	1-8
Y	JP 2006-021954 A（富士電機ホールディングス株式会社）2006.01.26，[0001],[0018]-[0042]（ファミリーなし）	1,4-5
Y	JP 2009-164440 A（三菱電機株式会社）2009.07.23，[0010]-[0035]，図 1-4（ファミリーなし）	1-5,7
Y	JP 2011-109018 A（関西電力株式会社）2011.06.02，[0023]-[0048]（ファミリーなし）	1-5,7