

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷



[12] 发明专利申请公开说明书

[21] 申请号 03814719.X

H03M 1/00

H03M 1/06

H03M 1/10

H03M 1/12

H03M 1/38

[43] 公开日 2005 年 8 月 31 日

[11] 公开号 CN 1663127A

[22] 申请日 2003.4.17 [21] 申请号 03814719.X

[30] 优先权

[32] 2002.5.28 [33] US [31] 10/156,365

[86] 国际申请 PCT/US2003/011853 2003.4.17

[87] 国际公布 WO2003/103150 英 2003.12.11

[85] 进入国家阶段日期 2004.12.23

[71] 申请人 阿纳洛格装置公司

地址 美国马萨诸塞州

[72] 发明人 杰弗里·C·杰罗

小托马斯·J·巴伯

小保罗·F·弗格森

泽维尔·S·奥里

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

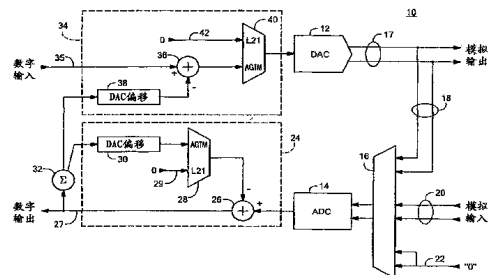
代理人 李德山

权利要求书 1 页 说明书 5 页 附图 5 页

[54] 发明名称 偏移校准系统

[57] 摘要

一种偏移校准系统，包括：具有第一全标度范围的模数转换器，其具有第一偏移补偿电路；具有第二全标度范围的数模转换器，其具有第二偏移补偿电路；在所述数模转换器的偏移校准期间，所述数模转换器将其输出连接到所述模数转换器的输入；以及范围调整电路，用于累加预定数量的模数输出值，并以对应于模数转换器最低有效位电压的电压与对应于数模转换器最低有效位电压的电压的比值，将所累加的数值除以预先选择的 2 的幂。



1. 一种偏移校准系统，包括：

具有第一全标度范围的模数转换器，其具有第一偏移补偿电路；

具有第二全标度范围的数模转换器，其具有第二偏移补偿电路；

在所述数模转换器的偏移校准期间，所述数模转换器将其输出连接到所述模数转换器的输入；以及

范围调整电路，用于累加预定数量的模数输出值，并以对应于模数转换器最低有效位电压的电压与对应于数模转换器最低有效位电压的电压的比值，将所累加的数值除以预先选择的2的幂。

2. 如权利要求1所述的偏移校准系统，其中所述范围调整电路包括累加器电路，用于容纳所述预定数量的模数输出值。

3. 如权利要求2所述的偏移校准系统，其中所述累加器电路包括控制电路，用于确定要累加的模数输出值的数量。

4. 如权利要求2所述的偏移校准系统，其中所述累加器电路包括寄存器和用于选择寄存器的级的装置，所述寄存器的级表示所累加的值除以所述预选择的2的幂所得的商。

偏移校准系统

技术领域

本发明涉及用于具有不相关于 2 的幂的全标度范围(full scale range)的集成模数转换器(ADC)和数模转换器(DAC)的偏移校准系统。

背景技术

模数转换器(ADC)通常有明显的偏移误差。也就是,对于0输入,将不会有0输出。该差异就是偏移。为了补偿偏移,可以通过引入0输入到ADC以确定偏移,然后在正常运算期间从ADC的输出中减去该偏移以消除误差,从而校准ADC。

数模转换器(DAC)通常也有明显的偏移误差。当在电路中与校准的ADC一起使用时,可以校准DAC以便补偿其偏移。DAC的输入被设置为0;其模拟输出表示偏移误差,并且被馈送到ADC的输入端。于是,校准的ADC的输出表示DAC的偏移误差。在正常运算期间,从输入代码中减去使用ADC测量的DAC偏移。此解决方法已工作良好。然而,当ADC和DAC的最低有效位(LSB)没有对应同一电压时,必须通过LSB电压比调整使用ADC测量的DAC的偏移误差,以便获得正确的DAC偏移校正。当ADC和DAC的全标度范围等于或者相关于2的幂时,可以通过左移或右移ADC输出(以二进制数表示)来执行调整。左移ADC输出等效于将值乘以2的幂。右移ADC输出等效于将值除以2的幂。当全标度范围不相关于2的幂时,可以通过乘法和除法完成调整。然而,非2的幂的数的乘法和除法需要相当大的数字电路。

发明内容

因此,本发明的目的在于提供一种改进偏移校准系统。

本发明的目的还在于提供一种这样的改进偏移校准系统,其用于具有不相关于2的幂的全标度范围的模数转换器和数模转换器。

本发明的目的还在于提供一种这样的改进偏移校准系统，其在不使用除以非2的幂的数的除法的情况下，适应不同的范围。

本发明的目的还在于提供一种这样的改进偏移校准系统，其在不使用乘以非2的幂的数的乘法的情况下，适应不同的范围。

本发明的目的还在于提供一种这样的改进偏移校准系统，其主要使用普通运算所需的电路，例如用于实现增量求和(Δ -sigma)ADC的抽取器(decimator)的累加器，完成其校准功能。

本发明源于这样的认识，即，通过累加预定数量的经偏移补偿的模数输出值，并以ADC LSB电压与DAC LSB电压的比值，将它们除以预选择的2的幂，能够获得避免被非2的幂的数相乘或除、用于具有不同范围的集成模数转换器和数模转换器的简单、有效的偏移校准系统。

本发明提供一种偏移校准系统，包括具有第一全标度范围的模数转换器，该模数转换器具有第一偏移补偿电路；以及具有第二全标度范围的数模转换器，该数模转换器具有第二偏移补偿电路。在校准数模转换器期间，数模转换器将其输出连接到模数转换器的输入。范围调整电路累加预定数量的模数输出值，并以对应于模数转换器最低有效位电压的电压与对应于数模转换器最低有效位电压的电压的比值，将所累加的数值除以预先选择的2的幂。

在优选实施例中，范围调整电路可以包括累加器电路，用于累加预定数量的模数输出值。累加器电路可以包括控制电路，用以确定要累加的模数输出值的数量。累加器电路可以包括寄存器和用于选择寄存器的级的装置，该级表示所累加的值除以预先选择的2的幂所得的商。可以在校准数模转换器之前，校准模数转换器。在正常运算期间，累加器电路可以作为数字滤波器操作。

附图说明

对于本领域的技术人员，从以下优选实施例和附图的描述中，可以发现本发明的其他目的、特征和优点，其中：

图1是根据本发明的偏移校准系统的示意模块图；

图2, 3和4是与图1相似的视图，分别示出了用于模数转换器校准，

用于数模转换器校准，以及用于正常操作中的信号路径；而

图5是根据本发明的图1的范围调整电路的一个构造的示意图。

具体实施方式

图1中示出了根据本发明的偏移校准系统10，用于当数模转换器(ADC)和模数转换器(DAC)全标度范围非相关于2的幂时，校准数模转换器(DAC)12和模数转换器(ADC)14。复用器16提供了ADC 14的输入，ADC 14的输入可以从DAC 12的输出17，正常模拟输入20，或者0输入22（用于偏移校准）中选择得到。ADC 14的输出端是ADC偏移补偿电路24，其包括加法器26，加法器26接收来自ADC 14的输出以及来自复用器28的输出。使用寄存器30存储由偏移补偿电路24确定的ADC偏移。寄存器30提供ADC偏移给复用器28的一个输入；复用器28的另一个输入29是用于校准模式的0代码。根据本发明的范围调整电路32互连于加法器26的数字输出以及与DAC 12相关的DAC偏移补偿电路34的输入之间。偏移补偿电路34还包括加法器36和用于存储DAC偏移的寄存器38。加法器36接收来自寄存器38的一个输入，其另一个输入是线路35上的数字输入。加法器36提供一个输入给复用器40；复用器40的另一个输入是用于校准的0输入。复用器40的输出被送到DAC 12的输入端。

在正常运算开始前，并且在DAC校准之前，如图2所示，通过从线路22提供0输入给其差分输入端，对ADC 14进行校准。在ADC 14的输出端，任何不为0的信号通过加法器26被馈送到范围调整电路32。选择线路29上到复用器28的0输入，使得0被输入到加法器26的负输入端。于是，加法器26的输出代表了ADC的偏移。加法器26的输出通过范围调整电路32被送到偏移补偿电路24。在ADC偏移寄存器30中储存的值是由ADC 14产生的偏移误差。在正常运算期间，ADC偏移寄存器30中储存的值将通过复用器28被导入加法器26，在加法器26中，将从ADC 14的输出中减去此值，以消除偏移误差。在图2中的ADC校准期间，DAC电路不被激活。

在图3的DAC 12校准期间，在线路42上通过复用器40的0输入被

送到DAC 12。DAC 12的输出(其理想情况下是0,但通常是有一些偏移误差的值)在线路18上通过复用器16被送到ADC 14的输入端。现在通过减去ADC偏移寄存器30中的、通过复用器28被送到加法器26的值,对ADC 14的输出进行偏移补偿。输出27通过范围调整电路32被送到DAC 12的偏移补偿电路34。这里无论是否发生何偏移,其将被存储进DAC偏移寄存器38,并在将来会被提供给加法器36,以便从数字输入中减去此值,以补偿DAC 12的偏移。

在图4示出的正常运算中,线路20上到复用器16的模拟输入被送到ADC 14。通过偏移补偿电路24补偿来自ADC 14的输出。这通过存储在寄存器30中的、经复用器28到加法器26的ADC偏移来实现,在加法器26中,从ADC 14的输出中减去该ADC偏移以消除ADC偏移误差。对于提供给偏移补偿电路34的数字输入35,加法器36从线路35上的数字输入信号中减去寄存器38中所存储的DAC偏移,并对通过复用器40送到DAC 12的信号提供预校正,因此补偿了DAC的偏移误差,并且线路17上的输出没有偏移误差。

根据本发明,使用范围调整电路32引入必要的因素,使得即使DAC 12和ADC 14具有不相关于2的幂的全标度范围,也可以精确地完成偏移补偿。

图5中更具体示出了范围调整电路32,其包括具有累加器寄存器50和加法器52的累加器48。在正常运算中,累加器48和累加器寄存器50起到滤波器的作用。控制电路54确定将在寄存器50中累加多少来自ADC 14的输出值。输出线路70和72是用于选择寄存器的级的装置,所述级表示所累加的数值除以预选择的2的幂所得的商。例如,如果DAC 12具有 ± 1 伏的输出范围,而ADC 14具有 ± 1.2 伏的范围,明显地,两者范围不相匹配,这将影响DAC偏移误差补偿的准确性。因此,为了在不使用与非相关于2的幂的数进行的显式乘法或除法的情况下对此进行调整,将通过使用加法器52在寄存器50中累加来自ADC 14的若干相继输出值,其中加法器52在线路27上接收通过加法器26来自ADC 14的输入,以及在线路56上来自寄存器50的输入。要被累加的值的数量

被指定为M。在此实例中

$$M = \frac{ADC_{range} / 2^A}{DAC_{range} / 2^D} * (2^n) \quad (1)$$

在其中， ADC_{range} 是ADC全标度范围，A是ADC的分辨率（位的数量）， DAC_{range} 是DAC全标度范围，D是DAC的分辨率（位的数量），而 2^n 表示为方便使用而预选择的2的幂。

因此，对于8位ADC，8位DAC，并且 $n=4$

$$M = \frac{1.2volts / 128}{1.0volts / 128} * (16) = 19.2 \quad (2)$$

将19.2舍入为19，则要在寄存器50中累加的来自ADC 14的输出值的数量是19。通过增加所累加的值的数量，可以改善精确度。但如此会引入累加附加值的延迟。在ADC偏移校准期间，在寄存器50中累加16个值，寄存器50是12位寄存器。忽略0至3位，而4至11位表示ADC偏移。当执行ADC偏移校准时，在寄存器50中累加19个值。忽略0至3位，而4至11位表示DAC偏移。通过累加周期，即19和16之间的差补偿全标度范围，即1.2伏和1伏之间的差。ADC范围与DAC范围的比值近似地等于或可以几乎精确地等于ADC的累加数量M与 2^n 所表示的数的比值。控制电路54确定寄存器50中所累加的输出值的数量。在此实例中，指定ADC周期为16，指定DAC周期为19。

ADC 14是增量求和（delta-sigma）ADC，其包括调制器和数字滤波器。数字滤波器的实现需要累加器。实现用于数字滤波器的累加器所使用的电路也被用于实现范围调整电路。

尽管已在某些附图中示出了本发明的特定特征，然而只是为了方便的原因，没在其他附图中示出，根据本发明，可以将每个特征与任何或所有其他特征相结合。这里所使用的字“包含”，“包括”，“具有”和“带有”，要被广义地解释和理解，并且不限于任何物理的互连。此外，在申请中所公开的任何实施例不认为是全部的可能实施例。

本领域的技术人员会想到其它实施例，这些实施例在下述权利要求范围内：

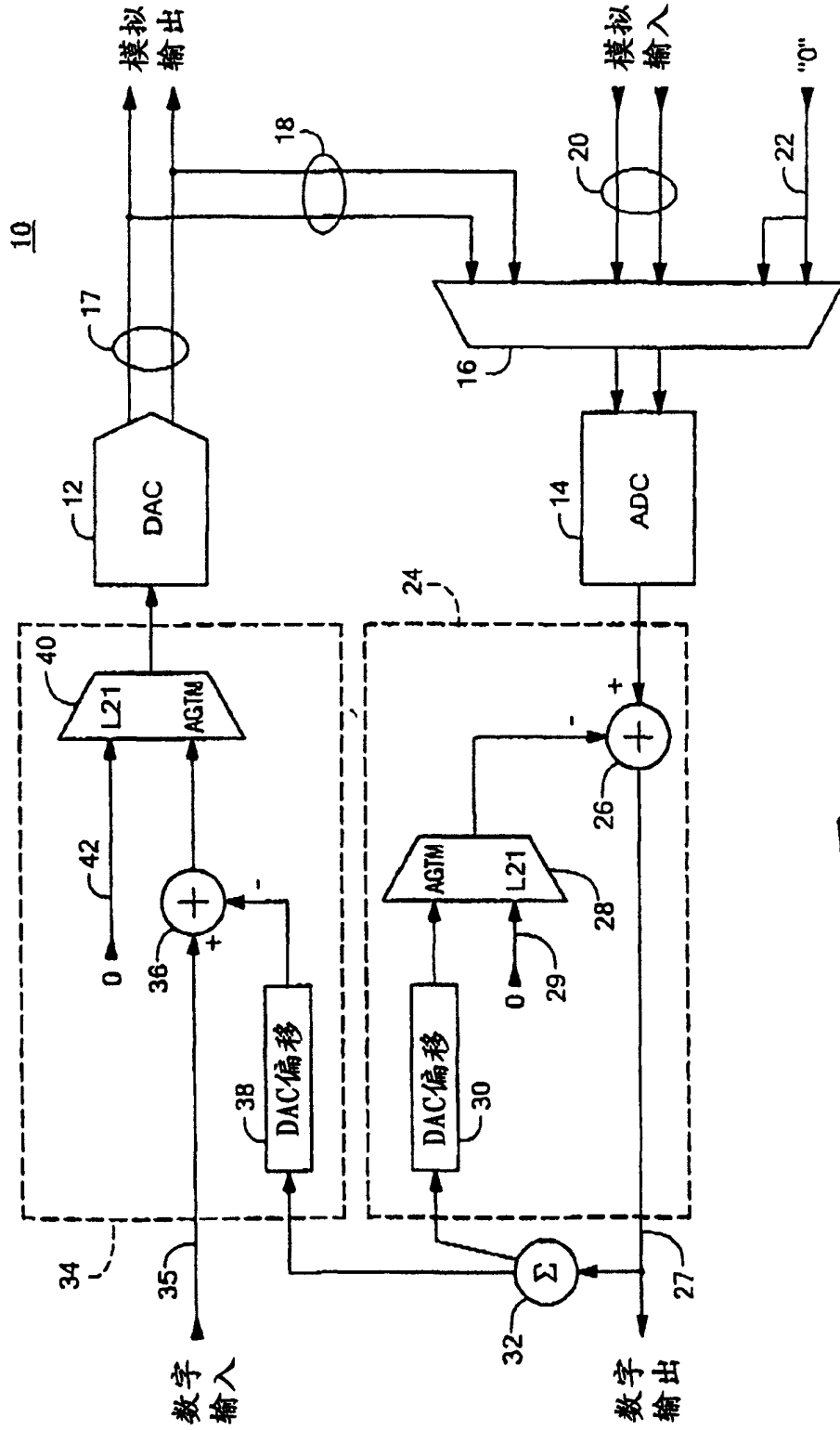


图1

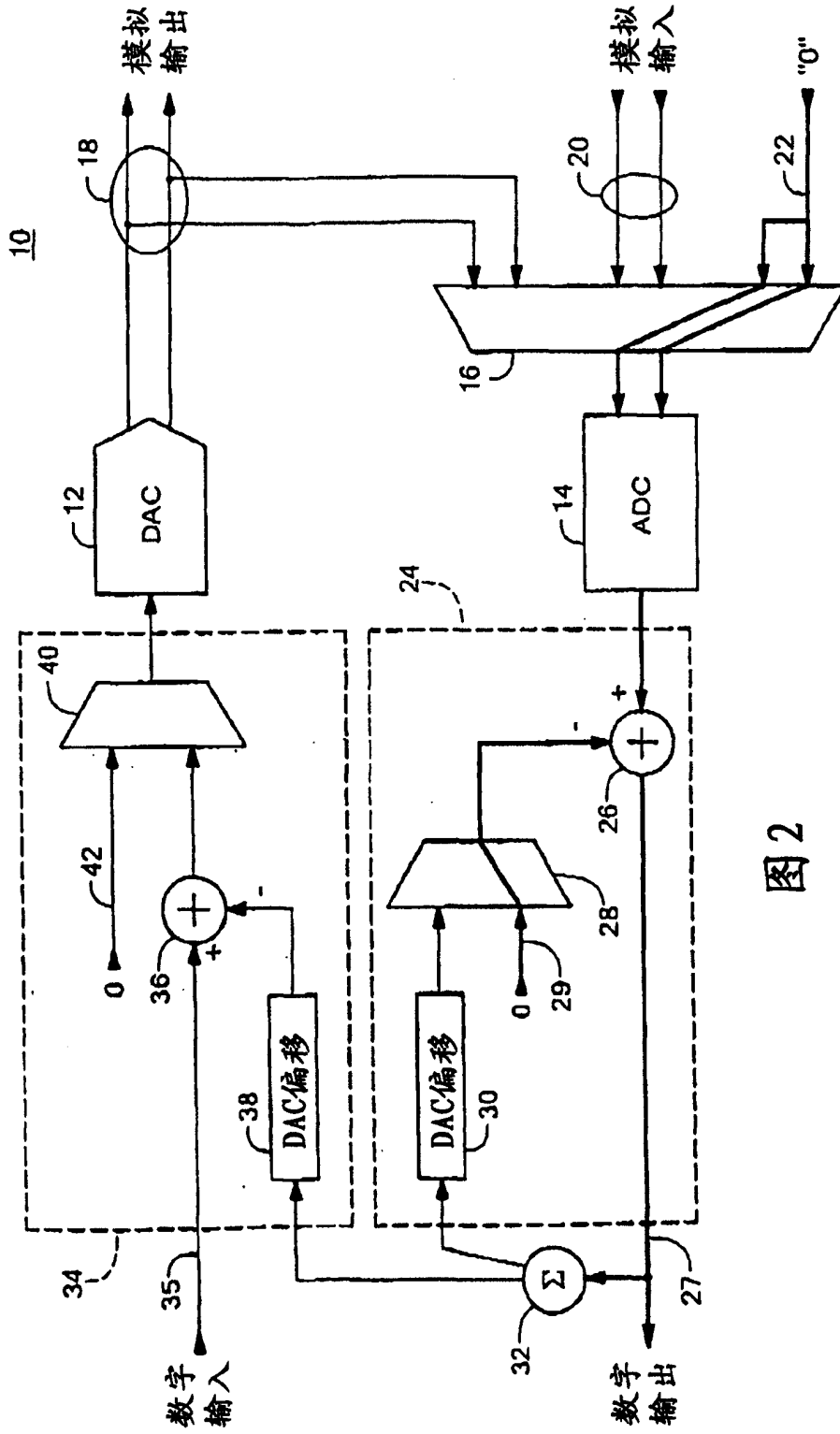


图 2

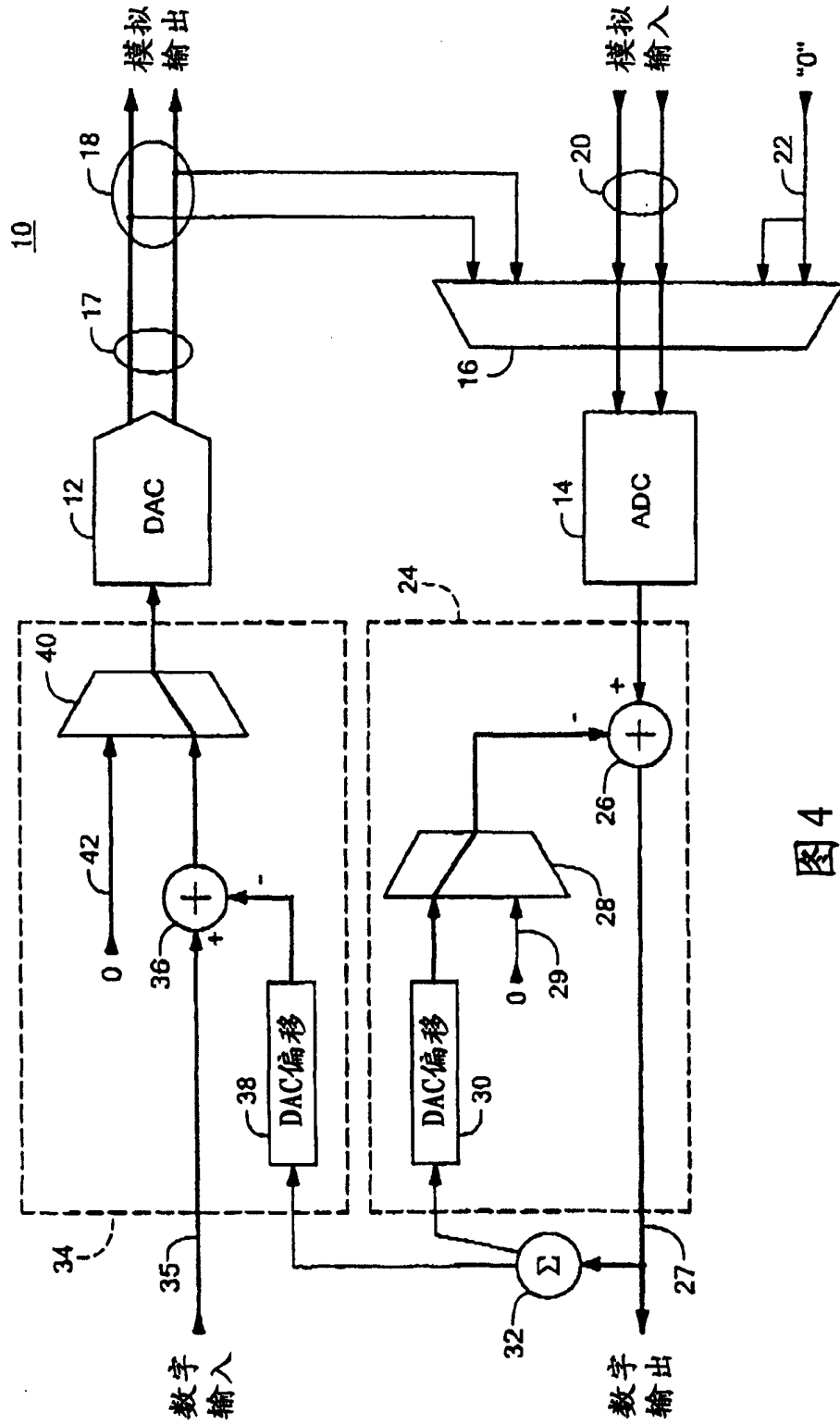


图 4

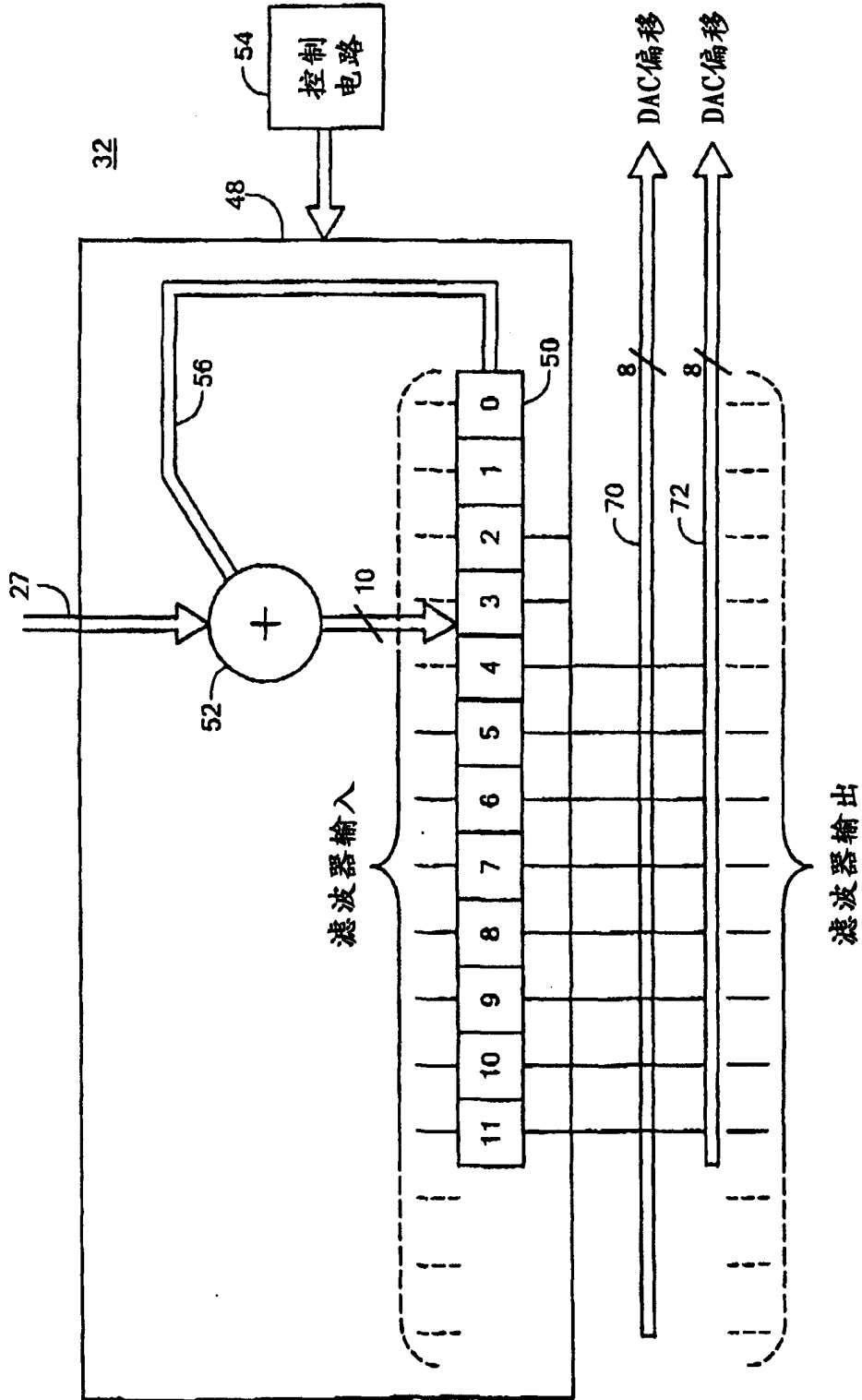


图5