

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁸ H01L 21/76 (2006.01) H01L 21/762 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년02월10일 10-0550635 2006년02월02일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0076961 2004년09월24일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 박정훈
 서울 강동구 성내동 383-18

(74) 대리인 특허법인 신성

심사관 : 김수미

(54) 반도체소자 및 그의 제조 방법

요약

본 발명은 트렌치 갭필이 용이하면서 트랜지스터의 성능을 향상시킬 수 있는 반도체소자의 제조 방법을 제공하기 위한 것으로, 반도체 기판을 소정깊이로 식각하여 활성영역과 소자분리영역을 정의하는 트렌치를 형성하는 단계, 상기 트렌치의 바닥을 완전히 오픈시키면서 상기 트렌치의 측벽을 일부 덮는 산화방지막을 형성하는 단계, 상기 산화방지막을 남겨둔 상태에서 산화공정을 진행하여 상기 트렌치의 바닥을 채우는 제1영역과 이웃한 활성영역들의 아랫부분을 부유 상태로 만들어주는 제2영역을 갖는 더미산화막을 형성하는 단계, 상기 산화방지막을 선택적으로 제거하는 단계, 및 상기 더미산화막의 제1영역에 의해 깊이가 낮아진 트렌치를 갭필하는 소자분리막을 형성하는 단계를 포함한다.

대표도

도 2

색인어

소자분리, 트렌치, 산화방지막, PECVD, 습식산화

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래기술에 따른 반도체소자의 소자분리 방법을 도시한 공정 단면도이다.

도 2는 본 발명의 실시예에 따른 반도체소자의 구조를 도시한 도면,

도 3a 내지 도 3f는 본 발명의 실시예에 따른 반도체소자의 제조 방법을 도시한 공정 단면도.

* 도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판 22 : 패드산화막

23 : 패드질화막 24 : 트렌치

25 : 측벽산화막 26 : 산화방지막

27 : 더미산화막 28 : 라이너질화막

29 : 깎필절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것으로, 특히 소자분리공정을 포함하는 반도체소자의 제조 방법에 관한 것이다.

반도체 기술의 진보와 더불어 더 나아가서는 반도체 소자의 고속화, 고집적화가 진행되고 있다. 이에 수반해서 패턴에 대한 미세화의 필요성이 점점 높아지고 있으며, 패턴의 치수도 고정밀화가 요구되고 있다. 이는 반도체 소자에 있어서, 넓은 영역을 차지하는 소자 분리 영역에도 적용된다.

반도체 소자의 소자분리(ISO) 공정으로는 로코스(LOCOS) 공정이 대부분 이용되었다. 그러나, 로코스 방식의 소자 분리공정은 그 가장자리 부분에 새부리 형상의 버즈빅(Bird's beak)이 발생하여, 활성영역의 면적을 감소시키면서 누설전류를 발생시키는 단점을 갖는다.

현재에는 좁은 폭을 가지면서, 우수한 소자 분리 특성을 갖는 STI(shallow trench isolation) 공정이 제안되었다.

도 1a 내지 도 1c는 종래기술에 따른 반도체소자의 소자분리 방법을 도시한 공정 단면도이다.

도 1a에 도시된 바와 같이, 반도체 기판(11) 상부에 패드산화막(12)과 패드질화막(13)을 적층한 후, 소자분리마스크(도시생략)를 식각배리어로 패드질화막(13)과 패드산화막(12)을 식각하여 트렌치가 형성될 반도체 기판(11) 표면을 노출시킨다.

이어서, 미도시된 소자분리마스크를 제거하고, 계속해서 패드질화막(13)을 하드마스크로 이용하여 노출된 반도체 기판(11)을 식각하여 소자분리영역이 형성될 트렌치(14)를 형성한다. 이러한 트렌치(14)에 의해 트랜지스터가 형성될 활성영역이 정의된다.

다음으로, 트렌치(14) 형성시 발생된 식각손상을 제거해주기 위해 측벽산화 공정을 진행하여 트렌치(14)의 바닥 및 측벽에 측벽산화막(15)을 형성한다.

이어서, 측벽산화막(15)이 형성된 결과물의 전면에 라이너질화막(16)을 형성한다.

도 1b에 도시된 바와 같이, 라이너질화막(16) 상부에 트렌치(14)를 깎필할때까지 깎필절연막(17)을 증착한다. 이때, 깎필절연막(17)은 주로 HDP CVD(High Density Plasma Chemical Vapor Deposition) 방식으로 증착한 산화막이다.

다음으로, 패드질화막(13)을 연마정지막으로 이용한 CMP(Chemical Mechanical Polishing) 공정을 진행하여 깎필절연막(17)을 평탄화시킨다. 이때, 라이너질화막(16) 중에서 패드질화막(13) 상부에 형성된 부분이 연마된다.

도 1c에 도시된 바와 같이, 패드질화막(13)과 패드산화막(12)의 스트립(Strip) 공정을 진행한다. 이때, 패드질화막(13)은 인산(H_3PO_4) 용액을 이용하여 스트립하고, 패드산화막(12)은 불산(HF) 용액을 이용하여 스트립한다.

상술한 바와 같이, 종래기술은 STI(Shallow Trench Isolation) 공정을 이용하여 트렌치(14) 내부에 갭필절연막(17)을 갭필하므로써 소자분리막을 형성하고 있고, 리프्रेस 특성 개선을 위해 라이너질화막(16)을 적용하고 있다.

그러나, STI 공정은 디자인룰이 감소하여 트렌치의 간격(space)이 축소되면서 소자분리막 증착 공정인 HDP CVD 에 의한 트렌치 갭필이 점점 어려워져 트렌치의 깊이를 충분히 크게 하지 못하거나 활성영역의 면적을 충분히 넓게 확보하기 못하는 문제가 있다.

이러한 문제는 트랜지스터간의 소자분리를 저해하여 리프्रेस 특성을 열화시키는 한편 tRCD, tWR, tRP 등의 속도 특성을 저하시켜 소자의 성능을 약화시킨다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로, 트렌치 갭필이 용이하면서 트랜지스터의 성능을 향상시킬 수 있는 반도체소자 및 그의 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 반도체 소자는 반도체기판, 상기 반도체 기판 내에 소정 깊이로 형성된 트렌치, 상기 트렌치에 의해 정의된 활성영역, 상기 트렌치의 측벽 탐부분 표면 상에 형성된 측벽산화막, 상기 트렌치의 바닥부분을 채우는 제1영역과 상기 활성영역의 아래부분을 부유 상태로 만들어주는 제2영역을 갖는 더미산화막, 상기 더미산화막의 제1영역과 상기 측벽산화막의 표면 상에 형성된 라이너질화막, 및 상기 라이너질화막 상에 상기 트렌치를 매립하도록 형성된 소자분리막 역할을 하는 갭필절연막을 포함하는 것을 특징으로 한다.

그리고, 본 발명의 반도체소자의 제조 방법은 반도체 기판을 소정깊이로 식각하여 활성영역과 소자분리영역을 정의하는 트렌치를 형성하는 단계, 상기 트렌치의 바닥을 완전히 오픈시키면서 상기 트렌치의 측벽을 일부 덮는 산화방지막을 형성하는 단계, 상기 산화방지막을 남겨둔 상태에서 산화공정을 진행하여 상기 트렌치의 바닥을 채우는 제1영역과 이웃한 활성영역들의 아랫부분을 부유 상태로 만들어주는 제2영역을 갖는 더미산화막을 형성하는 단계, 상기 산화방지막을 선택적으로 제거하는 단계, 및 상기 더미산화막의 제1영역에 의해 깊이가 낮아진 트렌치를 갭필하는 소자분리막을 형성하는 단계를 포함하는 것을 특징으로 하며, 상기 산화방지막은 PECVD 방법을 이용하여 질화막으로 형성하는 것을 특징으로 하는 것을 특징으로 하고, 상기 더미산화막은 습식산화 공정으로 형성하는 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 2는 본 발명의 실시예에 따른 반도체소자의 구조를 도시한 도면이다.

도 2를 참조하면, 반도체기판(21), 반도체 기판(21) 내에 소정 깊이로 형성된 트렌치(24), 트렌치(24)에 의해 정의된 활성영역(21a), 트렌치(24)의 측벽 탐부분에 형성된 측벽산화막(25), 트렌치의 바닥부분을 채우는 제1영역(27a)과 활성영역(21a) 아래부분을 부유 상태로 만들어주는 제2영역(27b)을 갖는 더미산화막(27), 더미산화막(27)의 제1영역(27a)과 측벽산화막(25)의 표면 상에 형성된 라이너질화막(28), 라이너질화막(28) 상에 트렌치(24)를 매립하도록 형성된 소자분리막 역할을 하는 갭필절연막(29)을 포함한다.

도 2에서, 더미산화막(27)의 제1영역(27a)에 의해 갭필절연막(29)이 갭필될 트렌치(24)의 깊이가 감소하고, 더미산화막(27)의 제2영역(27b)에 의해 이웃한 트랜지스터 사이가 완전히 절연되고 있다.

이하, 제조 방법에 대해 살펴보기로 한다.

도 3a 내지 도 3f는 본 발명의 실시예에 따른 반도체소자의 제조 방법을 도시한 공정 단면도이다.

도 3a에 도시된 바와 같이, 반도체기판(21)의 상부에 패드산화막(22)과 패드질화막(23)을 순차적으로 형성한다. 이때, 패드산화막(22)은 패드질화막(23) 증착시 반도체 기판(21)이 받는 스트레스를 완충시켜주기 위한 것으로 100Å ~ 150Å 두께로 형성하고, 패드질화막(23)은 후속 깎필절연막의 CMP 공정시 연마정지막 역할을 수행함과 동시에 트렌치 형성시 하드마스크 역할을 수행하는 것으로, 500Å ~ 1000Å 두께로 형성한다.

다음으로, 패드질화막(23) 상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 소자분리마스크(도시 생략)를 형성하고, 소자분리마스크를 식각배리어로 패드질화막(23)과 패드산화막(22)을 차례로 식각하여 소자분리영역인 트렌치가 형성될 반도체 기판(21) 표면을 노출시킨다. 이어서, 소자분리마스크를 스트립하는데, 이때, 소자분리마스크는 잘 알려진 바와 같이 산소플라즈마를 이용하여 스트립한다.

다음으로, 패드질화막(23)을 하드마스크로 이용하여 노출된 반도체 기판(21)을 소정 깊이로 식각하여 트렌치(24)를 형성한다. 이와 같은 트렌치(24) 형성후 반도체기판(21)은 소자분리막이 형성될 트렌치(24)와 활성영역(21a)으로 구분되며, 활성영역(21a)은 잘 알려진 바와 같이 트랜지스터가 형성될 영역이다.

이어서, 트렌치(24) 형성을 위한 식각공정시 발생된 식각손상을 제거하기 위해 건식 산화(Dry oxidation) 방법으로 측벽산화(Wall oxidation)를 진행하여 50Å ~ 100Å 두께의 측벽산화막(25)을 형성한다.

도 3b에 도시된 바와 같이, 측벽산화막(25)을 포함한 패드질화막(23) 상부에 산화방지막(Oxidation barrier, 26)을 형성한다. 이때, 산화방지막(26)은 PECVD(Plasma Enhanced CVD) 방법을 이용하여 질화막으로 형성하는데, PECVD 방법으로 질화막을 증착하면 스텝커버리지(Step coverage) 특성을 나쁘게 할 수 있다. 즉, 패드질화막(23)의 상부에서의 증착 두께가 트렌치(24)의 측벽에서의 두께보다 두껍게 증착가능하며, 또한 트렌치(24)의 바닥에서는 증착을 하지 않을 수 있다. 이와 같이 스텝커버리지 특성이 나쁜 PECVD 방법으로 산화방지막(26)을 형성하면, 산화방지막(26)은 트렌치(24) 형성후 정의되는 즉, 패드산화막(22)과 패드질화막(23)에 의해 덮혀 있는 활성영역(21a) 상부를 완전히 캡핑(capping)하면서 트렌치(24) 측벽의 탑부분을 덮는 형태로 형성된다.

한편, 트렌치(24)의 측벽을 덮는 산화방지막(26)의 깊이는 활성영역(21a)에 형성될 접합영역의 깊이와 동일해야 한다. 이는 후속 산화 공정에서 형성되는 더미산화막이 접합영역을 침투하지 않도록 하기 위함이다.

도 3c에 도시된 바와 같이, 산화방지막(26)을 남겨둔 상태에서 산화 공정을 진행하여 더미산화막(27)을 형성한다. 이때, 더미산화막(27)은 트렌치(24)의 바닥을 채우면서 성장하는 제1영역(27a)과 접합영역 아래의 활성영역인 실리콘을 산화시킨 제2영역(27b)으로 이루어진다.

더미산화막(27)을 형성하기 위한 산화 공정시 산화제로는 질소, 수소 및 산소가 포함된 NO, N₂O, H₂O 또는 O₂를 사용하고, 더미산화막(27)은 1Å ~ 10000Å 두께로 형성한다.

위와 같은 더미산화막(27) 중의 제1영역(27a)은 산화방지막(26)이 덮혀 있는 트렌치(24)의 측벽에서는 산화막방지막(26)이 내산화 역할을 하므로 산화가 이루어지지 않는 반면, 트렌치(24)의 바닥은 산화제에 직접 노출되므로 급격한 산화막 성장이 이루어져 형성된다.

그리고, 더미산화막(27)의 제2영역(27b)은 산화공정의 시간을 증가시켜 활성영역(21a)의 이후 접합이 형성될 영역아래를 완전히 산화시켜 형성한다. 여기서, 더미산화막(27)의 제2영역(27b)은 이웃한 활성영역(21a) 사이를 모두 연결하는 형태로 형성되어 트랜지스터 형성 영역을 부유(floating) 상태로 만든다. 한편, 측벽산화막(25)도 산화막 물질이므로 더미산화막인 제2영역(27b)에 포함된 것으로 가정하며, 측벽산화막(25)의 트렌치 바닥 부분은 도시하지 않기로 한다.

위에서 살펴본 것처럼, 더미산화막(27)을 비교적 두꺼운 두께로 형성하기 위해 본 발명은 습식산화(Wet oxidation) 공정을 이용한다.

전술한 바와 같은 더미산화막(27) 형성후에 후속 깎필절연막이 매립될 트렌치(24)의 깊이가 't'로 감소하고, 활성영역(21a)의 아래 영역들이 더미산화막(27)을 통해 부유 상태가 된다.

도 3d에 도시된 바와 같이, 더미산화막(27) 형성후 산화방지막(26)을 선택적으로 제거한다. 이때, 산화방지막(26)은 인산(H_3PO_4) 용액을 이용하여 제거하며, 질화막으로 형성한 산화방지막(26) 제거시에 패드질화막(23)이 일부 식각될 수도 있으며, 산화막 물질인 더미 산화막(27)과 측벽산화막(25)은 인산용액에 대해 식각선택비가 있어 제거되지 않는다.

도 3e에 도시된 바와 같이, 리프레이 특성 개선을 위한 라이너질화막(28)을 전면에 형성한다. 이때, 라이너질화막(28)은 LPCVD(Low Pressure Chemical Vapor Deposition) 방식을 이용하여 50Å ~ 100Å 두께로 증착한다.

다음으로, 라이너질화막(28) 상부에 깊이가 감소된 트렌치(24)를 깎낼 때까지 깎낼절연막(29)을 증착한다. 이때, 깎낼절연막(29)은 SOD(Spin On Dielectric) 도포법이나 O_3 -TEOS 또는 O_2 - SiH_4 를 소스로 이용하여 LPCVD(Low Pressure Chemical Vapor Deposition), APCVD(Atmosphere Pressure CVD)법을 이용하여 증착한다. 이러한 깎낼절연막(29) 증착후에 후속 열처리를 진행하여 막질을 치밀화시킨다.

한편, 깎낼절연막(29)은 고밀도플라즈마방식을 이용하여 형성할 수도 있는데, 이때 증착공정 이전에 통상적으로 사용하는 프리히팅(Pre-heating) 단계를 진행하지 않고 증착 공정을 진행하여도 충분히 깎낼마진을 확보할 수 있다.

다음으로, 패드질화막(23)을 연마정지막으로 이용한 CMP 공정을 진행하여 깎낼절연막(29)을 평탄화시킨다. 이때, 패드질화막(23)이 일부 연마되어 두께가 감소할 수 있다.

도 3f에 도시된 바와 같이, 패드질화막(23)과 패드산화막(22)의 스트립 공정을 진행한다. 이때, 패드질화막(23)의 스트립 공정은 인산(H_3PO_4) 용액을 이용하고, 패드산화막(22)의 스트립 공정은 불산(HF) 용액을 이용한다.

상술한 실시예에 따르면, 본 발명은 더미산화막(27)을 트렌치(24)의 바닥에 형성해주므로써 깎낼될 트렌치(24)의 깊이를 감소시켜 트렌치(24)의 간격이 감소하더라도 트렌치(24)에 깎낼절연막(29)을 용이하게 깎낼할 수 있다.

또한, 본 발명은 접합영역 아래의 활성영역(21)을 모두 산화시켜 더미산화막의 제2영역(27b)을 형성해주므로써 이웃한 트랜지스터간을 완전히 절연시켜 이웃한 트랜지스터간 누설전류를 방지하고, 또한 접합영역 하부가 전기적으로 절연됨에 따라 이를 통한 펀치쓰루 현상을 방지하며, 벌크 실리콘(Bulk silicon)과 전기적으로 절연되기 때문에 바디효과(body effect)에 의한 트랜지스터 특성의 저하를 방지한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은 트렌치의 바닥에 더미산화막을 형성해주어 깎낼될 트렌치의 깊이를 감소시키므로써 깎낼절연막의 깎낼마진을 확보할 수 있는 효과가 있다.

또한, 본 발명은 접합영역을 인접한 트랜지스터와 전기적으로 완전히 분리시키므로써 트랜지스터간 누설전류 특성을 향상시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

반도체기판;

상기 반도체 기판 내에 소정 깊이로 형성된 트렌치;

상기 트렌치에 의해 정의된 활성영역;

상기 트렌치의 측벽 탑부분 표면 상에 형성된 측벽산화막;

상기 트렌치의 바닥부분을 채우는 제1영역과 상기 활성영역의 아래부분을 부유 상태로 만들어주는 제2영역을 갖는 더미산화막;

상기 더미산화막의 제1영역과 상기 측벽산화막의 표면 상에 형성된 라이너질화막; 및

상기 라이너질화막 상에 상기 트렌치를 매립하도록 형성된 소자분리막 역할을 하는 캡필절연막을 포함하는 반도체 소자.

청구항 2.

제1항에 있어서,

상기 더미산화막은 습식산화법으로 형성된 것을 특징으로 하는 반도체 소자.

청구항 3.

제2항에 있어서,

상기 더미산화막은, 1Å ~ 10000Å 두께인 것을 특징으로 하는 반도체 소자.

청구항 4.

제1항에 있어서,

상기 더미산화막의 제1영역은 상기 측벽산화막에 접하는 깊이를 갖는 것을 특징으로 하는 반도체 소자.

청구항 5.

반도체 기판을 소정깊이로 식각하여 활성영역과 소자분리영역을 정의하는 트렌치를 형성하는 단계;

상기 트렌치의 바닥을 완전히 오픈시키면서 상기 트렌치의 측벽을 일부 덮는 산화방지막을 형성하는 단계;

상기 산화방지막을 남겨둔 상태에서 산화공정을 진행하여 상기 트렌치의 바닥을 채우는 제1영역과 이웃한 활성영역들의 아랫부분을 부유 상태로 만들어주는 제2영역을 갖는 더미산화막을 형성하는 단계;

상기 산화방지막을 선택적으로 제거하는 단계; 및

상기 더미산화막의 제1영역에 의해 깊이가 낮아진 트렌치를 캡필하는 소자분리막을 형성하는 단계

를 포함하는 반도체소자의 제조 방법.

청구항 6.

제5항에 있어서,

상기 산화방지막을 형성하는 단계는,

PECVD 방법을 이용하는 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 7.

제6항에 있어서,

상기 산화방지막은,

질화막으로 형성하는 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 8.

제5항에 있어서,

상기 더미산화막은,

습식산화 공정으로 형성하는 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 9.

제8항에 있어서,

상기 습식산화 공정은, 산화제로 질소, 수소 및 산소가 포함된 가스를 사용하는 것을 특징으로 하는 반도체소자의 제조 방법.

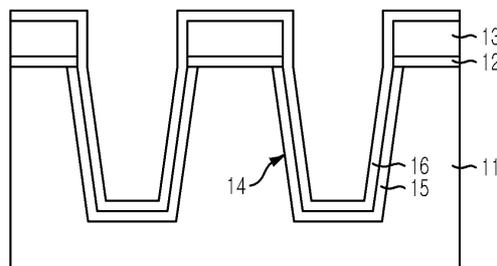
청구항 10.

제8항에 있어서,

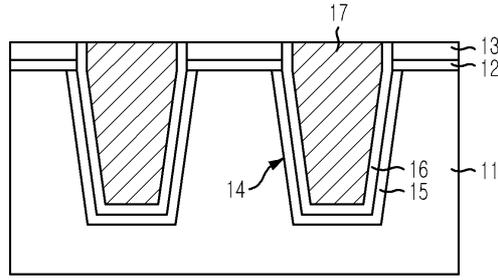
상기 더미산화막은 1Å ~ 10000Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 제조 방법.

도면

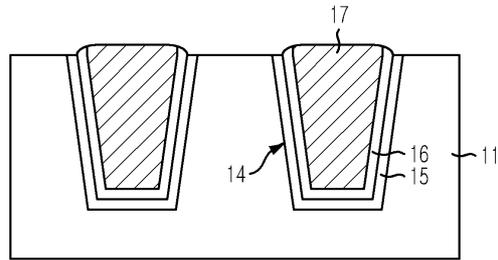
도면1a



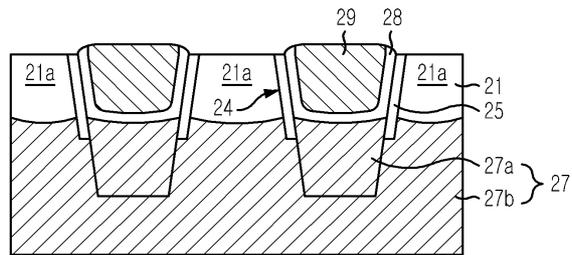
도면1b



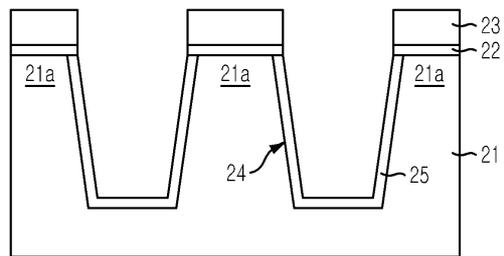
도면1c



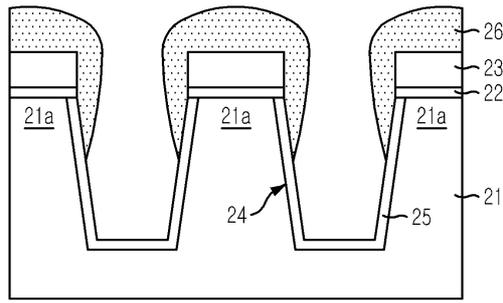
도면2



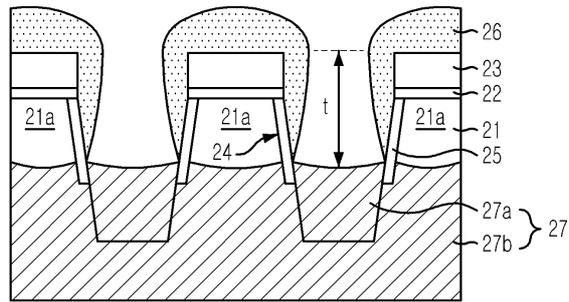
도면3a



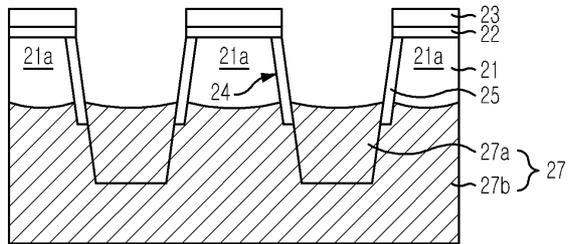
도면3b



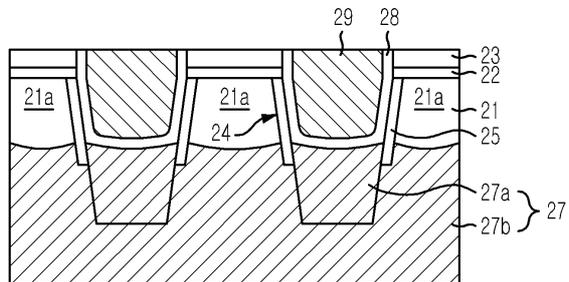
도면3c



도면3d



도면3e



도면3f

