

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年6月22日(22.06.2023)



(10) 国際公開番号

WO 2023/112723 A1

- (51) 国際特許分類:
H01L 23/48 (2006.01) H01L 25/07 (2006.01)
H01L 23/36 (2006.01) H01L 25/18 (2023.01)
- (21) 国際出願番号: PCT/JP2022/044545
- (22) 国際出願日: 2022年12月2日(02.12.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-202614 2021年12月14日(14.12.2021) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- (72) 発明者: 林口 匡司(HAYASHIGUCHI Masashi);
〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).
安部 英俊(ABE Hidetoshi); 〒6158585 京都

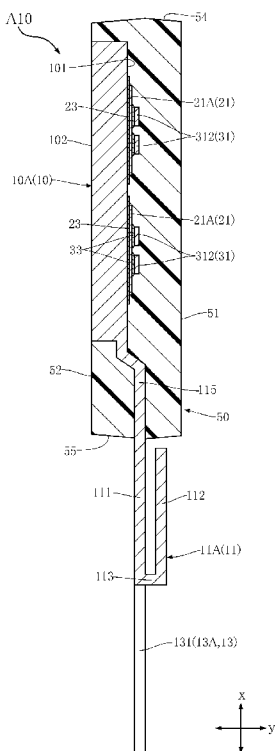
府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).

- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,

(54) Title: SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE MOUNTING BODY

(54) 発明の名称: 半導体装置、および半導体装置の実装体

FIG.7



(57) Abstract: In the present invention, a semiconductor device comprises a semiconductor element and a first terminal that is conductive with the semiconductor element. The first terminal has a first part in which at least one portion extends in a first direction, and a second part extending in the first direction. Viewed in a second direction orthogonal to the first direction, the second part overlaps the first part. The first terminal may also have a third part that links the first part and the second part. Viewed in the first direction, the third part may also bulge from the first part and the second part. The second part may also be positioned away from the first part.

(57) 要約: 半導体装置は、半導体素子と、前記半導体素子に導通する第1端子と、を備える。前記第1端子は、少なくとも一部が第1方向に延びる第1部を有するとともに、前記第1方向に延びる第2部とを有する。前記第1方向に対して直交する第2方向に視て、前記第2部は、前記第1部に重なる。前記第1端子は、前記第1部と前記第2部とを連結する第3部を有していてもよい。前記第1方向に視て、前記第3部は、前記第1部および前記第2部から膨出していてもよい。前記第2部は、前記第1部から離れて位置していてもよい。

WO 2023/112723 A1

MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置、および半導体装置の実装体

技術分野

[0001] 本開示は、半導体装置と、半導体装置が配線基板に実装された半導体装置の実装体とに関する。

背景技術

[0002] 特許文献1には、第1半導体素子と、当該第1半導体素子に導通する第1端子とを備える半導体装置の一例が開示されている。第1半導体素子は、MOSFETなどのスイッチング素子である。したがって、当該半導体装置を用いることによって、電力を変換することが可能である。

[0003] 特許文献1に開示されている半導体装置は、スルーホール実装により配線基板に実装される。第1端子は、配線基板に設けられたスルーホールに挿通され、かつ接合層を介して配線基板に導電接合されている。ここで、当該半導体装置に従来よりも大きな電流を流すと、配線基板により多くの熱が伝導する。これにより、配線基板の温度上昇が過大となるため、当該配線基板に実装された他の半導体装置の動作などに影響するおそれがある。したがって、当該半導体装置にかかる信頼性の向上を図るべく、配線基板の温度上昇を抑制する方策が望まれる。

先行技術文献

特許文献

[0004] 特許文献1：特開2018-14490号公報

発明の概要

発明が解決しようとする課題

[0005] 本開示は、従来よりも改良が施された半導体装置を提供することを一の課題とする。また、本開示は、半導体装置および配線基板を含む半導体装置実装体であって、従来よりも改良が施された半導体装置実装体を提供することを別の課題とする。特に本開示は、先述の事情に鑑み、スルーホール実装さ

れる半導体装置にかかる信頼性の向上を図ることが可能な方策を提供することを一の課題とする。

課題を解決するための手段

[0006] 本開示の第1の側面によって提供される半導体装置は、半導体素子と、前記半導体素子に導通する第1端子と、を備える。前記第1端子は、少なくとも一部が第1方向に延びる第1部と、前記第1方向に延びる第2部と、を有する。前記第1方向に対して直交する第2方向に視て、前記第2部は、前記第1部に重なる。

[0007] 本開示の第2の側面によって提供される、半導体装置の実装体は、本開示の第1の側面によって提供される半導体装置と、配線基板と、接合層とを備える。前記配線基板は、基材と、前記基材に配置された配線と、を有する。前記接合層は、前記配線と前記第1端子とを導電接合する。前記基材には、前記配線に隣接し、かつ前記第1方向に前記基材を貫通するスルーホールが設けられている。前記第1部および前記第2部の各々の一部が、前記スルーホールに収容されている。

発明の効果

[0008] 上記構成によれば、たとえば、スルーホール実装される半導体装置にかかる信頼性の向上を図ることが可能となる。

[0009] 本開示のその他の特徴および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなろう。

図面の簡単な説明

[0010] [図1]図1は、本開示の第1実施形態にかかる半導体装置の平面図である。

[図2]図2は、図1に対応する平面図であり、封止樹脂を透過している。

[図3]図3は、図1に示す半導体装置の底面図である。

[図4]図4は、図1に示す半導体装置の正面図である。

[図5]図5は、図1に示す半導体装置の右側面図である。

[図6]図6は、図2のV1-V1線に沿う断面図である。

[図7]図7は、図2のV11-V11線に沿う断面図である。

[図8]図8は、図2のV | | | - V | | | 線に沿う断面図である。

[図9]図9は、図6の部分拡大図であり第1素子およびその近傍を示している。

[図10]図10は、図6の部分拡大図であり第2素子およびその近傍を示している。

[図11]図11は、本開示の第1実施形態の変形例にかかる半導体装置の断面図である。

[図12]図12は、本開示の第1実施形態にかかる半導体装置の実装体の正面図である。

[図13]図13は、図12のX | | | - X | | | 線に沿う断面図である。

[図14]図14は、図12のX | V - X | V 線に沿う断面図である。

[図15]図15は、本開示の第2実施形態にかかる半導体装置と、当該半導体装置の実装体との断面図である。

[図16]図16は、本開示の第3実施形態にかかる半導体装置の平面図である。

[図17]図17は、図16に示す半導体装置の正面図である。

[図18]図18は、図16に示す半導体装置の右側面図である。

[図19]図19は、図16のX | X - X | X 線に沿う断面図である。

[図20]図20は、本開示の第3実施形態にかかる半導体装置の実装体の断面図である。

[図21]図21は、本開示の第4実施形態にかかる半導体装置と、当該半導体装置の実装体との断面図である。

[図22]図22は、図21に示す半導体装置の右側面図である。

[図23]図23は、本開示の第5実施形態にかかる半導体装置と、当該半導体装置の実装体との断面図である。

発明を実施するための形態

[0011] 本開示を実施するための形態について、添付図面に基づいて説明する。

[0012] 第1実施形態（半導体装置）：

図1～図10に基づき、本開示の第1実施形態にかかる半導体装置A10について説明する。半導体装置A10は、2つのダイパッド10、3つの第1端子11、2つの第2端子12、2つの第3端子13、複数の半導体素子21、第1導通部材31、第2導通部材32、および封止樹脂50を備える。さらに半導体装置A10は、2つの第1ワイヤ41、2つの第2ワイヤ42、2つの第1中継ワイヤ43、および2つの第2中継ワイヤ44を備える。ここで、図2は、理解の便宜上、封止樹脂50を透過している。図2では、透過した封止樹脂50を想像線（二点鎖線）で示している。図2において、V1-V1線、V11-V11線およびV111-V111線をそれぞれ一点鎖線で示している。

[0013] 半導体装置A10の説明においては、便宜上、2つの第2端子12が延びる方向を「第1方向x」と呼ぶ。第1方向xに対して直交する方向を「第2方向y」と呼ぶ。第2方向yは、後述する2つのダイパッド10の主面101の法線方向に相当する。第1方向xおよび第2方向yに対して直交する方向を「第3方向z」と呼ぶ。

[0014] 半導体装置A10は、後述する3つの第1端子11のうち第1入力端子11Aおよび第2入力端子11Cに印加された直流の電源電圧を、複数の半導体素子21により交流電力に変換する。変換された交流電力は、当該3つの第1端子11のうち出力端子11Bからモータなどの電力供給対象に入力される。半導体装置A10は、たとえばインバータといった電力変換回路に使用される。

[0015] 2つのダイパッド10は、図2および図6に示すように、第1パッド10Aおよび第2パッド10Bを含む。第1パッド10Aおよび第2パッド10Bは、第3方向zにおいて互いに離れて位置する。2つのダイパッド10は、3つの第1端子11、2つの第2端子12、および2つの第3端子13とともに、同一のリードフレームから得られる。当該リードフレームは、銅（Cu）、または銅合金である。このため、2つのダイパッド10、3つの第1端子11、2つの第2端子12、および2つの第3端子13の組成は、銅

を含む。2つのダイパッド10の各々は、主面101および裏面102を有する。主面101および裏面102は、第2方向yにおいて互いに反対側を向く。裏面102は、封止樹脂50から外部に露出している。

[0016] 図2および図6に示すように、第2パッド10Bには、第1座部103が設けられている。第1座部103は、第2パッド10Bの主面101から凹んでいる。これにより、第2パッド10Bにおいては、主面101と第1座部103とにおいて段差をなしている。

[0017] 封止樹脂50は、図6～図8に示すように、複数の半導体素子21、第1導通部材31および第2導通部材32を覆っている。さらに封止樹脂50は、2つのダイパッド10、3つの第1端子11、2つの第2端子12、および2つの第3端子13の各々の一部を覆っている。封止樹脂50は、電気絶縁性を有する。封止樹脂50は、たとえば黒色のエポキシ樹脂を含む材料からなる。封止樹脂50は、頂面51、底面52、2つの第1側面53、第2側面54、第3側面55、複数の凹部56、および溝部57を有する。

[0018] 図6に示すように、頂面51は、第2方向yにおいて2つのダイパッド10の主面101と同じ側を向く。図6～図8に示すように、底面52は、第2方向yにおいて頂面51とは反対側を向く。図3に示すように、底面52から第1パッド10Aの裏面102と、第2パッド10Bの裏面102とが外部に露出している。

[0019] 図1、図3および図4に示すように、2つの第1側面53は、第3方向zにおいて互いに離れて位置する。2つの第1側面53は、第3方向zを向き、かつ第1方向xに延びている。2つの第1側面53は、頂面51および底面52につながっている。

[0020] 図1、図3および図5に示すように、第2側面54および第3側面55は、第1方向xにおいて互いに離れて位置する。第2側面54および第3側面55は、第1方向xにおいて互いに反対側を向き、かつ第3方向zに延びている。第2側面54および第3側面55は、頂面51および底面52につながっている。図5に示すように、第3側面55から3つの第1端子11、2

つの第2端子12、および2つの第3端子13が外部に露出している。

[0021] 図1、図3および図4に示すように、複数の凹部56は、第3側面55から第1方向xに凹むとともに、第2方向yにおいて頂面51から底面52に到達している。第3方向zにおいて、複数の凹部56は、後述する第1入力端子11Aと第1検出端子13Aとの間、後述する第1入力端子11Aと第2入力端子11Cとの間、後述する出力端子11Bと第2入力端子11Cとの間、および出力端子11Bと第2検出端子13Bとの間に対して個別に位置する。

[0022] 図3および図4に示すように、溝部57は、底面52から第2方向yに凹むとともに、第1方向xに延びている。溝部57の第1方向xの両側は、第2側面54および第3側面55につながっている。第2方向yに視て、溝部57は、第1パッド10Aの裏面102と、第2パッド10Bの裏面102とを分断している。

[0023] 複数の半導体素子21は、図2、および図6～図8に示すように、第1パッド10Aおよび第2パッド10Bの各々に搭載されている。半導体装置A10においては、複数の半導体素子21は、2つの第1素子21Aと、2つの第2素子21Bを含む。2つの第1素子21Aは、第1パッド10Aの主面101に搭載されている。2つの第2素子21Bは、第2パッド10Bの主面101に搭載されている。複数の半導体素子21は、たとえばMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) である。この他、複数の半導体素子21は、IGBT (Insulated Gate Bipolar Transistor) などのスイッチング素子や、ダイオードでもよい。半導体装置A10の説明においては、複数の半導体素子21は、nチャンネル型であり、かつ縦型構造のMOSFETを対象とする。複数の半導体素子21は、化合物半導体基板を含む。当該化合物半導体基板の組成は、炭化ケイ素 (SiC) を含む。図2、図9および図10に示すように、複数の半導体素子21の各々は、第1電極211、第2電極212、ゲート電極213、および2つの検出電極214を有する。

- [0024] 図9および図10に示すように、第1電極211は、第2方向yにおいて2つのダイパッド10いずれかの主面101と対向する側とは反対側に位置する。第1電極211には、半導体素子21により変換された後の電力に対応する電流が流れる。すなわち、第1電極211は、半導体素子21のソース電極に相当する。
- [0025] 図9および図10に示すように、第2電極212は、2つのダイパッド10のいずれかの主面101に対向している。第2電極212には、半導体素子21により変換される前の電力に対応する電流が流れる。すなわち、第2電極212は、半導体素子21のドレイン電極に相当する。
- [0026] 図9および図10に示すように、ゲート電極213は、第2方向yにおいて第1電極211と同じ側に位置する。ゲート電極213には、半導体素子21を駆動するためのゲート電圧が印加される。第2方向yに視て、ゲート電極213の面積は、第1電極211の面積より小さい。
- [0027] 図2に示すように、2つの検出電極214は、第2方向yにおいて第1電極211と同じ側に位置する。2つの検出電極214は、第1方向xにおいてゲート電極213を基準として互いに反対側に位置する。2つの検出電極214の各々には、第1電極211と等電位の電圧が印加される。
- [0028] ダイボンディング層23は、図9および図10に示すように、第1パッド10Aの主面101と2つの第1素子21Aとの間、および第2パッド10Bの主面101と2つの第2素子21Bとの間とにそれぞれ位置する。ダイボンディング層23は、導電性を有する。ダイボンディング層23は、たとえばハンダである。この他、ダイボンディング層23は、焼結金属でもよい。ダイボンディング層23は、第1パッド10Aの主面101と、2つの第1素子21Aの第2電極212とを導電接合する。これにより、2つの第1素子21Aの第2電極212は、第1パッド10Aに導通している。さらにダイボンディング層23は、第2パッド10Bの主面101と、2つの第2素子21Bの第2電極212とを導電接合する。これにより、2つの第2素子21Bの第2電極212は、第2パッド10Bに導通している。

- [0029] 3つの第1端子11は、図3に示すように、第1方向xにおいて2つのダイパッド10を基準として封止樹脂50の第2側面54とは反対側に位置する。3つの第1端子11は、複数の半導体素子21に導通している。3つの第1端子11は、第1入力端子11A、出力端子11Bおよび第2入力端子11Cを含む。
- [0030] 図7および図8に示すように、3つの第1端子11の各々は、第1部111、第2部112および第3部113を有する。第1部111は、少なくとも一部が第1方向xに延びている。第1部111は、封止樹脂50の第3側面55から延びている。第2部112は、第1方向xに延びている。第2部112は、第1部111および封止樹脂50から離れて位置する。第2方向yに視て、第2部112は、第1部111に重なる。第3部113は、第1部111と第2部112とを連結している。第3部113は、第1方向xにおいて第1部111を基準として封止樹脂50とは反対側に位置する。
- [0031] 図4、図7および図8に示すように、半導体装置A10においては、第1方向xに視て、封止樹脂50は、第1部111および第2部112の各々の全体に重なっている。
- [0032] 図2に示すように、3つの第1端子11の各々は、被覆部115を有する。被覆部115は、第1方向xにおいて第1部111を基準として第3部113とは反対側に位置する。被覆部115は、第1部111につながっている。被覆部115は、封止樹脂50に覆われている。
- [0033] 第1入力端子11Aの被覆部115は、図2および図7に示すように、第1パッド10Aにつながっている。したがって、第1入力端子11Aは、第1パッド10Aを介して2つの第1素子21Aの第2電極212に導通している。第1入力端子11Aは、電力変換対象となる直流の電源電圧が印加されるP端子（正極）である。
- [0034] 出力端子11Bの被覆部115は、図2に示すように、第2パッド10Bにつながっている。したがって、出力端子11Bは、第2パッド10Bを介して2つの第2素子21Bの第2電極212に導通している。出力端子11

Bから、複数の半導体素子21により変換された交流電力が出力される。

[0035] 第2入力端子11Cは、図2に示すように、第1方向xにおいて2つのダイパッド10から離れて位置する。第2入力端子11Cは、第3方向zにおいて第1入力端子11Aと出力端子11Bとの間に位置する。第2入力端子11Cは、2つの第2素子21Bの第1電極211に導通している。第2入力端子11Cは、電力変換対象となる直流の電源電圧が印加されるN端子（負極）である。

[0036] 図2および図8に示すように、第2入力端子11Cの被覆部115には、第2座部116が設けられている。第2座部116は、第2方向yにおいて後述する第2導通部材32の第2基部321が位置する側から第2方向yに凹んでいる。

[0037] 2つの第2端子12は、図3に示すように、第1方向xにおいて2つのダイパッド10を基準として封止樹脂50の第2側面54とは反対側に位置する。図2に示すように、2つの第2端子12は、第1方向xに延びている。2つの第2端子12の各々は、第3方向zにおいて3つの第1端子11から離れて位置する。第3方向zにおいて、2つの第2端子12は、3つの第1端子11、および2つの第3端子13を間に挟んでいる。2つの第2端子12は、第1ゲート端子12Aおよび第2ゲート端子12Bを含む。

[0038] 図1～図5に示すように、2つの第2端子12の各々は、第1実装部121、第2実装部122および被覆部123を有する。第1実装部121は、封止樹脂50の第3側面55から延びている。第2実装部122は、第1方向xにおいて第1実装部121を基準として封止樹脂50とは反対側に位置する。第2実装部122は、第1実装部121につながっている。第2実装部122の第3方向zの寸法は、第1実装部121の第3方向zの寸法よりも小さい。被覆部123は、第1方向xにおいて第1実装部121を基準として第2実装部122とは反対側に位置する。被覆部123は、第1実装部121につながっている。被覆部123は、封止樹脂50に覆われている。

[0039] 図1～図5に示すように、2つの第2端子12の各々の第1実装部121

は、第1縁121Aを有する。第1縁121Aは、第3方向zに延びている。第1縁121Aには、2つの第2端子12のいずれかの第2実装部122がつながっている。3つの第1端子11の各々の第2実装部122は、第1方向xにおいて第1縁121Aの両側に位置する。

[0040] 第1ゲート端子12Aは、図2に示すように、第2パッド10Bよりも第1パッド10Aの近くに位置する。第1ゲート端子12Aは、2つの第1素子21Aのゲート電極213に導通している。第1ゲート端子12Aには、2つの第1素子21Aが駆動するためのゲート電圧が印加される。

[0041] 第2ゲート端子12Bは、図2に示すように、第1パッド10Aよりも第2パッド10Bの近くに位置する。第2ゲート端子12Bは、2つの第2素子21Bのゲート電極213に導通している。第2ゲート端子12Bには、2つの第2素子21Bが駆動するためのゲート電圧が印加される。

[0042] 2つの第3端子13は、図3に示すように、第1方向xにおいて2つのダイパッド10を基準として封止樹脂50の第2側面54とは反対側に位置する。図2に示すように、2つの第3端子13は、第1方向xに延びている。2つの第3端子13の各々は、第3方向zにおいて3つの第1端子11から離れて位置する。第3方向zにおいて、2つの第3端子13は、3つの第1端子11を間に挟んでいる。2つの第3端子13は、第1検出端子13Aおよび第2検出端子13Bを含む。

[0043] 図2に示すように、2つの第3端子13の各々は、実装部131および被覆部132を有する。実装部131は、封止樹脂50の第3側面55から延びている。被覆部132は、実装部131につながり、かつ封止樹脂50に覆われている。

[0044] 第1検出端子13Aは、図2に示すように、第1入力端子11Aと第1ゲート端子12Aとの間に位置する。第1検出端子13Aは、2つの第1素子21Aの2つの検出電極214に導通している。第1検出端子13Aには、2つの第1素子21Aの第1電極211に印加される電圧と等電位の電圧が印加される。

- [0045] 第2検出端子13Bは、図2に示すように、出力端子11Bと第2ゲート端子12Bとの間に位置する。第2検出端子13Bは、2つの第2素子21Bの2つの検出電極214に導通している。第2検出端子13Bには、2つの第2素子21Bの第1電極211に印加される電圧と等電位の電圧が印加される。
- [0046] 図4に示すように、半導体装置A10において、3つの第1端子11の各々の第1部111の高さhは、いずれも同一である。図5に示すように、第3方向zに視て、2つの第2端子12のいずれかの第1実装部121は、3つの第1端子11のいずれかの第1部111に重なる。
- [0047] 第1導通部材31は、図2および図6示すように、2つの第1素子21Aの第1電極211と、第2パッド10Bの第1座部103とに導電接合されている。これにより、2つの第1素子21Aの第1電極211は、第2パッド10Bと、2つの第2素子21Bの第2電極212とに導通している。第1導通部材31の組成は、銅を含む。半導体装置A10においては、第1導通部材31は、金属クリップである。第1導通部材31は、第1基部311、2つの第1接合部312、および第2接合部313を有する。
- [0048] 図2に示すように、第1基部311は、第3方向zに延びている。図6に示すように、第1基部311は、第1パッド10Aと第2パッド10Bとの間を跨いでいる。
- [0049] 図2および図9に示すように、2つの第1接合部312は、2つの第1素子21Aの第1電極211に個別に導電接合されている。2つの第1接合部312の各々は、第1方向xにおいて互いに離れた二股である。図2および図7に示すように、2つの第1接合部312は、第1方向xにおいて互いに離れて位置する。2つの第1接合部312は、第1基部311につながっている。
- [0050] 図2および図6に示すように、第2接合部313は、第2パッド10Bの第1座部103に導電接合されている。第2接合部313は、第1方向xに延びている。第2接合部313の少なくとも一部が、第1座部103に収容

されている。第2接合部313は、第1基部311につながっている。第2接合部313は、第3方向zにおいて第1基部311を基準として2つの第1接合部312とは反対側に位置する。

[0051] 半導体装置A10は、図7および図9に示すように、第1接合層33をさらに備える。第1接合層33は、2つの第1素子21Aの第1電極211と、2つの第1接合部312とを導電接合する。第1接合層33は、たとえばハンダである。この他、第1接合層33は、焼結金属でもよい。

[0052] 半導体装置A10は、図6に示すように、第2接合層34をさらに備える。第2接合層34は、第2パッド10Bの第1座部103と、第2接合部313とを導電接合する。第2接合層34は、たとえばハンダである。この他、第2接合層34は、焼結金属でもよい。

[0053] 第2導通部材32は、図2および図8示すように、2つの第2素子21Bの第1電極211と、第2入力端子11Cの第2座部116とに導電接合されている。これにより、第2入力端子11Cは、2つの第2素子21Bの第1電極211に導通している。第2導通部材32の組成は、銅を含む。半導体装置A10においては、第2導通部材32は、金属クリップである。第2導通部材32は、第2基部321、2つの第3接合部322、および第4接合部323を有する。

[0054] 図2に示すように、第2基部321は、第2方向yに視て鉤状に屈曲している。第2方向yに視て、第2基部321は、第2パッド10Bの主面101に重なっている。

[0055] 図2および図10に示すように、2つの第3接合部322は、2つの第2素子21Bの第1電極211に個別に導電接合されている。2つの第3接合部322の各々は、第1方向xにおいて互いに離れた二股である。図2に示すように、2つの第3接合部322は、第1方向xにおいて互いに離れて位置する。2つの第3接合部322は、第2基部321につながっている。

[0056] 図2および図8に示すように、第4接合部323は、第2入力端子11Cの第2座部116に導電接合されている。第4接合部323は、第3方向z

に延びている。第4接合部323の少なくとも一部が、第2座部116に収容されている。第4接合部323は、第2基部321につながっている。

[0057] 半導体装置A10は、図8および図10に示すように、第3接合層35をさらに備える。第3接合層35は、2つの第2素子21Bの第1電極211と、2つの第3接合部322とを導電接合する。第3接合層35は、たとえばハンダである。この他、第3接合層35は、焼結金属でもよい。

[0058] 半導体装置A10は、図8に示すように、第4接合層36をさらに備える。第4接合層36は、第2入力端子11Cの第2座部116と、第4接合部323とを導電接合する。第4接合層36は、たとえばハンダである。この他、第4接合層36は、焼結金属でもよい。

[0059] 2つの第1ワイヤ41のうち一方の第1ワイヤ41は、図2に示すように、2つの第1素子21Aのうち第1ゲート端子12Aから最も近くに位置する第1素子21Aのゲート電極213と、第1ゲート端子12Aの被覆部123とに導電接合されている。2つの第1ワイヤ41のうち他方の第1ワイヤ41は、図2に示すように、2つの第2素子21Bのうち第2ゲート端子12Bから最も近くに位置する第2素子21Bのゲート電極213と、第2ゲート端子12Bの被覆部123とに導電接合されている。

[0060] 2つの第1中継ワイヤ43のうち一方の第1中継ワイヤ43は、図2に示すように、一方の第1素子21Aのゲート電極213と、他方の第1素子21Aのゲート電極213とに導電接合されている。2つの第1中継ワイヤ43のうち他方の第1中継ワイヤ43は、図2に示すように、一方の第2素子21Bのゲート電極213と、他方の第2素子21Bのゲート電極213とに導電接合されている。2つの第1ワイヤ41、および2つの第1中継ワイヤ43により、第1ゲート端子12Aは、2つの第1素子21Aの各々のゲート電極213に導通している。さらに第2ゲート端子12Bは、2つの第2素子21Bの各々のゲート電極213に導通している。

[0061] 2つの第2ワイヤ42のうち一方の第2ワイヤ42は、図2に示すように、2つの第1素子21Aのうち第1検出端子13Aから最も近くに位置する

第1素子21Aの2つの検出電極214のいずれかと、第1検出端子13Aの被覆部132とに導電接合されている。2つの第2ワイヤ42のうち他方の第2ワイヤ42は、図2に示すように、2つの第2素子21Bのうち第2検出端子13Bから最も近くに位置する第2素子21Bの2つの検出電極214のいずれかと、第2検出端子13Bの被覆部132とに導電接合されている。

[0062] 2つの第2中継ワイヤ44のうち一方の第2中継ワイヤ44は、図2に示すように、一方の第1素子21Aの2つの検出電極214のいずれかと、他方の第1素子21Aの2つの検出電極214のいずれかとに導電接合されている。2つの第2中継ワイヤ44のうち他方の第2中継ワイヤ44は、図2に示すように、一方の第2素子21Bの2つの検出電極214のいずれかと、他方の第2素子21Bの2つの検出電極214のいずれかとに導電接合されている。2つの第2ワイヤ42、および2つの第2中継ワイヤ44により、第1検出端子13Aは、2つの第1素子21Aの各々の2つの検出電極214に導通している。さらに第2検出端子13Bは、2つの第2素子21Bの各々2つの検出電極214に導通している。

[0063] 第1実施形態（半導体装置）の変形例：

次に、図11に基づき、半導体装置A10の変形例である半導体装置A11について説明する。

[0064] 図11に示すように、半導体装置A11においては、3つの第1端子11の各々は、第3部113を有しない。第2部112は、第1部111に溶接などで接合されている。したがって、第2部112は、第1部111に接している。

[0065] 第1実施形態（半導体装置の実装体）：

次に、図12～図14に基づき、本開示の第1実施形態にかかる半導体装置の実装体（以下「実装体B10」と呼ぶ。）について説明する。実装体B10は、半導体装置A10、配線基板60、接合層69および放熱部材70を備える。ここで、図14は、理解の便宜上、接合層69の図示を省略して

いる。図12において、X111-X111線を一点鎖線で示している。

[0066] 配線基板60は、半導体装置A10の実装対象である。配線基板60は、たとえばPCBである。配線基板60は、基材61および配線62を有する。図12および図13に示すように、基材61には、複数のスルーホール611が設けられている。複数のスルーホール611は、基材61を第1方向xに貫通している。図14に示すように、複数のスルーホール611の各々は、第2方向yに延びる長孔である。

[0067] 配線62は、図13および図14に示すように、複数のスルーホール611に隣接している。配線62は、実装体B10の外部に配置された直流電源や、配線基板60に搭載されたゲートドライバおよびコントローラ（ともに図示略）などに導通している。

[0068] 図12に示すように、半導体装置A10の3つの第1端子11、2つの第2端子12、および2つの第3端子13は、基材61の複数のスルーホール611に個別に挿通されている。この状態で、3つの第1端子11、2つの第2端子12、および3つの第3端子13は、接合層69により配線62に導電接合されている。したがって、実装体B10においては、半導体装置A10がスルーホール実装されている。接合層69は、たとえばハンダである。

[0069] 図13に示すように、3つの第1端子11の各々の第1部111および第2部112の各々の一部は、基材61の複数のスルーホール611のいずれかに収容されている。

[0070] 放熱部材70は、半導体装置A10の封止樹脂50に取り付けられている。放熱部材70は、2つのダイパッド10の裏面102に対向している。放熱部材70は、たとえばヒートシンクである。

[0071] 次に、半導体装置A10および実装体B10の作用効果について説明する。

[0072] 半導体装置A10は、半導体素子21に導通する第1端子11を備える。第1端子11は、少なくとも一部が第1方向xに延びる第1部111と、第

1方向xに延びる第2部112とを有する。第2方向yに視て、第2部112は、第1部111に重なる。さらに実装体B10において、第1部111および第2部112の各々の一部が配線基板60の基材61に設けられたスルーホール611に收容される。本構成をとることにより、接合層69に対する第1端子11の接触面積が増加するため、半導体素子21から第1端子11に伝導された熱は、接合層69から外部に放熱されやすくなる。これにより、配線基板60の温度上昇が抑制されるとともに、第1端子11に導通可能な電流を増加することができる。さらに、半導体装置A10の放熱性の向上に寄与する。したがって、半導体装置A10および実装体B10によれば、スルーホール実装される半導体装置A10にかかる信頼性の向上を図ることが可能となる。

[0073] 第1端子11は、第1部111および第2部112を連結する第3部113を有する。さらに第2部112は、第1部111から離れて位置する。本構成をとることにより、実装体B10において、接合層69に対する第1端子11の接触面積がより増加する。

[0074] 半導体装置A10は、第1端子11の一部と、半導体素子21とを覆う封止樹脂50をさらに備える。第1端子11の第2部112は、封止樹脂50から離れて位置する。本構成をとることにより、曲げ加工により第1端子11に第1部111、第2部112および第3部113を形成する際、第1端子11が封止樹脂50に接触することを防止できる。さらに第1方向xに視て、封止樹脂50は、第1部111および第2部112に重なる。本構成をとることにより、基材61のスルーホール611の過度な拡大を防止できる。

[0075] 半導体装置A10は、第1方向xに延び、かつ一部が封止樹脂50に覆われた第2端子12をさらに備える。第2端子12は、第3方向zにおいて第1端子11から離れて位置する。第2端子12は、第1実装部121および第2実装部122を有する。第2実装部122は、第1方向xにおいて第1実装部121を基準として封止樹脂50とは反対側に位置する。第2実装部

122の第3方向zの寸法は、第1実装部121の第3方向zの寸法よりも小さい。本構成をとることにより、実装体B10において、第2端子12を基材61のスルーホール611に挿通させた際、第1実装部121が配線基板60に接触する。これにより、配線基板60に対する半導体装置A10の第1方向xの位置ずれを防止できる。

[0076] 第2端子12の第1実装部121は、第3方向zに延び、かつ第2実装部122がつながる第1縁121Aを有する。第1端子11の第2部112は、第1方向xにおいて第1縁121Aの両側に位置する。本構成をとることにより、実装体B10において、第1実装部121が配線基板60に対する半導体装置A10の第1方向xの位置ずれを防止しつつ、第1端子11の第1部111および第2部112の各々の一部を基材61のスルーホール611に確実に収容できる。

[0077] 基材61のスルーホール611は、第2方向yに延びる長孔である。本構成をとることにより、第1端子11の第1部111および第2部112を確実にスルーホール611に挿通させることができる。

[0078] 封止樹脂50は、第3側面55から第1方向xに凹む複数の凹部56を有する。本構成により、3つの第1端子11のいずれか2つの第1端子11の間における封止樹脂50の沿面距離がより長く確保される。これにより、半導体装置A10の絶縁耐圧の向上を図ることができる。

[0079] 封止樹脂50は、底面52から凹み、かつ第2方向yに視て第1パッド10Aの裏面102と、第2パッド10Bの裏面102とを分断する溝部57を有する。本構成をとることにより、2つのダイパッド10の間における封止樹脂50の沿面距離がより長く確保される。これにより、半導体装置A10の絶縁耐圧のさらなる向上を図ることができる。さらに、封止樹脂50の第3方向zの熱ひずみが分散される。これにより、封止樹脂50の2つの第1側面53に熱ひずみが集中することを緩和できる。

[0080] 3つの第1端子11のうち第1入力端子11Aおよび出力端子11Bの各々は、2つのダイパッド10のいずれかにつながっている。これにより、半

導体装置A10の寸法拡大を抑えつつ、2つのダイパッド10を導電部材として活用できる。

[0081] 2つのダイパッド10の裏面102は、封止樹脂50から露出している。これにより、半導体装置A10の放熱性を向上させることができる。

[0082] 第1導通部材31および第2導通部材32の組成は、銅を含む。これにより、アルミニウムを組成に含むワイヤと比較して、第1導通部材31および第2導通部材32の電気抵抗を低減させることができる。このことは、半導体素子21により大きな電流を流すことに好適である。

[0083] 第2実施形態：

図15に基づき、本開示の第2実施形態にかかる半導体装置A20と、本開示の第2実施形態にかかる半導体装置の実装体（以下「実装体B20」と呼ぶ。）について説明する。これらの図において、先述した半導体装置A10および実装体B10と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図15の断面位置は、実装体B10を示す図13の断面位置と同一である。

[0084] 実装体B20は、半導体装置A20、配線基板60、接合層69および放熱部材70を備える。半導体装置A20および実装体B20においては、3つの第1端子11の構成が、半導体装置A10および実装体B10の当該構成と異なる。

[0085] 図15に示すように、半導体装置A20の3つの第1端子11の各々において、第3部113は、第1方向xに視て第1部111および第2部112から膨出している。半導体装置A20および実装体B20においては、第3部113は、第2方向yに膨出している。

[0086] 次に、半導体装置A20および実装体B20の作用効果について説明する。

[0087] 半導体装置A20は、半導体素子21に導通する第1端子11を備える。第1端子11は、少なくとも一部が第1方向xに延びる第1部111と、第1方向xに延びる第2部112とを有する。第2方向yに視て、第2部11

2は、第1部111に重なる。さらに実装体B20において、第1部111および第2部112の各々の一部が配線基板60の基材61に設けられたスルーホール611に收容される。したがって、半導体装置A20および実装体B20によっても、スルーホール実装される半導体装置A20にかかる信頼性の向上を図ることが可能となる。

[0088] 半導体装置A20および実装体B20においては、第1方向xに視て、第1端子11の第3部113は、第1端子11の第1部111および第2部112から膨出している。本構成をとることにより、実装体B20において、半導体装置A20を基材61のスルーホール611から第1方向xに引き抜こうとすると、第3部113が配線基板60に接触する。したがって、配線基板60に対する半導体装置A20の抜けを防止できる。

[0089] 第3実施形態：

図16～図20に基づき、本開示の第3実施形態にかかる半導体装置A30と、本開示の第3実施形態にかかる半導体装置の実装体（以下「実装体B30」と呼ぶ。）について説明する。これらの図において、先述した半導体装置A10および実装体B10と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図16において、X1X-X1X線を一点鎖線で示している。

[0090] 実装体B30は、半導体装置A30、配線基板60、接合層69および放熱部材70を備える。半導体装置A30および実装体B30においては、3つの第1端子11の構成が、半導体装置A10および実装体B10の当該構成と異なる。

[0091] 図16～図19に示すように、半導体装置A30の3つの第1端子11の各々は、第4部114を有する。第4部114は、第1方向xにおいて第2部112を基準として第3部113とは反対側に位置する。第4部114は、第2部112につながっている。第4部114は、第2方向yにおいて第1部111が位置する側とは反対側に延びている。

[0092] 図20に示すように、実装体B30において、3つの第1端子11の第4

部114は、第1方向xにおいて配線基板60を基準として3つの第1端子11の第3部113とは反対側に位置する。

[0093] 次に、半導体装置A30および実装体B30の作用効果について説明する。

[0094] 半導体装置A30は、半導体素子21に導通する第1端子11を備える。第1端子11は、少なくとも一部が第1方向xに延びる第1部111と、第1方向xに延びる第2部112とを有する。第2方向yに視て、第2部112は、第1部111に重なる。さらに実装体B30において、第1部111および第2部112の各々の一部が配線基板60の基材61に設けられたスルーホール611に收容される。したがって、半導体装置A30および実装体B30によっても、スルーホール実装される半導体装置A30にかかる信頼性の向上を図ることが可能となる。

[0095] 半導体装置A30においては、第1端子11は、第2部112につながる第4部114を有する。第4部114は、第2方向yにおいて第1端子11の第1部111は位置する側とは反対側に位置する。本構成をとることにより、実装体B30において、第1端子11を基材61のスルーホール611に挿通させた際、第4部114が配線基板60に接触する。これにより、配線基板60に対する半導体装置A30の第1方向xの位置ずれを防止できる。

[0096] 第4実施形態：

図21および図22に基づき、本開示の第4実施形態にかかる半導体装置A40と、本開示の第4実施形態にかかる半導体装置の実装体（以下「実装体B40」と呼ぶ。）について説明する。これらの図において、先述した半導体装置A10および実装体B10と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図21の断面位置は、実装体B10を示す図13の断面位置と同一である。

[0097] 実装体B40は、半導体装置A40、配線基板60、接合層69および放熱部材70を備える。実装体B40においては、半導体装置A40の配置構

成が実装体B10の当該構成と異なる。

[0098] 図21および図22に示すように、半導体装置A40は、半導体装置A10の3つの第1端子11、2つの第2端子12、および2つの第3端子13を第3方向zの回りに90°に曲げ加工したものである。これにより、半導体装置A40においては、2つのダイパッド10の主面101の法線方向は、第1方向xである。さらに実装体B40においては、3つの第1端子11の各々の第1部111は、第2方向yにおいて封止樹脂50と第1端子11の第2部112との間に位置する。

[0099] 次に、半導体装置A40および実装体B40の作用効果について説明する。

[0100] 半導体装置A40は、半導体素子21に導通する第1端子11を備える。第1端子11は、少なくとも一部が第1方向xに延びる第1部111と、第1方向xに延びる第2部112とを有する。第2方向yに視て、第2部112は、第1部111に重なる。さらに実装体B40において、第1部111および第2部112の各々の一部が配線基板60の基材61に設けられたスルーホール611に收容される。したがって、半導体装置A40および実装体B40によっても、スルーホール実装される半導体装置A40にかかる信頼性の向上を図ることが可能となる。

[0101] 第5実施形態：

図23に基づき、本開示の第5実施形態にかかる半導体装置A50と、本開示の第5実施形態にかかる半導体装置の実装体（以下「実装体B50」と呼ぶ。）について説明する。本図において、先述した半導体装置A10および実装体B10と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図23の断面位置は、実装体B10を示す図13の断面位置と同一である。

[0102] 実装体B50は、半導体装置A50、配線基板60、接合層69および放熱部材70を備える。実装体B50においては、半導体装置A50の配置構成が先述した実装体B30の当該構成と異なる。

[0103] 図23に示すように、半導体装置A50は、半導体装置A30の3つの第1端子11、2つの第2端子12、および2つの第3端子13を第3方向zの回りに90°に曲げ加工したものである。これにより、半導体装置A50においては、2つのダイパッド10の主面101の法線方向は、第1方向xである。さらに実装体B50においては、3つの第1端子11の各々の第1部111は、第2方向yにおいて封止樹脂50と第1端子11の第2部112との間に位置する。

[0104] 次に、半導体装置A50および実装体B50の作用効果について説明する。

[0105] 半導体装置A50は、半導体素子21に導通する第1端子11を備える。第1端子11は、少なくとも一部が第1方向xに延びる第1部111と、第1方向xに延びる第2部112とを有する。第2方向yに視て、第2部112は、第1部111に重なる。さらに実装体B50において、第1部111および第2部112の各々の一部が配線基板60の基材61に設けられたスルーホール611に收容される。したがって、半導体装置A50および実装体B50によっても、スルーホール実装される半導体装置A50にかかる信頼性の向上を図ることが可能となる。

[0106] 本開示は、先述した実施形態に限定されるものではない。本開示の各部の具体的な構成は、種々に設計変更自在である。

[0107] 本開示は、以下の付記に記載された実施形態を含む。

付記1.

半導体素子と、

前記半導体素子に導通する第1端子と、を備え、

前記第1端子は、少なくとも一部が第1方向に延びる第1部と、前記第1方向に延びる第2部と、を有し、

前記第1方向に対して直交する第2方向に視て、前記第2部は、前記第1部に重なる、半導体装置。

付記2.

前記第 1 端子は、前記第 1 部と前記第 2 部とを連結する第 3 部を有する、付記 1 に記載の半導体装置。

付記 3.

前記第 1 方向に視て、前記第 3 部は、前記第 1 部および前記第 2 部から膨出している、付記 2 に記載の半導体装置。

付記 4.

前記第 2 部は、前記第 1 部から離れて位置する、付記 2 または 3 に記載の半導体装置。

付記 5.

前記第 1 端子は、前記第 1 方向において前記第 2 部を基準として前記第 3 部とは反対側に位置し、かつ前記第 2 部につながる第 4 部を有し、

前記第 4 部は、前記第 2 方向において前記第 1 部が位置する側とは反対側に延びている、付記 2 ないし 4 のいずれかに記載の半導体装置。

付記 6.

前記第 1 端子の一部と、前記半導体素子と、を覆う封止樹脂をさらに備え、

前記第 1 部は、前記封止樹脂から延びており、

前記第 2 部は、前記封止樹脂から離れて位置する、付記 1 ないし 5 のいずれかに記載の半導体装置。

付記 7.

前記第 1 方向に視て、前記封止樹脂は、前記第 1 部および前記第 2 部に重なる、付記 6 に記載の半導体装置。

付記 8.

前記第 1 方向に延び、かつ一部が前記封止樹脂に覆われた第 2 端子をさらに備え、

前記第 2 端子は、前記第 1 方向および前記第 2 方向に対して直交する第 3 方向において前記第 1 端子から離れて位置しており、

前記第 2 端子は、前記封止樹脂から延びる第 1 実装部と、前記第 1 方向に

において前記第 1 実装部を基準として前記封止樹脂とは反対側に位置し、かつ前記第 1 実装部につながる第 2 実装部と、を有し、

前記第 2 実装部の前記第 3 方向の寸法は、前記第 1 実装部の前記第 3 方向の寸法よりも小さい、付記 6 または 7 に記載の半導体装置。

付記 9.

前記第 3 方向に視て、前記第 1 実装部は、前記第 1 部に重なる、付記 8 に記載の半導体装置。

付記 10.

前記第 1 実装部は、前記第 3 方向に延び、かつ前記第 2 実装部につながる第 1 縁を有し、

前記第 2 部は、前記第 1 方向において前記第 1 縁の両側に位置する、付記 8 または 9 に記載の半導体装置。

付記 11.

ダイパッドをさらに備え、

前記半導体素子は、前記ダイパッドに導電接合されている、付記 6 ないし 10 のいずれかに記載の半導体装置。

付記 12.

前記第 1 端子は、前記ダイパッドにつながっている、付記 11 に記載の半導体装置。

付記 13.

前記ダイパッドは、前記第 2 方向において前記半導体素子に対向する側とは反対側を向く裏面を有し、

前記裏面は、前記封止樹脂から露出している、付記 11 または 12 に記載の半導体装置。

付記 14.

付記 6 ないし 13 のいずれかに記載の半導体装置と、

基材と、前記基材に配置された配線と、を有する配線基板と、

前記配線と前記第 1 端子とを導電接合する接合層と、を備え、

前記基材には、前記配線に隣接し、かつ前記第1方向に前記基材を貫通するスルーホールが設けられており、

前記第1部および前記第2部の各々の一部が、前記スルーホールに收容されている、半導体装置の実装体。

付記15.

前記スルーホールは、前記第2方向に延びる長孔である、付記14に記載の半導体装置の実装体。

付記16.

前記第1部は、前記第2方向において前記封止樹脂と前記第2部との間に位置する、付記14または15に記載の半導体装置の実装体。

付記17.

放熱部材をさらに備え、

前記放熱部材は、前記封止樹脂に取り付けられている、付記14ないし16のいずれかに記載の半導体装置の実装体。

符号の説明

- [0108] A10, A20, A30, A40, A50 : 半導体装置
B10, B20, B30, B40, B50 : 実装体
10 : ダイパッド 10A : 第1パッド
10B : 第2パッド 101 : 主面
102 : 裏面 103 : 第1座部
11 : 第1端子 11A : 第1入力端子
11B : 出力端子 11C : 第2入力端子
111 : 第1部 112 : 第2部
113 : 第3部 114 : 第4部
115 : 被覆部 116 : 第2座部
12 : 第2端子 12A : 第1ゲート端子
12B : 第2ゲート端子 121 : 第1実装部
121A : 第1縁 122 : 第2実装部

1 2 3 : 被覆部 1 3 : 第 3 端子
1 3 A : 第 1 検出端子 1 3 B : 第 2 検出端子
1 3 1 : 実装部 1 3 2 : 被覆部
2 1 : 半導体素子 2 1 A : 第 1 素子
2 1 B : 第 2 素子 2 1 1 : 第 1 電極
2 1 2 : 第 2 電極 2 1 3 : ゲート電極
2 1 4 : 検出電極 2 3 : ダイボンディング層
3 1 : 第 1 導通部材 3 1 1 : 第 1 基部
3 1 2 : 第 1 接合部 3 1 3 : 第 2 接合部
3 2 : 第 2 導通部材 3 2 1 : 第 2 基部
3 2 2 : 第 3 接合部 3 2 3 : 第 4 接合部
3 3 : 第 1 接合層 3 4 : 第 2 接合層
3 5 : 第 3 接合層 3 6 : 第 4 接合層
4 1 : 第 1 ワイヤ 4 2 : 第 2 ワイヤ
4 3 : 第 1 中継ワイヤ 4 4 : 第 2 中継ワイヤ
5 0 : 封止樹脂 5 1 : 頂面
5 2 : 底面 5 3 : 第 1 側面
5 4 : 第 2 側面 5 5 : 第 3 側面
5 6 : 凹部 5 7 : 溝部
6 0 : 配線基板 6 1 : 基材
6 1 1 : スルーホール 6 2 : 配線
6 9 : 接合層 7 0 : 放熱部材
x : 第 1 方向 y : 第 2 方向
z : 第 3 方向

請求の範囲

- [請求項1] 半導体素子と、
前記半導体素子に導通する第1端子と、を備え、
前記第1端子は、少なくとも一部が第1方向に延びる第1部と、前記第1方向に延びる第2部と、を有し、
前記第1方向に対して直交する第2方向に視て、前記第2部は、前記第1部に重なる、半導体装置。
- [請求項2] 前記第1端子は、前記第1部と前記第2部とを連結する第3部を有する、請求項1に記載の半導体装置。
- [請求項3] 前記第1方向に視て、前記第3部は、前記第1部および前記第2部から膨出している、請求項2に記載の半導体装置。
- [請求項4] 前記第2部は、前記第1部から離れて位置する、請求項2または3に記載の半導体装置。
- [請求項5] 前記第1端子は、前記第1方向において前記第2部を基準として前記第3部とは反対側に位置し、かつ前記第2部につながる第4部を有し、
前記第4部は、前記第2方向において前記第1部が位置する側とは反対側に延びている、請求項2ないし4のいずれかに記載の半導体装置。
- [請求項6] 前記第1端子の一部と、前記半導体素子と、を覆う封止樹脂をさらに備え、
前記第1部は、前記封止樹脂から延びており、
前記第2部は、前記封止樹脂から離れて位置する、請求項1ないし5のいずれかに記載の半導体装置。
- [請求項7] 前記第1方向に視て、前記封止樹脂は、前記第1部および前記第2部に重なる、請求項6に記載の半導体装置。
- [請求項8] 前記第1方向に延び、かつ一部が前記封止樹脂に覆われた第2端子をさらに備え、

前記第2端子は、前記第1方向および前記第2方向に対して直交する第3方向において前記第1端子から離れて位置しており、

前記第2端子は、前記封止樹脂から延びる第1実装部と、前記第1方向において前記第1実装部を基準として前記封止樹脂とは反対側に位置し、かつ前記第1実装部につながる第2実装部と、を有し、

前記第2実装部の前記第3方向の寸法は、前記第1実装部の前記第3方向の寸法よりも小さい、請求項6または7に記載の半導体装置。

[請求項9] 前記第3方向に視て、前記第1実装部は、前記第1部に重なる、請求項8に記載の半導体装置。

[請求項10] 前記第1実装部は、前記第3方向に延び、かつ前記第2実装部につながる第1縁を有し、

前記第2部は、前記第1方向において前記第1縁の両側に位置する、請求項8または9に記載の半導体装置。

[請求項11] ダイパッドをさらに備え、

前記半導体素子は、前記ダイパッドに導電接合されている、請求項6ないし10のいずれかに記載の半導体装置。

[請求項12] 前記第1端子は、前記ダイパッドにつながっている、請求項11に記載の半導体装置。

[請求項13] 前記ダイパッドは、前記第2方向において前記半導体素子に対向する側とは反対側を向く裏面を有し、

前記裏面は、前記封止樹脂から露出している、請求項11または12に記載の半導体装置。

[請求項14] 請求項6ないし13のいずれかに記載の半導体装置と、

基材と、前記基材に配置された配線と、を有する配線基板と、

前記配線と前記第1端子とを導電接合する接合層と、を備え、

前記基材には、前記配線に隣接し、かつ前記第1方向に前記基材を貫通するスルーホールが設けられており、

前記第1部および前記第2部の各々の一部が、前記スルーホールに

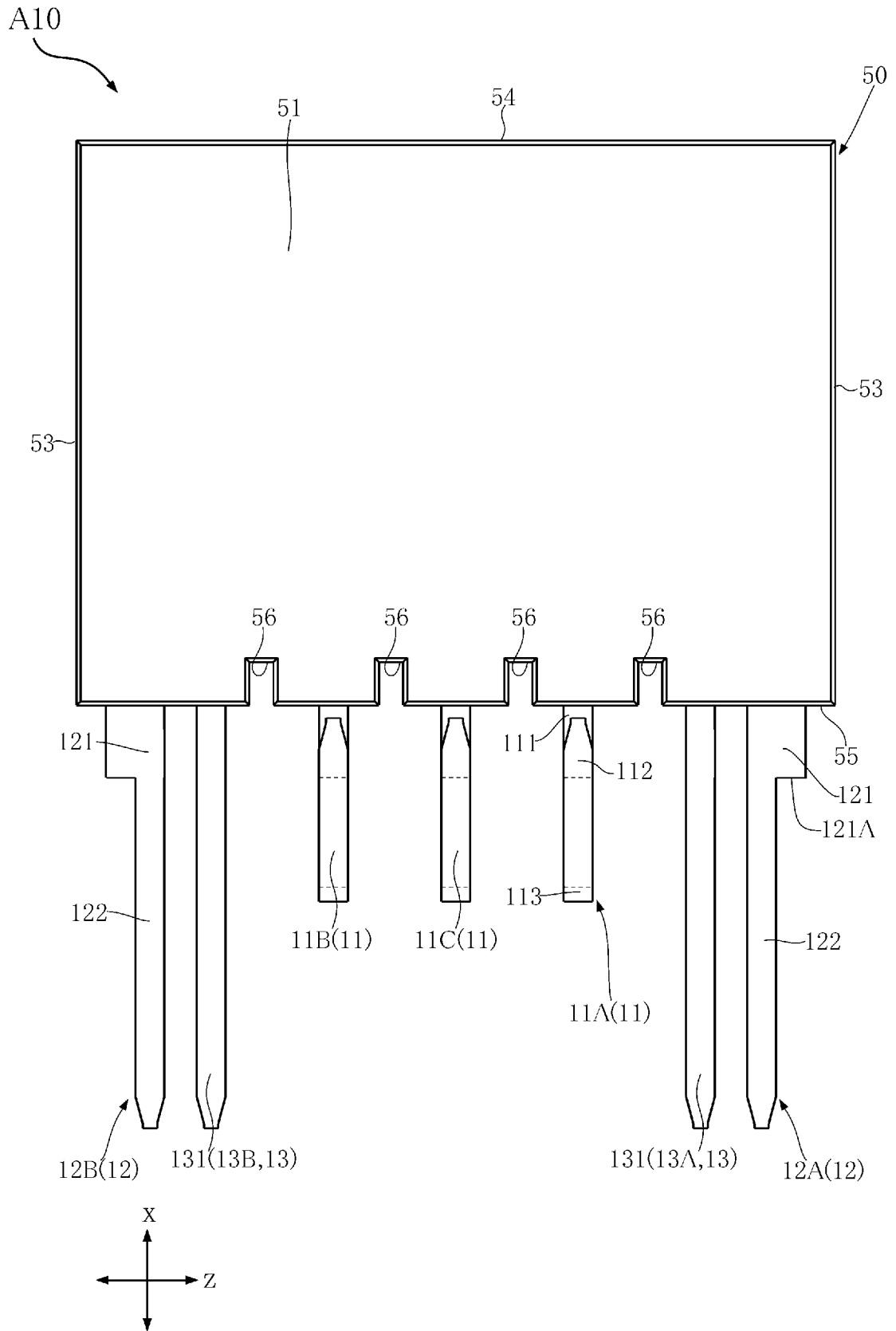
収容されている、半導体装置の実装体。

[請求項15] 前記スルーホールは、前記第2方向に延びる長孔である、請求項14に記載の半導体装置の実装体。

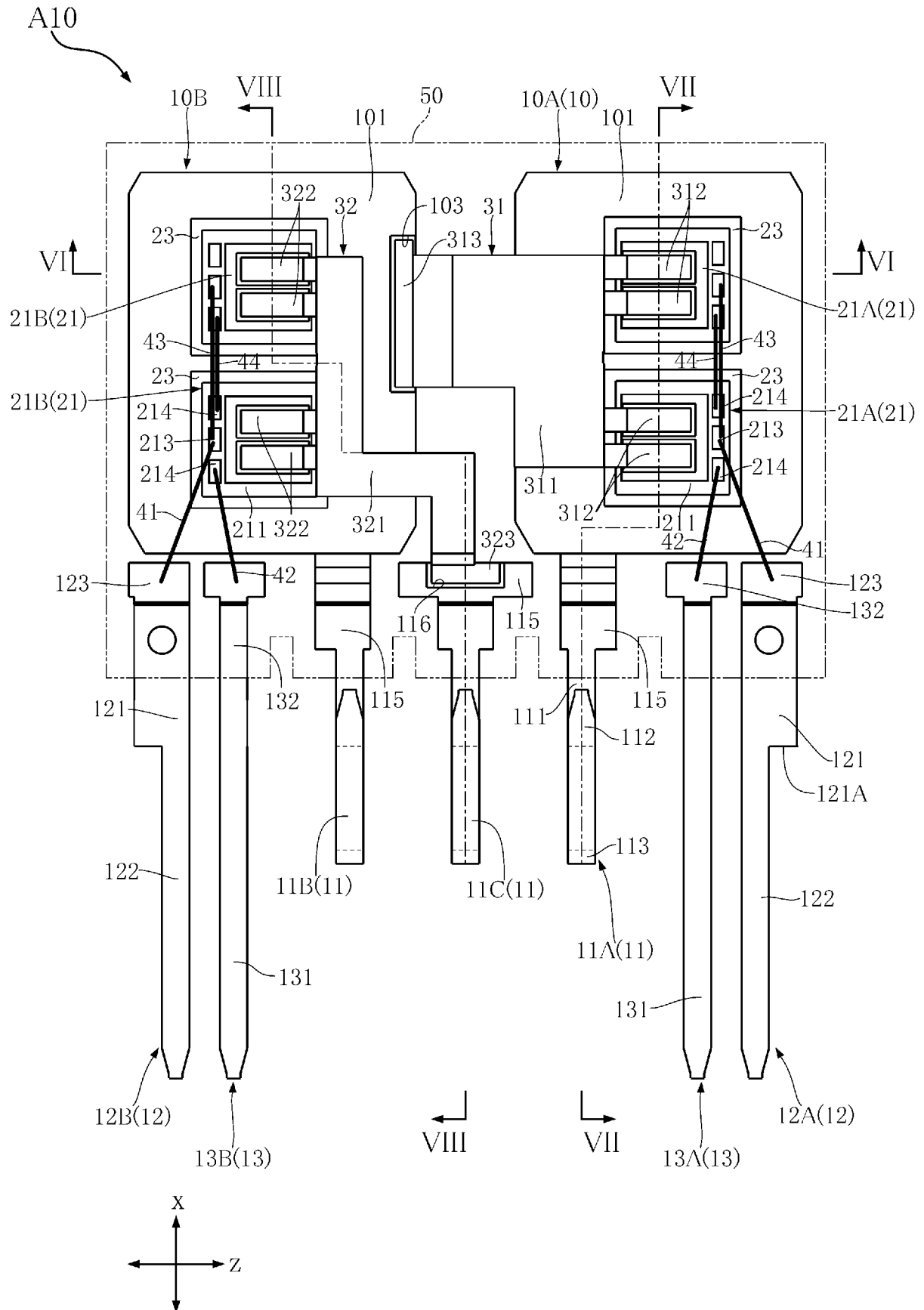
[請求項16] 前記第1部は、前記第2方向において前記封止樹脂と前記第2部との間に位置する、請求項14または15に記載の半導体装置の実装体。

[請求項17] 放熱部材をさらに備え、
前記放熱部材は、前記封止樹脂に取り付けられている、請求項14ないし16のいずれかに記載の半導体装置の実装体。

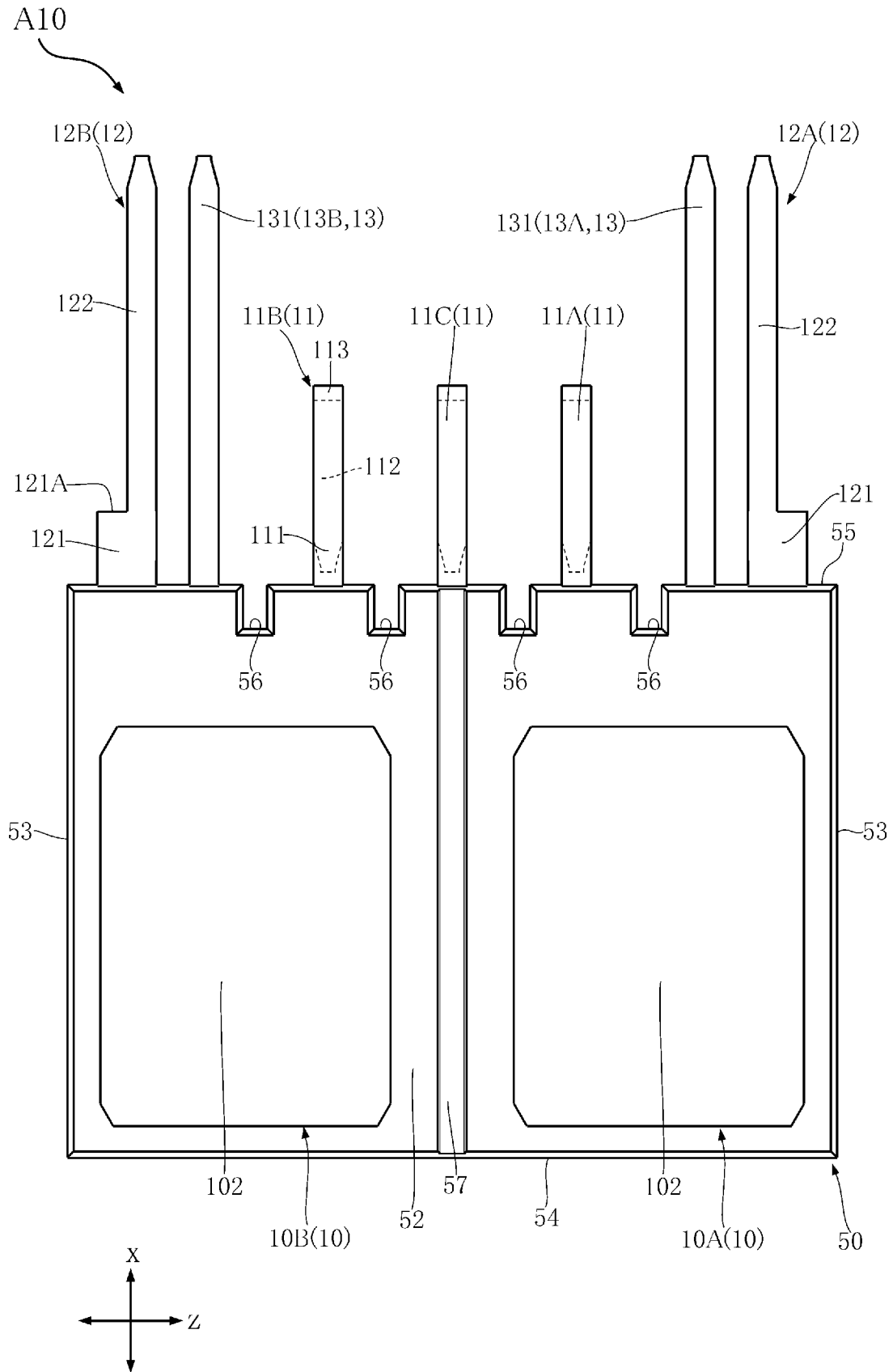
FIG.1



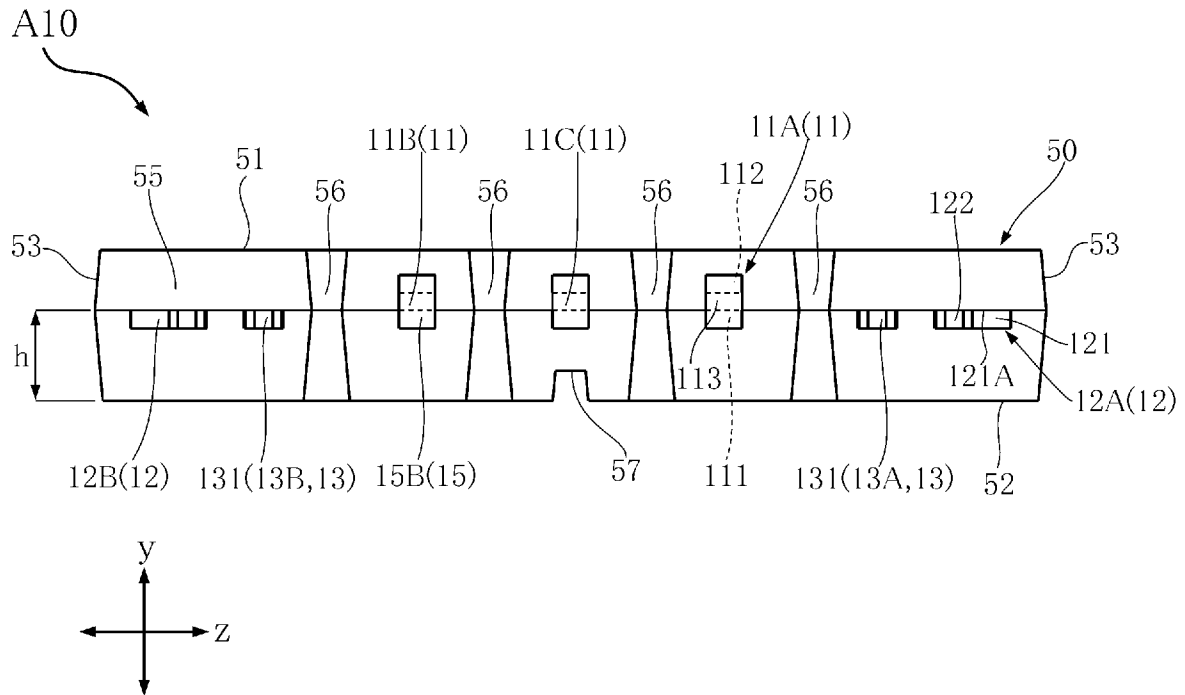
[図2]
FIG.2




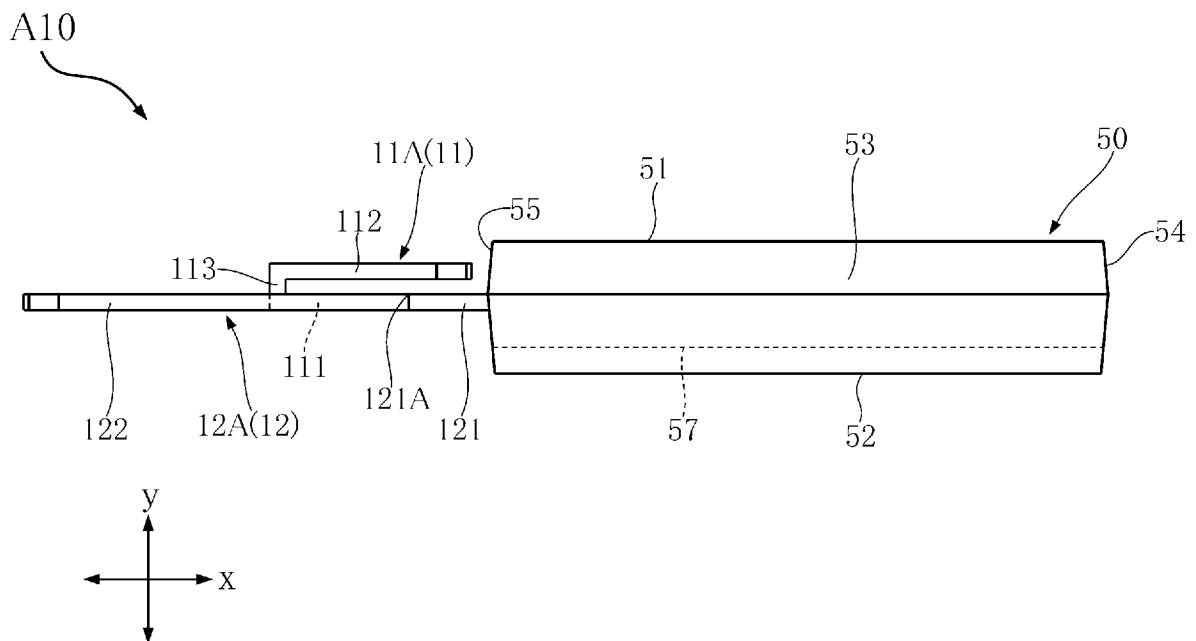
[図3]
FIG.3



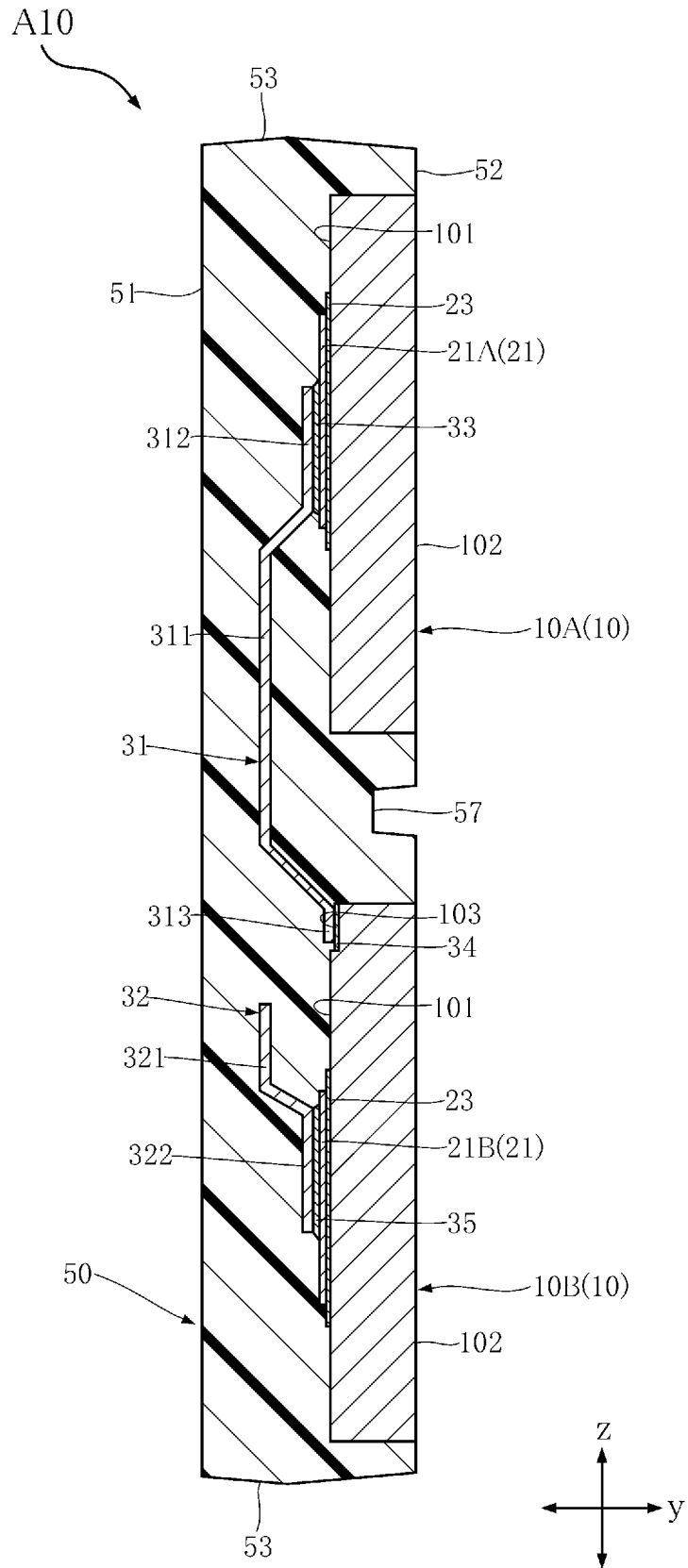
[]4]
FIG.4



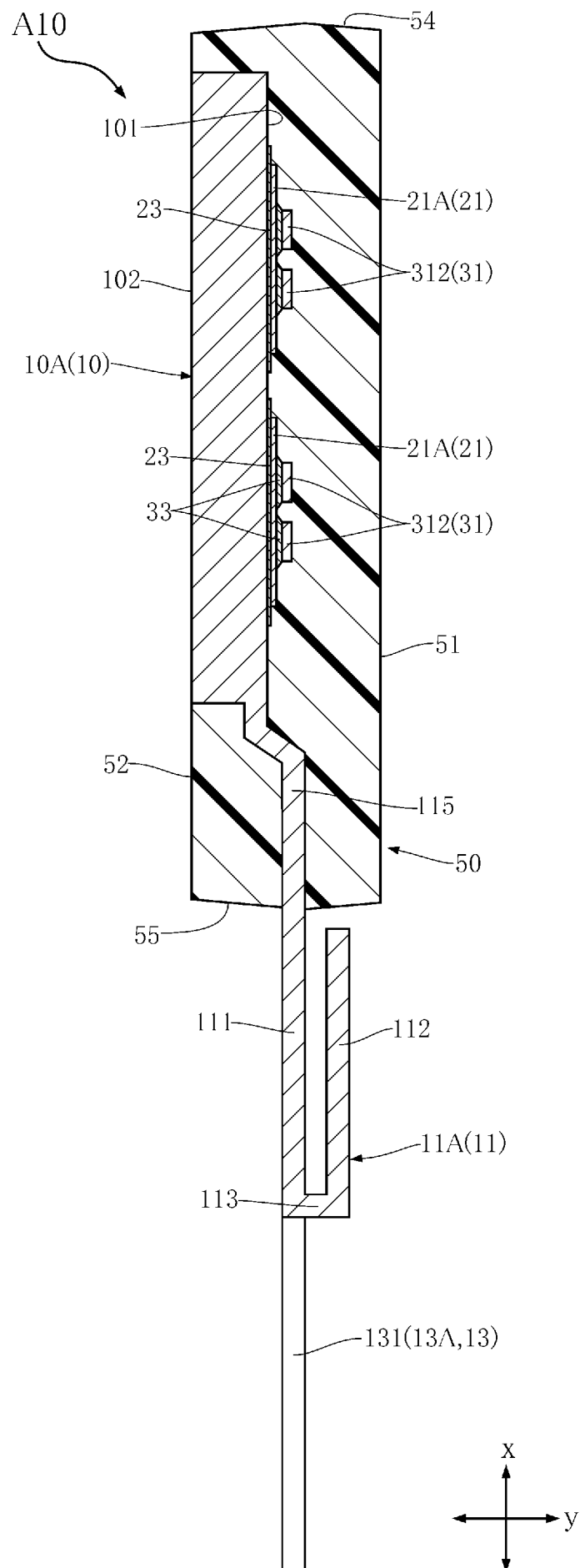
[]5]
FIG.5



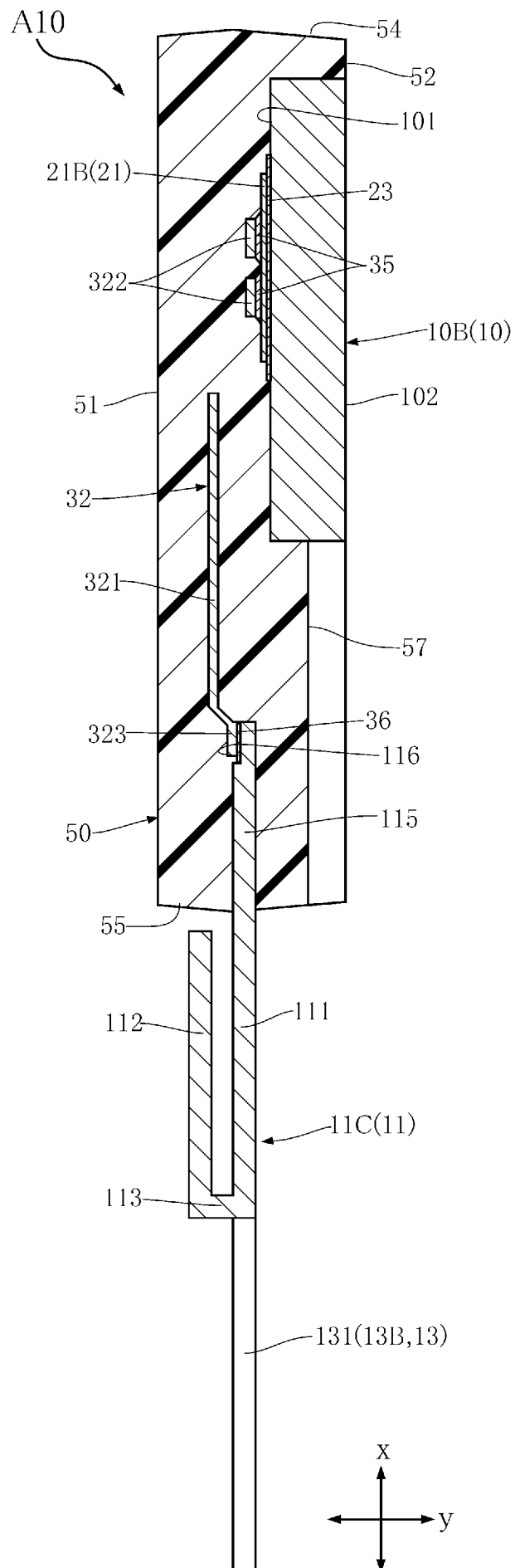
[図6]
FIG.6

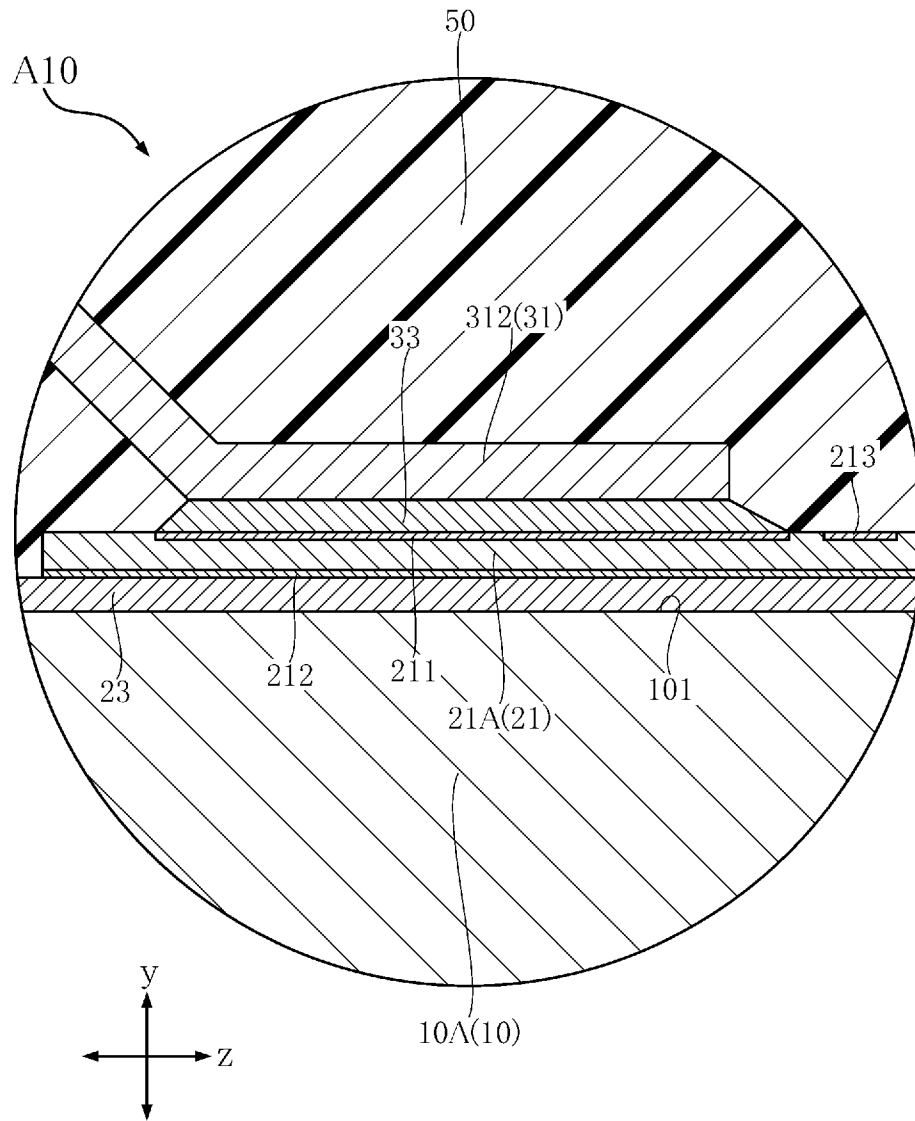


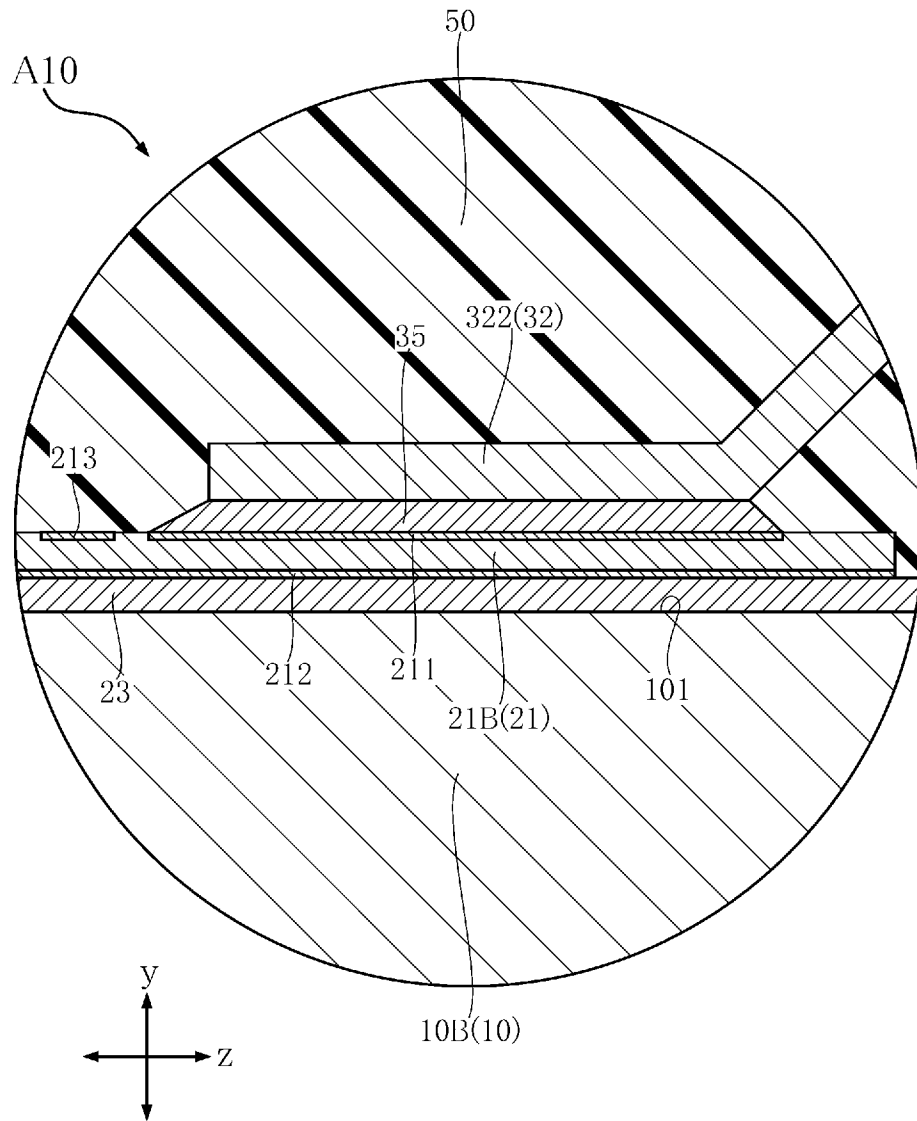
[図7]
FIG.7



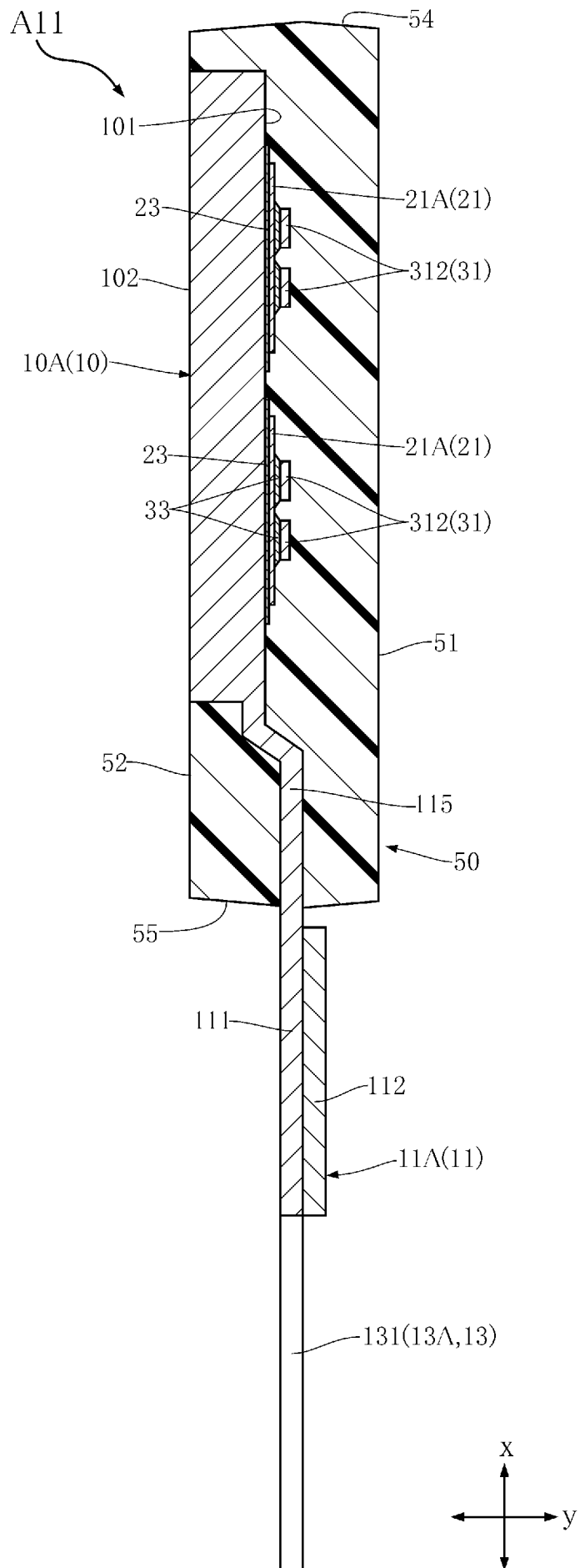
[図8]
FIG.8



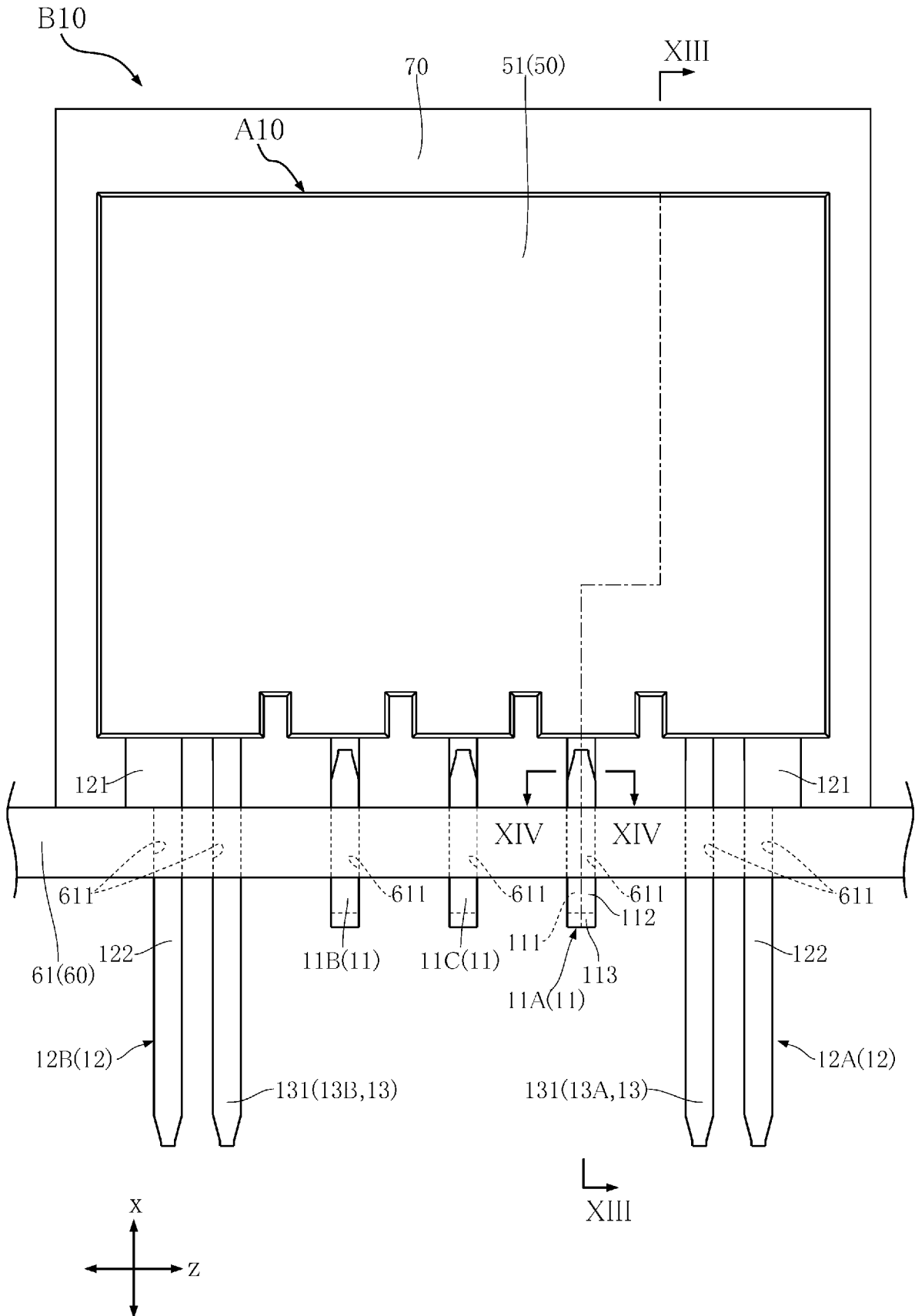
[図9]
FIG.9

[]10]
FIG.10

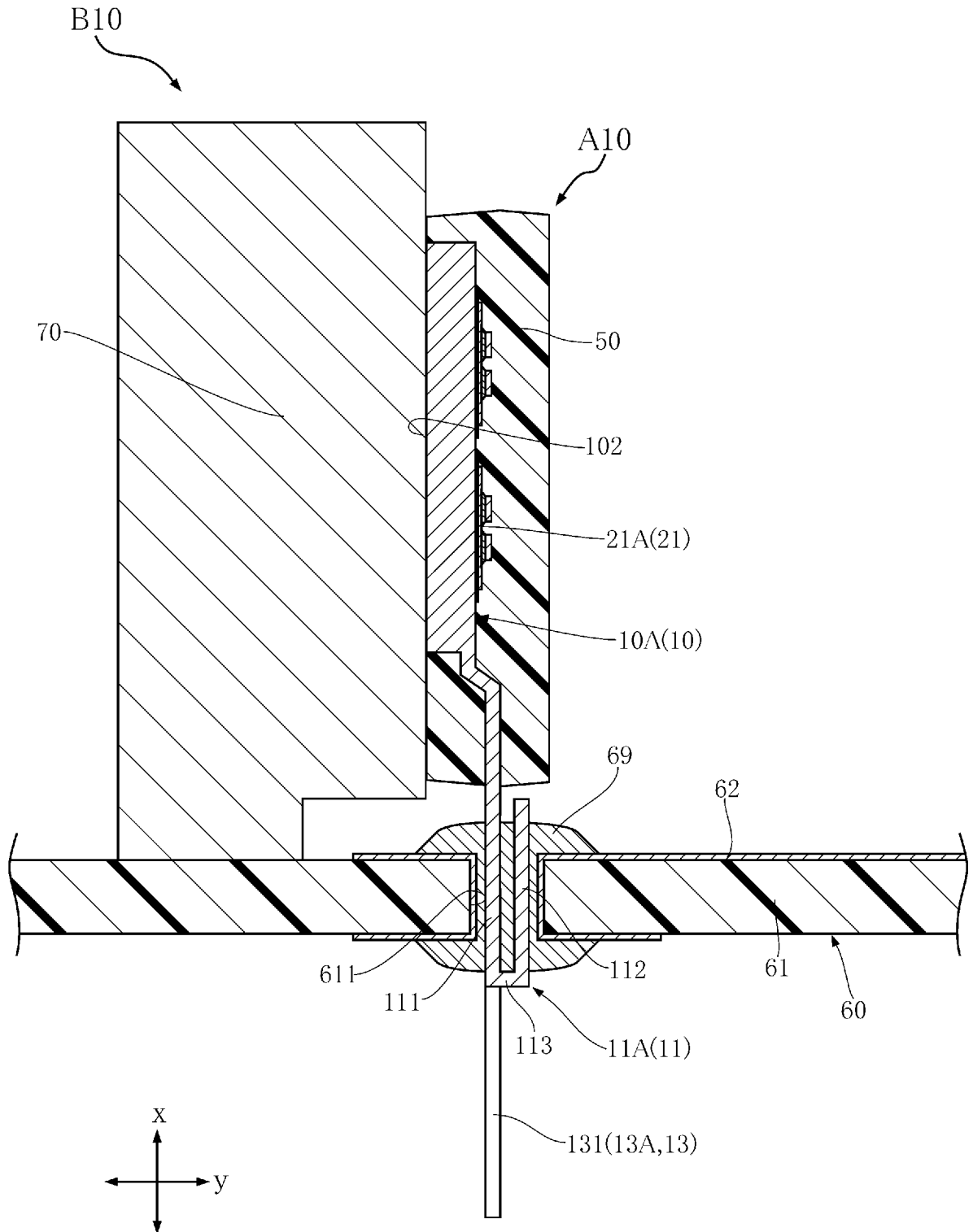
[図11]
FIG.11

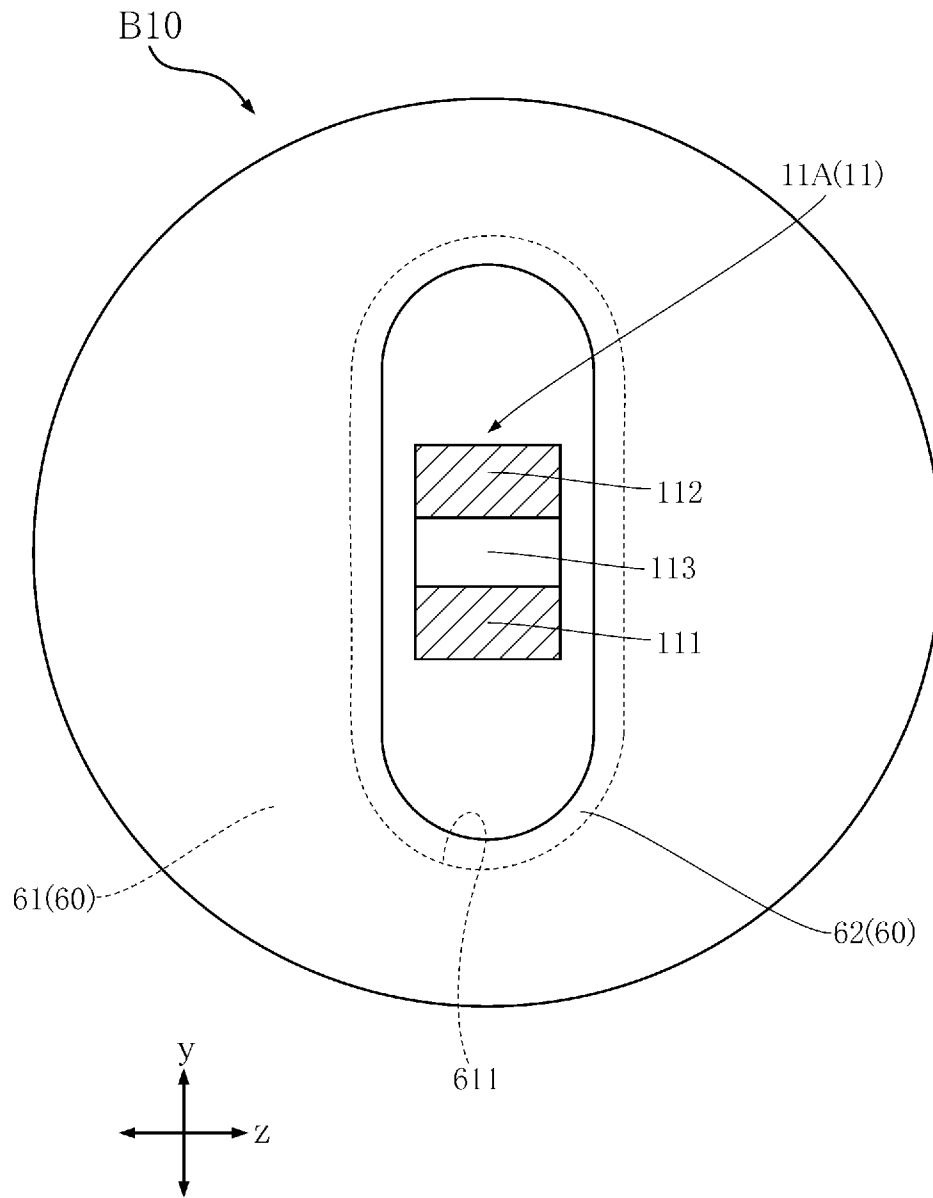


[]12]
FIG.12

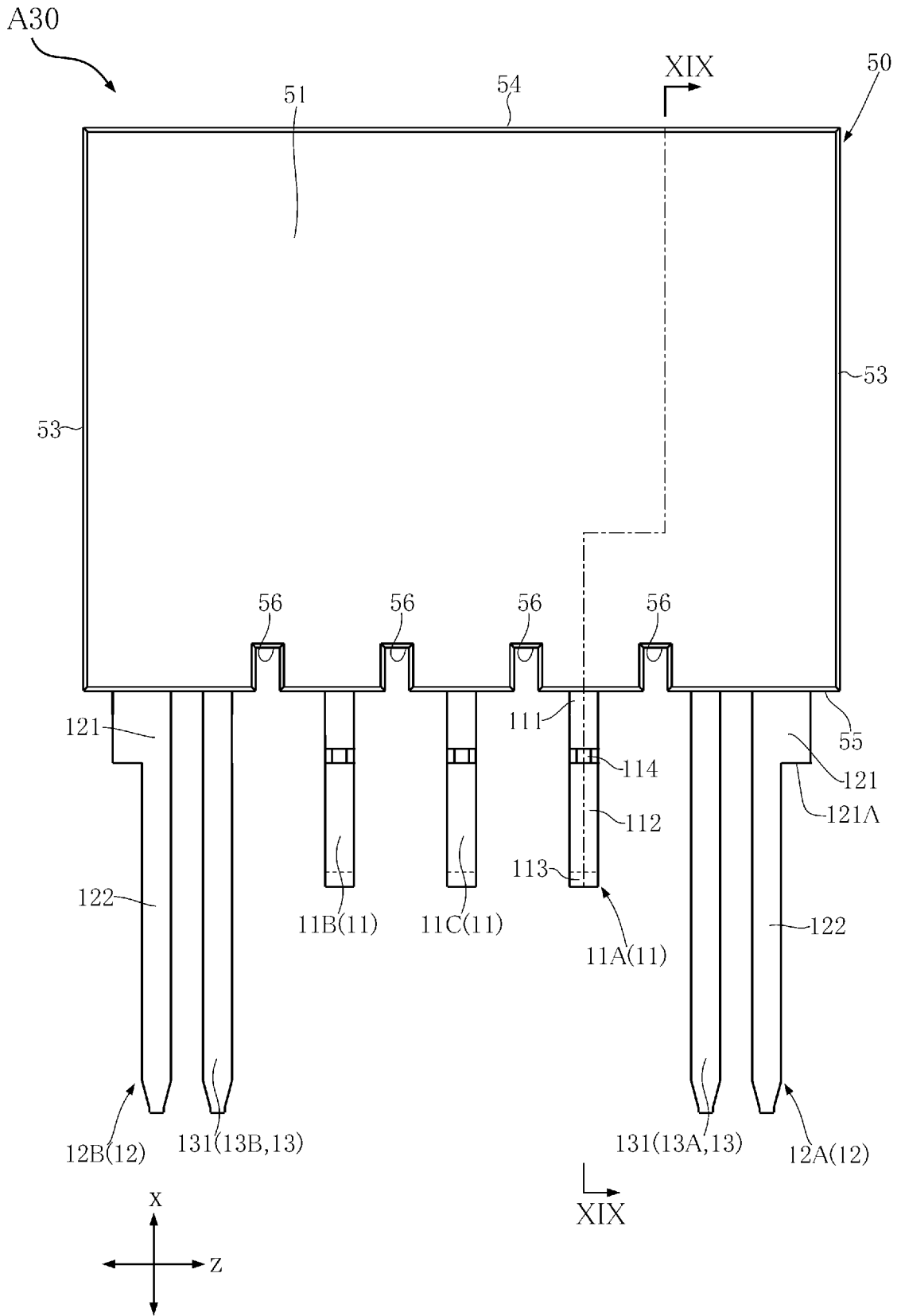


[図13]
FIG.13

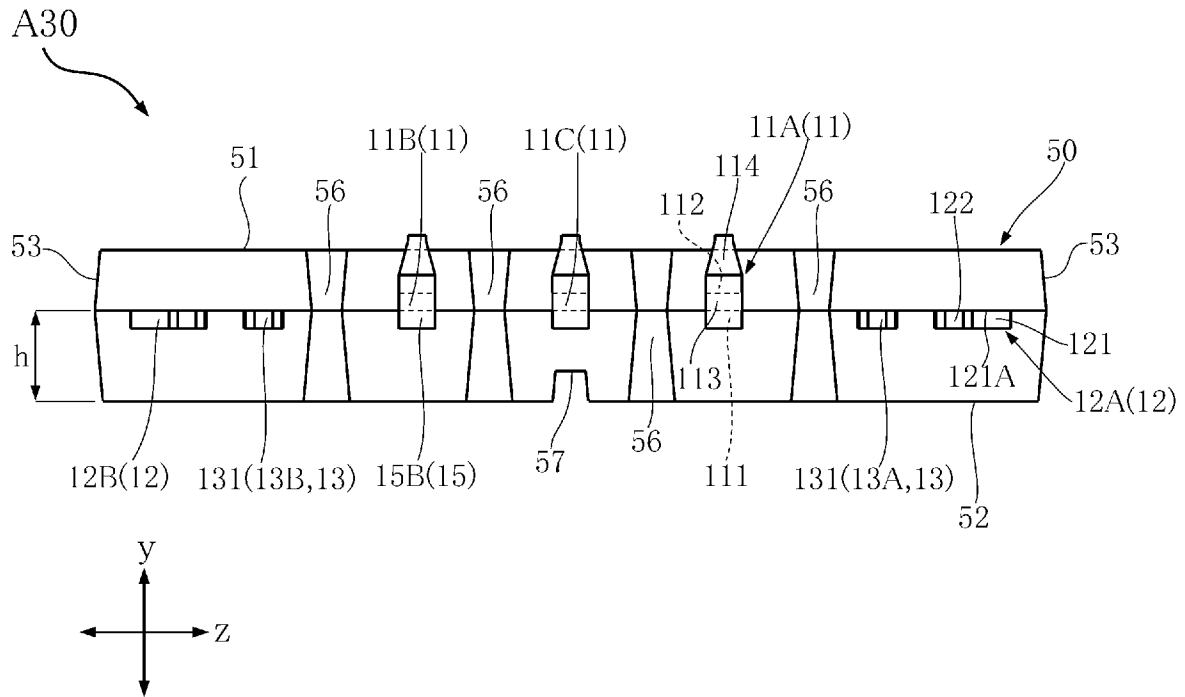



[図14]
FIG.14

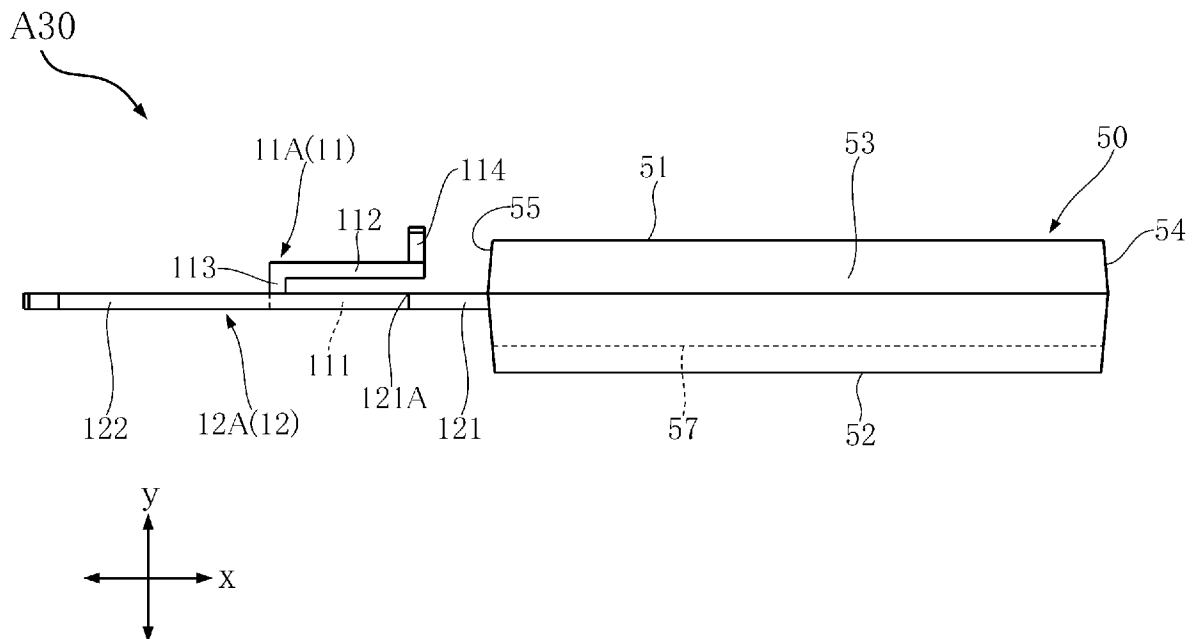
[16]
FIG.16



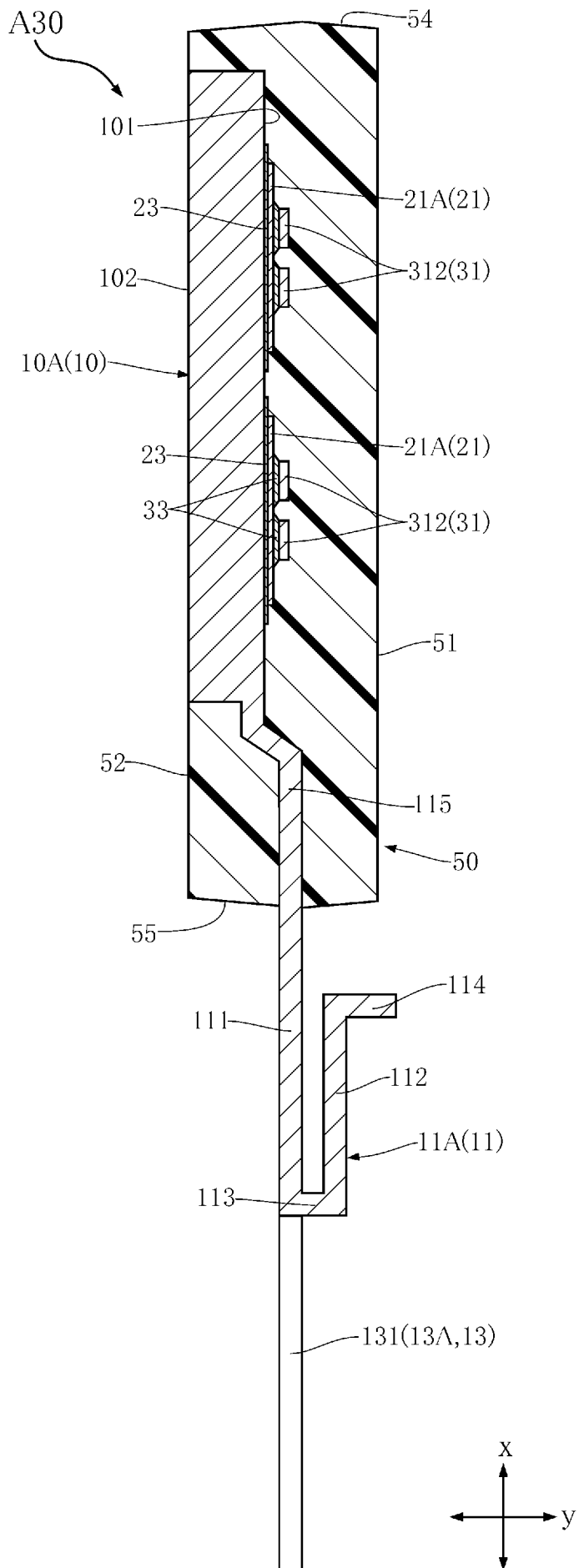
[17]
FIG.17



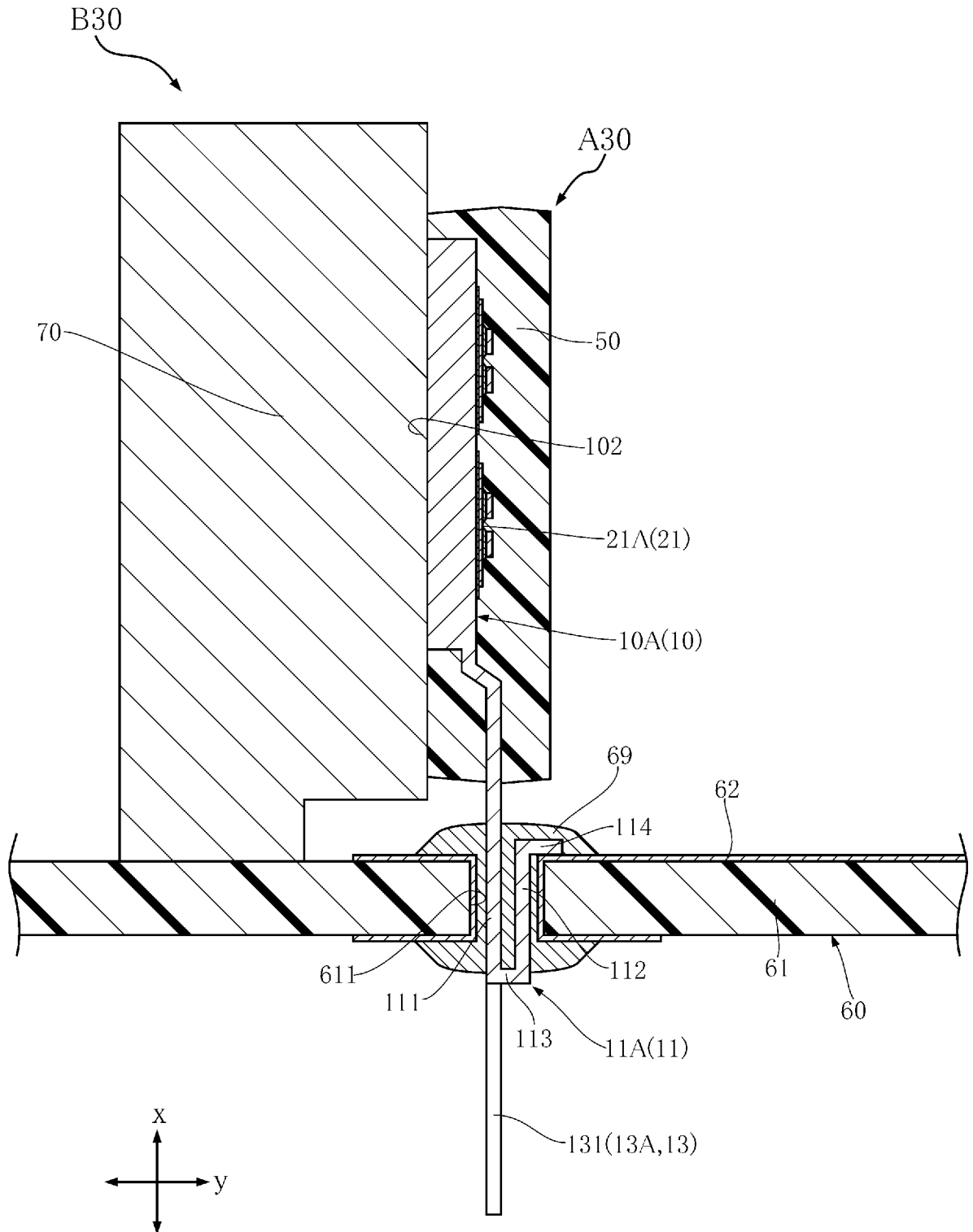
[18]
FIG.18


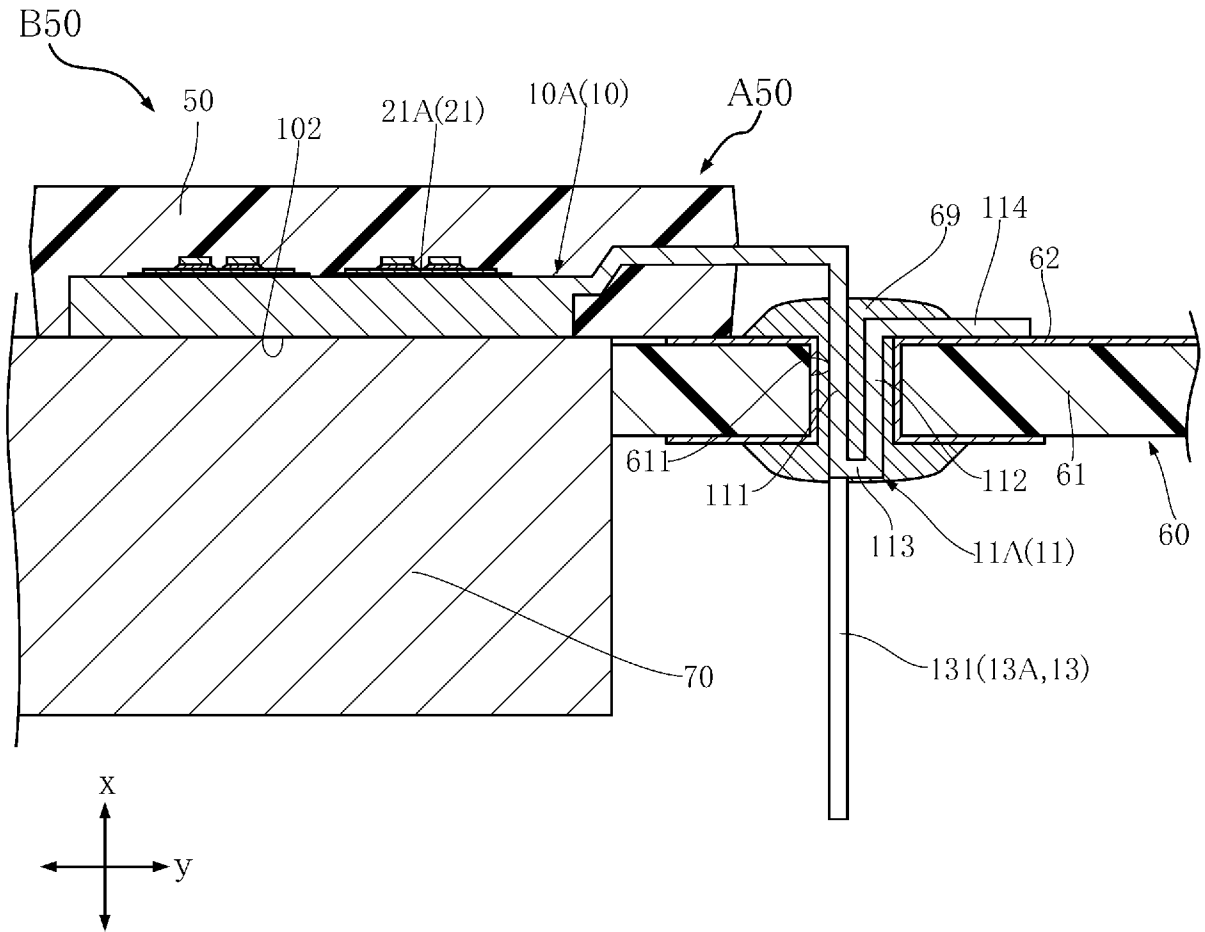


[19]
FIG.19



[20]
FIG.20



[]23]
FIG.23

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/044545

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 23/48</i> (2006.01)i; <i>H01L 23/36</i> (2006.01)i; <i>H01L 25/07</i> (2006.01)i; <i>H01L 25/18</i> (2023.01)i FI: H01L23/48 R; H01L23/48 L; H01L25/04 C; H01L23/36 Z; H01L23/48 G		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L23/48; H01L23/36; H01L25/07; H01L25/18		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2021/131611 A1 (ROHM CO., LTD.) 01 July 2021 (2021-07-01) paragraphs [0009]-[0043], fig. 1-6	1-17
Y	JP 2000-208896 A (FUJI ELECTRIC CO LTD) 28 July 2000 (2000-07-28) paragraphs [0002]-[0005], [0012]-[0016], fig. 1-2	1-2, 4, 6-17
Y	US 2016/0365296 A1 (INFINEON TECHNOLOGIES AG) 15 December 2016 (2016-12-15) paragraphs [0018]-[0031], fig. 1-3	16-17
Y	JP 32-7516 Y1 (TOKYO TSUSHIN KOGYO KK) 19 July 1957 (1957-07-19) p. 1, left column, line 5 to right column, line 16, fig. 1-2	1-3, 5
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 11809/1982 (Laid-open No. 116221/1983) (NICHICON CAPACITOR LTD.) 08 August 1983 (1983-08-08), column 3, line 2 to column 4, line 8, fig. 5-7	3
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 February 2023		Date of mailing of the international search report 14 February 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/044545

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2021/131611	A1	01 July 2021	US 2022/0375903 A1 paragraphs [0027]-[0061], fig. 1-6 CN 114868246 A	
JP	2000-208896	A	28 July 2000	(Family: none)	
US	2016/0365296	A1	15 December 2016	DE 102015109073 A1 paragraphs [0018]-[0021], fig. 1-3 CN 106252301 A	
JP	32-7516	Y1	19 July 1957	(Family: none)	
JP	58-116221	U1	08 August 1983	(Family: none)	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 23/48(2006.01)i; H01L 23/36(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2023.01)i FI: H01L23/48 R; H01L23/48 L; H01L25/04 C; H01L23/36 Z; H01L23/48 G</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC）） H01L23/48; H01L23/36; H01L25/07; H01L25/18</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2023年																			
日本国実用新案登録公報	1996 - 2023年																			
日本国登録実用新案公報	1994 - 2023年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>WO 2021/131611 A1 (ローム株式会社) 01.07.2021 (2021 - 07 - 01) 段落[0009]-[0043], 図1-6</td> <td>1-17</td> </tr> <tr> <td>Y</td> <td>JP 2000-208896 A (富士電機株式会社) 28.07.2000 (2000 - 07 - 28) 段落[0002]-[0005], [0012]-[0016], 図1-2</td> <td>1-2, 4, 6-17</td> </tr> <tr> <td>Y</td> <td>US 2016/0365296 A1 (INFINEON TECHNOLOGIES AG) 15.12.2016 (2016 - 12 - 15) 段落[0018]-[0031], 図1-3</td> <td>16-17</td> </tr> <tr> <td>Y</td> <td>JP 32-7516 Y1 (東京通信工業株式会社) 19.07.1957 (1957 - 07 - 19) 第1頁左欄第5行-右欄第16行, 第1-2図</td> <td>1-3, 5</td> </tr> <tr> <td>Y</td> <td>日本国実用新案登録出願57-11809号(日本国実用新案登録出願公開58-116221号)の願 書に添付した明細書及び図面の内容を撮影したマイクロフィルム (日本コンデンサ工 業株式会社) 08.08.1983 (1983-08-08) 第3欄第2行-第4欄第8行, 第5-7図</td> <td>3</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	WO 2021/131611 A1 (ローム株式会社) 01.07.2021 (2021 - 07 - 01) 段落[0009]-[0043], 図1-6	1-17	Y	JP 2000-208896 A (富士電機株式会社) 28.07.2000 (2000 - 07 - 28) 段落[0002]-[0005], [0012]-[0016], 図1-2	1-2, 4, 6-17	Y	US 2016/0365296 A1 (INFINEON TECHNOLOGIES AG) 15.12.2016 (2016 - 12 - 15) 段落[0018]-[0031], 図1-3	16-17	Y	JP 32-7516 Y1 (東京通信工業株式会社) 19.07.1957 (1957 - 07 - 19) 第1頁左欄第5行-右欄第16行, 第1-2図	1-3, 5	Y	日本国実用新案登録出願57-11809号(日本国実用新案登録出願公開58-116221号)の願 書に添付した明細書及び図面の内容を撮影したマイクロフィルム (日本コンデンサ工 業株式会社) 08.08.1983 (1983-08-08) 第3欄第2行-第4欄第8行, 第5-7図	3
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
Y	WO 2021/131611 A1 (ローム株式会社) 01.07.2021 (2021 - 07 - 01) 段落[0009]-[0043], 図1-6	1-17																		
Y	JP 2000-208896 A (富士電機株式会社) 28.07.2000 (2000 - 07 - 28) 段落[0002]-[0005], [0012]-[0016], 図1-2	1-2, 4, 6-17																		
Y	US 2016/0365296 A1 (INFINEON TECHNOLOGIES AG) 15.12.2016 (2016 - 12 - 15) 段落[0018]-[0031], 図1-3	16-17																		
Y	JP 32-7516 Y1 (東京通信工業株式会社) 19.07.1957 (1957 - 07 - 19) 第1頁左欄第5行-右欄第16行, 第1-2図	1-3, 5																		
Y	日本国実用新案登録出願57-11809号(日本国実用新案登録出願公開58-116221号)の願 書に添付した明細書及び図面の内容を撮影したマイクロフィルム (日本コンデンサ工 業株式会社) 08.08.1983 (1983-08-08) 第3欄第2行-第4欄第8行, 第5-7図	3																		
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																				
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しく は他の特別な理由を確立するために引用する文献（理由を 付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>																				
<p>国際調査を完了した日</p> <p>06.02.2023</p>	<p>国際調査報告の発送日</p> <p>14.02.2023</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>平林 雅行 5F 6310</p> <p>電話番号 03-3581-1101 内線 3516</p>																			

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/044545

引用文献			公表日	パテントファミリー文献	公表日
WO	2021/131611	A1	01.07.2021	US 2022/0375903 A1 段落[0027]-[0061], 図1-6 CN 114868246 A	
JP	2000-208896	A	28.07.2000	(ファミリーなし)	
US	2016/0365296	A1	15.12.2016	DE 102015109073 A1 段落[0018]-[0021], 図1-3 CN 106252301 A	
JP	32-7516	Y1	19.07.1957	(ファミリーなし)	
JP	58-116221	U1	08.08.1983	(ファミリーなし)	