

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3733298号
(P3733298)

(45) 発行日 平成18年1月11日(2006. 1. 11)

(24) 登録日 平成17年10月21日(2005. 10. 21)

(51) Int. Cl.	F I		
G 1 1 C 29/12 (2006. 01)	G 1 1 C 29/00	6 7 1 Z	
H O 1 L 21/66 (2006. 01)	H O 1 L 21/66	B	
G O 1 R 31/28 (2006. 01)	H O 1 L 21/66	Z	
G 1 1 C 11/401 (2006. 01)	G O 1 R 31/28	B	
	G O 1 R 31/28	U	
請求項の数 13 (全 12 頁) 最終頁に続く			

(21) 出願番号	特願2001-107638 (P2001-107638)	(73) 特許権者	599158797
(22) 出願日	平成13年4月5日(2001. 4. 5)		インフィネオン テクノロジース アクチ
(65) 公開番号	特開2001-357698 (P2001-357698A)		エンゲゼルシャフト
(43) 公開日	平成13年12月26日(2001. 12. 26)		ドイツ連邦共和国 ミュンヘン ザンクト
審査請求日	平成13年4月5日(2001. 4. 5)		マルティン シュトラーセ 53
(31) 優先権主張番号	10016996.1	(74) 代理人	100061815
(32) 優先日	平成12年4月5日(2000. 4. 5)		弁理士 矢野 敏雄
(33) 優先権主張国	ドイツ(DE)	(74) 代理人	100094798
前置審査			弁理士 山崎 利臣
		(74) 代理人	100099483
			弁理士 久野 琢也
		(74) 代理人	230100044
			弁護士 ラインハルト・アインゼル
		最終頁に続く	

(54) 【発明の名称】 半導体チップの機能検査用テスト装置

(57) 【特許請求の範囲】

【請求項1】

半導体チップの機能検査用テスト装置であって、
半導体ディスク（10）と、複数の半導体チップ（1）と、エネルギー源（3）とを有し、

前記複数の半導体チップ（1）は前記半導体ディスク（10）の表面に配置されており、
各半導体チップ（1）は自己テストユニット（2）を有し、

該自己テストユニットは半導体チップの機能テストのためのテスト情報を発生し、

前記各半導体チップには、当該半導体チップ（1）の機能能力を検査するために機能テストが実施され、

前記エネルギー源（3）は半導体チップ（1）に対して電気エネルギーを供給し、

当該エネルギー源（3）は少なくとも1つのソーラーセル（30）を有し、これにより半導体チップ（1）に対する動作電流（IB）を各半導体チップ（1）上で無接点供給された光ビーム（31）により形成し、

前記ソーラーセル（30）は前記半導体ディスク（10）の全表面を覆うように半導体ディスクの上に配置されており、

半導体ディスク（10）の表面とソーラーセル（30）との間にはビーム吸収性層（12）が配置されており、該ビーム吸収性層（12）はすくなくとも1つのスルーコンタクト（13）を有し、該スルーコンタクトにより半導体チップはソーラーセルと接続されており、

10

20

スルーコンタクト（１３）とビーム吸収性層（１２）との境界にはpn接合部（１４）がスルーコンタクト（１３）に沿って配置されており、これにより電流がスルーコンタクトと半導体ディスク（１０）との間で流れるのが阻止される、ことを特徴とするテスト装置。

【請求項２】

半導体チップ（１）は、データ（ＤＡ）を無接点伝送するために機能ユニット（４）を有し、

前記データはテスト実行および／またはテスト結果についての情報を含んでいる、請求項１記載のテスト装置。

【請求項３】

10

機能ユニット（４）は、光学ビームパルス（４１）を伝送すべきデータ（ＤＡ）に相応して形成するように構成されており、

該データは受信器（５）により半導体チップ（１）の外で受信される、請求項２記載のテスト装置。

【請求項４】

機能ユニット（４）は出力端子（Ａ）を有し、

該出力端子を介して伝送すべきデータ（ＤＡ）が容量性結合によって受信器（５）に半導体チップ（１）の外側で伝送される、請求項２記載のテスト装置。

【請求項５】

20

材料（４２）は機能ユニット（４）の端子（Ａ）と接続されており、

該端子には機能ユニット（４）により制御される電位（ＵＡ）が伝送すべきデータ（ＤＡ）に相応して印加され、

前記材料（４２）は、前記電位（ＵＡ）により制御されて、光学ビーム（４３）を光学的に屈折（ α ）させ、

前記材料（４２）には光学ビームが照射され、

前記材料（４２）により屈折された光学ビーム（４４）は受信器（５）により半導体チップ（１）の外で受信される、請求項２記載のテスト装置。

【請求項６】

半導体チップ（１）は電圧検知器（６）または電流検知器（６）を有し、

該検知器はエネルギー源（３）および機能ユニット（４）と接続されており、機能ユニット（４）によるデータ伝送を特徴的電圧経過ないし電流経過の検知に基づいてトリガする、請求項２から５までのいずれか１項記載のテスト装置。

30

【請求項７】

半導体チップ（１）は不揮発性メモリユニット（７）を、データ（ＤＡ）の記憶のために有し、

該データはテスト実行および／またはテスト結果についての情報を含み、

前記不揮発性メモリユニット（７）は半導体チップ（１）の端子（ＥＸ）と接続されており、

該端子を介してメモリユニット（７）のデータ（ＤＡ）を半導体チップ（１）の外側へ取り出すことができる、請求項１から６までのいずれか１項記載のテスト装置。

40

【請求項８】

テスト装置は複数のテストすべき半導体チップ（１）を有し、

テストすべき半導体チップ（１）の１つは機能テストの間、エネルギー供給の点でそれぞれ別の半導体チップ（１）から分離される、請求項１から７までのいずれか１項記載のテスト装置。

【請求項９】

テスト装置は複数のテストすべき半導体チップ（１）を有し、

複数のテストすべき半導体チップ（１）に対するテスト装置は共通のエネルギー源（３）を有し、

テストすべき半導体チップ（１）はそれぞれ１つの電流制限回路（３２）を有し、これ

50

により動作電流（ I_B ）が限界値を上回る場合、それぞれの半導体チップ（1）をエネルギー源（3）から電氣的に分離する、請求項1から8までのいずれか1項記載のテスト装置。

【請求項10】

半導体チップ（1）は電圧検知器（6）または電流検知器（6）を有し、

該検知器はエネルギー源（3）および自己テストユニット（2）と接続されており、かつ特徴的電圧経過ないし電流経過を検知すると機能テストをトリガする、請求項1から9までのいずれか1項記載のテスト装置。

【請求項11】

半導体チップ（1）は集積メモリを有し、

該集積メモリは、機能テストの実施されるメモリセル（MC）を有し、

半導体チップ（1）は、テスト情報を形成し、かつメモリセル（MC）の機能テストを実施する自己テストユニット（2）を有する、請求項1から7までのいずれか1項記載のテスト装置。

【請求項12】

集積メモリは、通常メモリセル（MC）と、該通常メモリセル（MC）を置換するための冗長的メモリセル（RMC）とを有し、

前記自己テストユニット（2）は、通常メモリセル（MC）の機能能力を検査し、どの通常メモリセル（MC）をどの冗長的メモリセル（RMC）により置換すべきかを分析し、冗長的メモリセル（RMC）を前記分析結果に相応してアクティブ化するように構成されている、請求項11記載のテスト装置。

【請求項13】

集積メモリは電氣的にプログラミング可能なメモリユニット（9）を、前記冗長的メモリセル（RMC）のアクティブ化のために有し、

前記メモリユニット（9）には、前記自己テストユニット（2）により検出された修復結果がプログラミングされる、請求項12記載のテスト装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体チップの機能検査を行うためのテスト装置に関する。この半導体チップにはその機能能力を検査するために機能テストを実施することができる。

【0002】

【従来の技術】

半導体チップの製造中に半導体チップには一般的に少なくとも一度機能テストが実施され、この機能テストでこの半導体チップの機能能力が検査される。ここでは半導体チップは例えば外部検査装置により検査され、テスト情報が形成され、機能テストが実施される。テスト情報はここで半導体チップに書き込まれ、読み出されたデータと比較される。

【0003】

例えば集積半導体メモリの機能検査は通常、複数のステップで行われる。第1のテスト装置でハウジングされていない半導体チップの機能テストを行う。この半導体チップは通常、半導体ディスクに配置されている（いわゆるディスクテストまたはウェハ・レベルテスト）。このテストは一般的には複雑なテストシステムで複数の半導体チップに対して並列的に実施され、これによりテスト時間およびテストコストを低く保っている。別のテスト装置ではハウジングされた半導体チップでの機能テストが行われる（いわゆる構成素子テスト）。

【0004】

半導体メモリではテスト時間およびテスト作業が一般的にメモリ密度の上昇と共に格段に上昇し、従ってテストコストおよび製造コストが上昇する。外部テスト機器をディスクテストに使用する場合には、一般的に制限された数の制御チャネルを介し、いわゆるニードルカード技術（いわゆるプローブカード）を用いてテスト信号、制御信号および動作電圧

10

20

30

40

50

ないし動作電流が供給される。並列に検査すべきメモリチップの数は、ニードルカード技術での機械的問題により、例えば動作電圧を供給するために制限される。

【0005】

【発明が解決しようとする課題】

本発明の課題は、半導体チップの機能検査のためのテスト装置を提供し、このテスト装置によって、実施すべき機能テストのためのテスト時間およびテストコストを比較的低く維持することができるようにすることである。

【0006】

【課題を解決するための手段】

この課題は、半導体チップの機能検査用テスト装置であって、
半導体ディスクと、複数の半導体チップと、エネルギー源とを有し、
前記複数の半導体チップは前記半導体ディスクの表面に配置されており、各半導体チップは自己テストユニットを有し、

該自己テストユニットは半導体チップの機能テストのためのテスト情報を発生し、

前記各半導体チップには、当該半導体チップの機能能力を検査するために機能テストが実施され、

前記エネルギー源は半導体チップに対して電気エネルギーを供給し、

当該エネルギー源は少なくとも1つのソーラーセルを有し、これにより半導体チップに対する動作電流を各半導体チップ上で無接点供給された光ビームにより形成し、

前記ソーラーセルは前記半導体ディスクの全表面を覆うように半導体ディスクの上に配置されており、

半導体ディスクの表面とソーラーセルとの間にはビーム吸収性層が配置されており、該ビーム吸収性層はすくなくとも1つのスルーコンタクトを有し、該スルーコンタクトにより半導体チップはソーラーセルと接続されており、

スルーコンタクトとビーム吸収性層との境界にはpn接合部がスルーコンタクトに沿って配置されており、これにより電流がスルーコンタクトと半導体ディスクとの間で流れるのが阻止される、ことを特徴とするテスト装置により解決される。

【0007】

【発明の実施の形態】

本発明のテスト装置によって、基本的には任意に多数の検査すべき半導体チップを並列的に機能能力についてテストすることができる。自己テストユニットにより、外部テスト機器に依存しないでテスト情報を形成し、機能テストを実施することができる。従って検査すべき半導体チップを、テスト信号または制御信号に対する外部端子を介して外部テスト装置と接続する必要がない。なぜならさらに、無接点供給されたエネルギーから電気エネルギーを供給するためのエネルギー源が支持体材料、例えば半導体ディスクに配置されており、半導体チップと接続されているので、動作電圧および／または動作電流を供給するための外部端子を省略できるからである。並列的に検査すべき半導体チップの数はこれにより、例えばニードルカード技術での機械的問題により制限されなくなる。テストコストないし製造コストは付加的に低減される。なぜなら外部テスト機器が必要ないからである。

【0008】

複数の半導体チップが例えば1つの半導体ディスクに配置されていれば、半導体ディスクの半導体チップの他に、複数の半導体ディスクないしそこに取り付けられた半導体チップに並列的機能テストを実施することができる。このテストは本発明のテスト装置により無接触ディスクテストとして実施することができる。

【0009】

本発明の改善形態では、エネルギー源が少なくとも1つのソーラーセルを有し、これが動作電流を、テストすべき半導体チップ上で無接点供給される光学ビームにより形成する。ソーラーセルはこのために例えば可視光線により照射され、これにより電流が形成され、この電流が動作電流として半導体チップ上で用いられる。

【0010】

検査すべき複数の半導体チップが1つの半導体ディスク上に設けられているテスト装置では、ソーラセルは実施例では半導体ディスクのスリットフレームに配置されている。このスリットフレームは半導体ディスク上の半導体チップを相互に分離する。このスリットフレームに沿って比較的后での製造プロセスで半導体チップが相互に分離される。この分離は半導体ディスクをスリットフレームに沿って相互に切り出す（いわゆるダイシング）ことにより行われる。このために必要な、半導体ディスク上でのスペースは、有利にはソーラセルをスリットフレームに配置することにより利用することができる。ソーラセルは半導体チップの後での動作に対してはもはや必要ないから、半導体ディスクを後でダイシングする際にソーラセルが破壊されても支障はない。

10

【0011】

ソーラセルによって十分な電流を形成できるようにするため、比較的に大きな面がソーラセルに対して必要である。このことによりスリットフレームが必然的に拡大し、そのため半導体ディスク上の半導体チップの数は一般的に低減する。この欠点はテストコストが節約されることと比較考慮しなければならない。

【0012】

本発明の別の実施例では、ソーラセルが検査すべき半導体チップの取り付けられた半導体ディスクの表面上に平坦に配置される。ソーラセルの光子収穫率が100%の場合、このソーラセルを半導体ディスクないし半導体チップの上に直接取り付けることができる。しかしソーラセルが僅かに透過性である場合、ソーラセルと半導体チップとの間にビーム吸収性層を設け、チップ上での電荷担体形成を回避するのが有利である。

20

【0013】

本発明の別の有利な実施例では、ソーラセルを支持体材料の表面に配置する。ここでこの表面は、テストすべき半導体チップとは反対側の表面である。従ってソーラセルが支持体材料、例えば半導体ディスクの裏側に配置される場合、ソーラセルを半導体ディスクの基板を通して半導体ディスクの他方の側へスルーコンタクトしなければならない。支持体材料ないし半導体ディスクとスルーコンタクトとの境界では、電流バリアがpn接合部の形態でスルーコンタクトに沿って配置され、これにより電流がスルーコンタクトと半導体ディスクとの間に流れることが回避される。スルーコンタクトを簡単に形成するため、半導体ディスクを場合より所要の程度まで薄くしなければならない。ソーラセルが部分透過性の場合、ここでは電荷担体形成を回避するためにソーラセルと半導体チップとの間にビーム吸収性層を配置することが必要である。

30

【0014】

ソーラセルをエネルギー形成のために、テストすべき半導体チップ上で使用する場合には、一般的に所与の面積で十分な動作電流を形成できなければならない。これは半導体チップを機能テスト中にドライブするためである。一般的には書き込みテストを実施するために機能テストは実施されない。この機能テストは動作周波数の点で脆弱である。すなわちここでは一般的に低い動作周波数でテストすることができる。このことにより動作電流が比較的に低く保たれる。従ってソーラセルの電流駆動能力に対する要求が緩和される。例えばメモリチップのテストの際に、全テスト時間はメモリセルに対するいわゆるリテンションテストによって殆ど決められ、動作周波数自体による部分は比較的僅かである。半導体ディスク上にある全てのチップは並列的にテストできるから、機能テスト中の動作周波数が低くても殆ど影響がない。

40

【0015】

半導体チップは短絡の場合、比較的に大きな電流を必要とすることがある。機能テストの障害を回避するため、半導体ディスクに配置された欠陥のあるチップは有利には並列テスト中に、半導体ディスクの他の機能能力のあるチップからエネルギー供給の点で分離される。このことは、半導体チップ毎に別個のソーラセルを使用し、これらを1つの半導体チップに配置することにより達成される。

【0016】

50

テストすべき複数の半導体チップの電流供給に共通のエネルギー源を使用する場合、テストすべきチップは有利にはそれぞれ1つの電流制限回路を有する。この電流制限回路は、それぞれの半導体チップをエネルギー源から、動作電流が限界値を上回る際に分離するためのものである。テストすべきチップの電流消費が例えば短絡の場合で限界値より上にある場合、テストすべきチップはそれ以上テストされず、エネルギー供給源から電流制限回路によって分離される。

【0017】

製造コストをできるだけ低くすることに興味がある場合、ソーラセルの形成ないし堆積のためのプロセスステップを、半導体チップを製造するためプロセスステップに組み込むと有利である。このことはとりわけ使用すべき材料およびプロセス温度の点で当てはまる。

10

【0018】

ソーラセルに対して所要の面積をできるだけ小さくするため、ビーム源ないし光源はできるだけ高いエネルギー密度を有するべきである。さらにこのエネルギー密度はソーラセルの電力特性に適合しなければならない。ビーム源は例えばUV光源または拡張されたレーザビームにより実現することができる。

【0019】

機能テストの実施および／またはテスト結果についての情報を評価すべき場合、これらを同様に無接点で例えば外部評価装置に伝送しなければならない。ここでテスト情報は最も簡単な場合、いわゆる合格情報または欠陥情報とすることができる。この情報は、テストされた半導体チップが正常に機能するか否かを指示する。評価すべきデータはさらに、速度等級への配分情報または類似の分類基準についての情報を含むことができる。

20

【0020】

テストすべき半導体チップが、半導体チップ上での既存の冗長性により、例えば自己テストユニットによって修復可能であれば、修復についての詳細な情報を得て、チップ上のエラー密度についての予測を行うことができる。従って例えばテストすべきメモリチップにおいてエラーのあるメモリセルのアドレスを検出し、既存の冗長性のいくつかは修復のために使用されたかを評価できる。

【0021】

テストの実施および／またはテスト結果についてのテスト情報を伝送および評価するため、半導体チップは本発明の実施例では機能ユニットを有する。この機能ユニットは、読み出すべきテスト情報を含むデータを無接点伝送するためのものである。

30

【0022】

機能ユニットはこのために例えば光学的ビームパルスを送信すべきデータに相応して形成するよう構成されている。ビームパルスは受信器により半導体チップの外側で受信可能である。このために例えば半導体レーザが半導体チップに設けられており、この半導体レーザは相応のビームパルスを形成する。ここでは散乱光を十分に遮へいすることと、受信器のキャリブレーションに、ソーラセルを使用する際に注意すべきである。これは読み出すべき信号を電流形成のための照明下でも確実に検知できるようにするためである。半導体レーザは例えばチップの接続パッドの個所に設けられる。このパッドはビームを放射するために開放されていなければならない。検出すべきビームパルスは例えばレーザ光によって形成することができる。このレーザ光は、半導体ディスクの表面に対して斜めに照射する。

40

【0023】

本発明の別の実施例では、機能ユニットが出力端子を有し、この出力端子を介して送信すべきデータが容量性結合により受信器へ、半導体チップの外でも伝送可能である。そのために、例えば出力パッドの形態の出力端子には検査用先端部が比較的小さな間隔で対向されており、伝送すべき情報を容量結合により伝送する。ソーラセルを半導体ディスクの表面（この表面は検査すべき半導体チップ側の表面である）に配置する場合、検査用先端部の構成はディスク表面の十分な照明を許容しなければならない。

【0024】

50

本発明の別の実施例では、材料、例えば半導体材料が機能ユニットの端子と接続されており、この端子には機能ユニットにより制御可能な電位が伝送すべきデータに相応して印加される。ここでこの材料は、電位により制御可能な光学的屈折を入射される光学ビームに及ぼす。材料はこのために光学ビームにより照射され、材料によって屈折された光学ビームは受信器により半導体チップの外で受信される。従って電子光学的制御により電子的漂遊電界を機能ユニットの端子で使用するによって、相応の材料の屈折率を変化することができる。ここで屈折率は印加される電位により変化し、この電位は機能ユニットにより制御される。このことにより生じた屈折角度の差は受信器により評価される。

【0025】

読み出すべきテスト情報の伝送をスタートするため、半導体チップは有利な実施例では、電圧検知器または電流検知器を有する。これらはエネルギー源および機能ユニットと接続されている。特徴的電圧経過ないし電流経過が発生する場合、データ伝送は機能ユニットによりトリガされる。このために必要な電圧強度経過ないし電流強度経過はビーム強度の相応の変化によって形成される。

10

【0026】

別の実施形態では、電圧検知器ないし電流検知器がエネルギー源および自己テストユニットと接続されており、検知された特徴的電圧経過ないし電流経過によって機能テストの開始が自己テストユニットによりトリガされる。

【0027】

情報を例えば外部の検査装置から検査すべき半導体チップへテストフローの開始時に転送することは必ずしも必要ではない。これらの情報は例えばROMにファイルすることができる。情報は機能テストのために自己テストユニットにより読み出される。

20

【0028】

本発明の別の実施例では、半導体チップが不揮発性メモリユニットを有し、これにテスト実施および／またはテスト結果についての情報を含むデータを記憶する。このデータを読み出すため、不揮発性メモリユニットは半導体チップの端子と接続され、この端子を介してメモリユニットのデータを半導体チップの外側へ取り出すことができる。この実施例がとりわけ有利であるのは機能テストの場合である。この機能テストではテスト情報が制限された範囲で読み出される。この情報は例えば電氣的にプログラミング可能なフューズに不揮発性に記憶される。次のテストステップ、例えば書き込みテストが実行される構成素子テストで、この情報を読み出すことができる。

30

【0029】

半導体チップの別の改善形態では、半導体チップが集積メモリを有し、この集積メモリが機能テストを実施することのできるメモリセルを含む。自己テストユニットはこのために、テスト情報を形成し、メモリセルの機能テストを実行するように構成されている。この自己テストユニットは、機能テストに対して必要ないわゆるテストパターンおよびタイミングを形成する。

【0030】

実施例の集積メモリが通常メモリセルの他に冗長的メモリセルを、通常メモリセルと置換するために有していれば、欠陥のある通常メモリセルの修復を行うことができる。自己テストユニットにより通常メモリセルの機能能力が検査され、引き続いて分析が実行される。この分析は、どの通常メモリセルをどの冗長的メモリセルにより置換すべきかという分析である。メモリの検出されたエラー像からの計算によって修復情報が形成される。相応する冗長的アルゴリズムはこのために適切に自己テストユニットにファイルされる（例えばROMに）。修復情報を検出した後、冗長的メモリセルは分析結果に相応して自己テストユニットによりアクティブ化される。このアクティブ化は別の実施例では電氣的にプログラミング可能なメモリユニットにより行うことができる。このメモリユニットでは自己テストユニットにより検出された修復結果をプログラミングすることができる。メモリチップの前記の修復はとりわけDRAMおよびeDRAMで使用するすることができる。

40

【0031】

50

さらなる有利な構成は従属請求項の対象である。

【0032】

【実施例】

図1は半導体チップ1を示す。この半導体チップはここでは集積メモリとして構成されている。メモリはマトリクス状のメモリセルフィールド8を有し、このメモリセルフィールドは通常メモリセルMCと、エラーのある通常メモリセルMCを置換するための冗長的メモリセルRMCを有する。これらのメモリセルはそれぞれ行線路と列線路に沿って配置されている。半導体チップ1はさらに自己テストユニット2を有する。これはBIST (Built - In -Self Test)とも称せられ、テスト情報を形成し、通常メモリセルMCの機能テストを実行するためのものである。このために例えば検査パターン（いわゆるパターン）がメモリセルフィールド8に書き込まれ、読み出されたデータと比較される。ここで自己テストユニット2は通常メモリセルMCの機能能力を検査する。自己テストユニット2によりさらに制御信号の電圧レベルが形成される。自己テストユニット2はさらに、どの通常メモリセルMCをどの冗長的メモリセルRMCにより置換すべきかという分析を実行する。この分析が行われると、修復情報が記憶される。

10

【0033】

メモリチップ1はこのために電氣的にプログラミング可能なメモリユニット9を有する。このメモリユニットには、自己テストユニット2により検出された修復結果をプログラミングすることができる。電氣的にプログラミング可能なメモリユニット9は例えばいわゆる電氣的フューズとして構成することができ、このフューズは同様に自己テストユニット2によりプログラミングすることができる。メモリユニット9には例えばエラーのある通常メモリセルMCのアドレスが記憶されている。エラーのある通常メモリセルMCを置換するために相応の冗長的メモリセルRMCがメモリユニット9によりアクティブ化される。

20

【0034】

電気エネルギー供給を半導体チップ1上で行うためにエネルギー源3が設けられている。このエネルギー源はエネルギー供給を無接点で供給されたエネルギーから行う。エネルギー源3はこの実施例では半導体チップ1上に配置されている。エネルギー源3は電圧検知器または電流検知器6と接続されており、この検知器は動作電圧UBないし動作電流IBの特徴的電圧経過ないし電流経過を検知することができる。電圧検知器ないし電流検知器6は自己テストユニット2と接続されており、特徴的電圧経過ないし電流経過の検知に続いて機能テストをトリガする。

30

【0035】

半導体チップ1はさらに機能ユニット4を有する。この機能ユニットはデータDAを無接点で伝送するように構成されている。このデータはテスト実行および／またはテスト結果についての情報を含む。機能ユニット4は例えば半導体レーザを有し、この半導体レーザによって光学的ビームパルス41を伝送すべきデータDAに相応して形成することができる。光学的ビームパルス41は受信器5により半導体チップ1の外で受信される。機能ユニット4は自己テストユニット2と接続されている。機能ユニット4はさらに電圧検知器または電流検知器6と接続されており、この検知器は特徴的電圧経過ないし電流経過を検知すると機能ユニット4によるデータ伝送をトリガする。

40

【0036】

別の実施例では機能ユニット4は、例えば端子パッドの形態の出力端子Aを有する。この出力端子を介して伝送すべきデータDAは容量性結合により受信器5に伝送される。受信器5はこのために適切な検査用先端部を有する。この検査用先端部は端子Aに対して十分に小さな間隔をおいて配置されている。

【0037】

半導体チップ1はさらに不揮発性メモリユニット7を、データDAの記憶のために有する。メモリユニット7は半導体チップの端子EXと接続されている。端子EXからは例えば構成素子テスト中に、メモリユニット7に記憶されたデータDAが読み出される。

50

【0038】

図2にはテスト装置の実施形態が電気的基本回路として示されている。エネルギー源3はここではソーラセル30を有し、これにより動作電流IBを半導体チップ1上で、無接点供給された光学ビーム31によって形成することができる。ソーラセル30の電流パッドには電流制限回路32が設けられている。この電流制限回路は、動作電流IBが限界値を上回るとき、半導体チップ1をソーラセル30から分離する。このことはとりわけ次の場合に有利である。すなわち、ソーラセル30が共通のエネルギー源として複数のテストすべき半導体チップに対して使用される場合に有利である。従い例えば短絡の場合に他のテストすべき半導体チップに影響が及ぼされない。なぜならエラーのあるチップは電流制限回路32によってエネルギー供給から分離されるからである。

10

【0039】

図3にはテスト装置の別の実施例が示されている。半導体チップ1は材料42を有し、この材料は光学ビーム43により照射される。このとき光学ビーム43の光学的屈折が電位UAにより制御される。その結果、屈折された光学ビーム44には種々異なる屈折角度 α が生じる。屈折されたビーム44は受信器5により半導体チップ1の外側で受信される。材料42は機能ユニット4の端子Aと接続されており、この端子には電位UAが印加される。この電位は、伝送すべきデータDAに相応して制御される。すなわち屈折角度 α は伝送すべきデータDAに依存して変化される。従って漂遊電界は端子Aにおいてそこに印加される電位UAにより電子光学的制御を用いて使用される。

【0040】

20

図4は、複数の半導体チップ1の構成の実施例を示す。この複数の半導体チップ1は支持体10に配置されている。支持体10は図4では半導体ディスクとして例えばウェハの形態に構成されている。半導体ディスク10はスリットフレーム11を有し、このスリットフレームにはソーラセル30が配置されている。半導体チップ1はスリットフレーム11に沿って製造の後の時点で切り出される。

【0041】

図5aは別の実施例において、基板ないし半導体ディスク10に複数の半導体チップ1が配置されている構成の断面を示す。ここでソーラセル30はまったく平坦に半導体ディスク10の表面上に配置されている。ソーラセル30と半導体ディスク10との間には、ビーム吸収性層12が取り付けられている。ソーラセル30がビームを下方へ半導体ディスク10へ通過させる場合には、ビーム吸収性層12によって半導体チップ1上での電荷担体形成が回避される。

30

【0042】

図5bは、ソーラセル30が基板ないし半導体ディスク10の下側表面に配置されている構成の別の実施例を示す。この下側表面は半導体チップ1とは反対側の表面である。ソーラセル30とそれぞれの半導体チップ1との間では導電性スルーコンタクト13が基板に配置されている。ここでは例えばただ1つのスルーコンタクト13が示されている。スルーコンタクト13と基板との境界にはpn接合部14がスルーコンタクト13に沿って配置されている。ここでpn接合部14は、電流がスルーコンタクト13と基板との間で流れるのを阻止するために用いる。スルーコンタクト13とpn接合部14は、図5aのビーム吸収性層12と同じ目的で同じように配置されている。このビーム吸収性層は図5bの構成でも付加的に設けることができる。

40

【図面の簡単な説明】

【図1】本発明のテスト装置の実施例である。

【図2】テスト装置の別の詳細な実施例である。

【図3】テスト装置の別の詳細な実施例である。

【図4】ソーラセルの配置についての本発明の実施例である。

【図5】ソーラセルの配置についての本発明の実施例である。

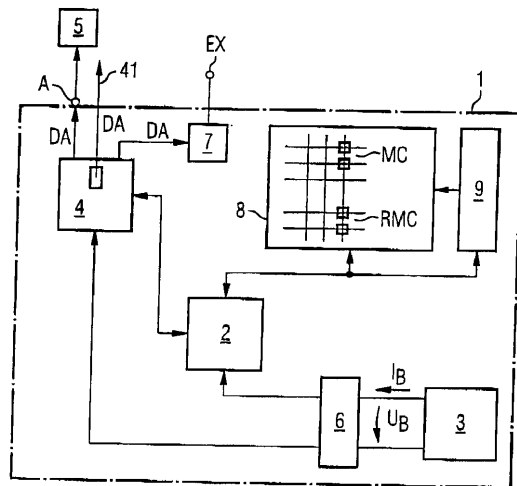
【符号の説明】

1 半導体チップ

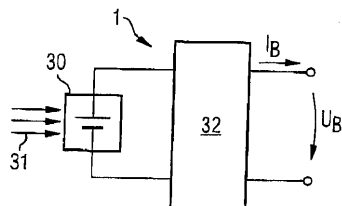
50

- 10 半導体ディスク
- 13 スルーコンタクト
- 14 p n 接合部
- 30 ソーラセル

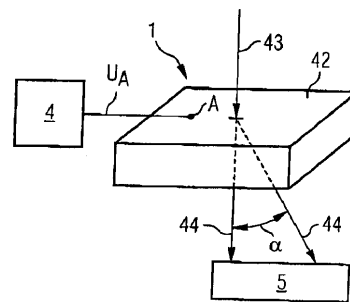
【図 1】



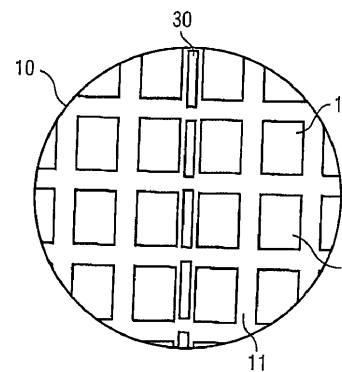
【図 2】



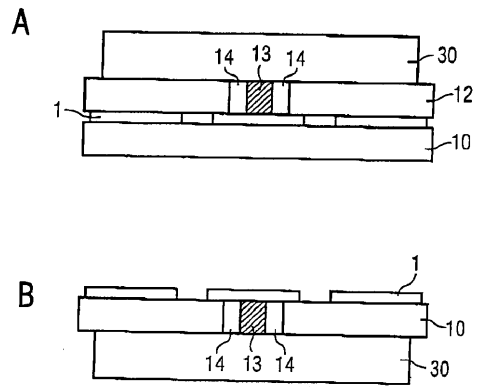
【図 3】



【図 4】



【図 5】



フロントページの続き

(51)Int.Cl. F I
G 1 1 C 11/34 3 7 1 A
G 1 1 C 11/34 3 7 1 D

(72)発明者 ディーター カンツ
ドイツ連邦共和国 ミュンヘン ハイグルホーフシュトラッセ 4 5
(72)発明者 ヨーヘン ミュラー
ドイツ連邦共和国 ミュンヘン ハンスヤーコプシュトラッセ 1 0 5

審査官 小松 正

(56)参考文献 特開平04-199726 (JP, A)
特開2000-048131 (JP, A)
実開昭58-182444 (JP, U)
特開平05-264672 (JP, A)
特開平11-068209 (JP, A)
実開平02-110339 (JP, U)
特開平06-084393 (JP, A)
特開2000-188311 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G11C 29/00
G01R 31/28-31/3193
H01L 21/66