

(19)中华人民共和国国家知识产权局



(12)发明专利

(10) 授权公告号 CN 104112475 B

(45)授权公告日 2017.02.15

(21)申请号 201410346457.8

(74)专利代理机构 北京中济纬天专利代理有限

公司 11429

(22)申请日 2014.07.21

代理人 胡伟华

(65) 同一申请的已公布的文献号

申请公布号 CN 104112475 A

(43)申请公布日 2014.10.22

(73)专利权人 中国人民解放军国防科学技术大学

地址 410073 湖南省长沙市开福区德雅路
109号

专利权人:湖南垦芯源微电子科技有限公司

(72)发明人 李建成 尚靖 李聪 李文晓
王震 谷晓忱 郑黎明 曾祥华
李浩

(51) Int.Cl.

G11C 16/26(2006.01)

(56)对比文件

US 5258958 A, 1993.11.02,
US 2004/0004861 A1, 2004.01.08,
CN 103137201 A, 2013.06.05.

审查员 耿翠萍

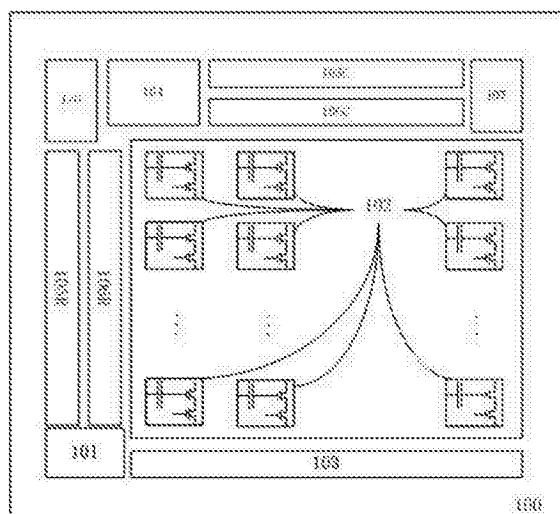
权利要求书1页 说明书5页 附图4页

(54)发明名称

一种伪差分读取非易失存储器结构

(57) 摘要

一种伪差分读取非易失存储器结构，包括伪差分读取模块、单端存储单元组成的阵列、读取复用器等其他外围电路，所述伪差分读取模块包含参考模块和伪差分灵敏放大器，将单端存储单元的端口Rout连接到伪差分读取模块的输入端上，输出端为所读取的结果；参考模块包含两个参考单元，其中一个参考单元上固定存储逻辑值‘1’，另一个固定存储逻辑值‘0’；伪差分灵敏放大器包括两个差分灵敏放大器以及锁存电路，在读取操作时，伪差分读取模块将待读取单端存储单元和两个参考单元分别进行差分读取，通过锁存电路最终的读取数据。相比单端读取的非易失存储器，本发明在读取操作时存储单元的擦除窗口电压和编程等效为原来的2倍，提高了读取结果的准确性。



1. 一种伪差分读取非易失存储器结构,包括伪差分读取模块、单端存储单元组成的阵列、读取复用器、逻辑控制电路、行地址译码器、列地址译码器、行电压切换电路、列电压切换电路、电荷泵以及I/O模块,其特征在于:所述伪差分读取模块包含参考模块和伪差分灵敏放大器,将单端存储单元的端口Rout连接到伪差分读取模块的输入端上,输出端为所读取的结果,所述的参考模块包含两个参考单元,参考单元为单端存储单元,其中第一参考单元上固定存储逻辑值‘1’,第二参考单元上固定存储逻辑值‘0’;固定存储逻辑值‘1’的第一参考单元的端口Rout为参考模块的第一输出端,固定存储逻辑值‘0’的第二参考单元的端口Rout为参考模块的第二输出端,参考模块的两个输出端用于输入到伪差分灵敏放大器的输入端;

伪差分灵敏放大器包括两个差分灵敏放大器以及锁存电路,在读取操作时,伪差分读取模块将待读取单端存储单元和两个参考单元分别进行差分读取,通过锁存电路最终的读取数据;

单端存储单元由控制管、隧穿管和读取选择管组成,控制管的电容为隧穿管的电容十倍以上,控制管与隧穿管的共用栅极上的浮棚结构上的电压主要由控制管上的电压决定,端口C为控制管的电压输入端,端口T为隧穿管的电压输入端,端口SEN为选择管的栅极,用于输入选择信号,端口Rout为单端存储单元的读取电流读出端口,读取操作时,根据当前单端存储单元的擦除和编程窗口电压,在端口C上施加一个偏置电压Vb,端口T上施加读电压Vr,端口SEN上选择信号使能,选择管导通,读取电流由端口Rout读出输入到伪差分读取模块上。

2. 根据权利要求1所述的一种伪差分读取非易失存储器结构,其特征在于:所述差分灵敏放大器具有一个输出端和两个差分信号的输入端,与两个输入端相连的为两个单端存储单元的读取电流读出端口Rout,这两个单端存储单元组成的差分结构,由差分灵敏放大器读取结果;差分灵敏放大器由两个反相器结构相互交叉连接形成正反馈,将两个输入端上的信号进行差分放大读取结果输出到差分灵敏放大器的输出端。

3. 根据权利要求2所述的一种伪差分读取非易失存储器结构,其特征在于:伪差分灵敏放大器包括第一差分灵敏放大器、第二差分灵敏放大器以及锁存电路,伪差分灵敏放大器包括三个输入端,分别为第一输入端、第二输入端和第三输入端,第一输入端为第一差分灵敏放大器的一个输入端,用于输入参考模块中第一参考单元的读取端口;第二输入端为第一差分灵敏放大器和第二差分灵敏放大器共用的端口,其用于输入待读取单端存储单元的读取端口;第三输入端为第二差分灵敏放大器的一个输入端,用于输入参考模块中第二参考单元的读取端口,第一差分灵敏放大器的输出端用于输出第一差分灵敏放大器的读取结果,第二差分灵敏放大器的输出端用于输出第二差分灵敏放大器的读取结果。

4. 根据权利要求3所述的一种伪差分读取非易失存储器结构,其特征在于:待读取单端存储单元接第二输入端,参考模块的第一输出端接伪差分灵敏放大器的第一输入端,参考模块的第二输出端接伪差分灵敏放大器的第三输入端。

一种伪差分读取非易失存储器结构

技术领域

[0001] 本发明涉及集成电路领域,具体的讲,涉及伪差分读取非易失存储器结构。

背景技术

[0002] 电子技术日益发展,许多集成电路系统或者模块需要使用一定容量的非易失性存储器。通常,非易失性存储器可以作为独立存储器芯片,由芯片外部控制电路进行数据处理。然而,在许多情况下,非易失存储器必须和其他控制电路集成在相同芯片中。

[0003] 在常规的非易失性存储器器件中,存储器单元的大多采用浮栅结构存储电荷来存储数据。特别是对于标准CMOS工艺流程来说,浮栅结构存储单元通常需要一个附加的多晶硅层。因此,标准CMOS工艺中的非易失性存储器单元的集成将需要附加的处理步骤和掩膜,这将会造成成本的不合理增长,尤其是在考虑到经常只需要非常小量的集成的非易失性存储器时。

[0004] 低成本的非易失大多采用单多晶的非易失存储单元。单多晶的非易失存储单元一般由四个MOS管组成。它们为一个较大面积用于浮栅耦合电压的MOS管做控制管,一个由面积较小的MOS管做隧穿管、一个用于读取的MOS管做读取管和读取时用到的选择管。单多晶的非易失存储单元中的读取管也可以由控制管或者隧穿管充当,减小MOS管数量来减小存储单元面积。

[0005] 为了提高存储单元的读取准确性,常常将两个上述的存储单元组成差分结构,同时利用差分灵敏放大器读取。相对单端存储结构组成的存储器,差分存储结构和差分灵敏放大器组成非易失存储器有着:读取准确率高和面积为单端存储结构存储器面积两倍等特点。这样差分结构的单多晶非易失存储器存储密度相对较低而且制造成本也很高。因此,需要探索一种不以很大面积成本牺牲为代价而提高读取准确性的存储器结构。

发明内容

[0006] 为了解决上述问题,本发明提供了一种和单端结构非易失存储器面积相当,读取准确性能够达到差分结构存储器的伪差分读取非易失存储器结构。

[0007] 为实现上述目的,本发明的技术方案是:

[0008] 将一定数量的单端存储单元按照逻辑上的规则排列组成非易失存储器的存储阵列,围绕存储阵列设计伪差分读取模块、电荷泵、行列地址译码器、行列电压切换、控制电路、I/O等外围电路。

[0009] 一种伪差分读取非易失存储器结构,包括伪差分读取模块、单端存储单元组成的阵列、读取复用器、逻辑控制电路、行地址译码器、列地址译码器、行电压切换电路、列电压切换电路、电荷泵以及I/O模块,其特征在于:所述伪差分读取模块包含参考模块和伪差分灵敏放大器,将单端存储单元的端口Rout连接到伪差分读取模块的输入端上,输出端为所读取的结果,所述的参考模块包含两个参考单元,参考单元为单端存储单元,其中第一参考单元上固定存储逻辑值‘1’,第二参考单元上固定存储逻辑值‘0’;固定存储逻辑值‘1’的第

一参考单元的端口Rout为参考模块的第一输出端,固定存储逻辑值‘0’的第二参考单元的端口Rout为参考模块的第二输出端,参考模块的两个输出端用于输入到伪差分灵敏放大器的输入端;

[0010] 伪差分灵敏放大器包括两个差分灵敏放大器以及锁存电路,在读取操作时,伪差分读取模块将待读取单端存储单元和两个参考单元分别进行差分读取,通过锁存电路最终的读取数据。

[0011] 本发明中:

[0012] 单端存储单元由控制管、隧穿管和读取选择管组成,控制管的电容为隧穿管的电容十倍以上,控制管与隧穿管的共用栅极上的浮棚结构上的电压主要由控制管上的电压决定,端口C为控制管的电压输入端,端口T为隧穿管的电压输入端,端口SEN为选择管的栅极,用于输入选择信号,端口Rout为单端存储单元的读取电流读出端口,读取操作时,根据当前单端存储单元的擦除和编程窗口电压,在端口C上施加一个偏置电压Vb,端口T上施加读电压Vr,端口SEN上选择信号使能,选择管导通,读取电流由端口Rout读出输入到伪差分读取模块上。

[0013] 所述差分灵敏放大器具有一个输出端和两个差分信号的输入端,与两个输入端相连的为两个单端存储单元的读取电流读出端口Rout,这两个单端存储单元组成的差分结构,由差分灵敏放大器读取结果;差分灵敏放大器由两个反相器结构相互交叉连接形成正反馈,将两个输入端上的信号进行差分放大读取结果输出到差分灵敏放大器的输出端。

[0014] 伪差分灵敏放大器包括第一差分灵敏放大器、第二差分灵敏放大器以及锁存电路,伪差分灵敏放大器包括三个输入端,分别为第一输入端、第二输入端和第三输入端,第一输入端为第一差分灵敏放大器的一个输入端,用于输入参考模块中第一参考单元的读取端口;第二输入端为第一差分灵敏放大器和第二差分灵敏放大器共用的端口,其用于输入待读取单端存储单元的读取端口;第三输入端为第二差分灵敏放大器的一个输入端,用于输入参考模块中第二参考单元的读取端口,第一差分灵敏放大器的输出端用于输出第一差分灵敏放大器的读取结果,第二差分灵敏放大器的输出端用于输出第二差分灵敏放大器的读取结果。

[0015] 待读取单端存储单元接第二输入端,参考模块的第一输出端接伪差分灵敏放大器的第一输入端,参考模块的第二输出端接伪差分灵敏放大器的第三输入端。

[0016] 单端存储单元组成的存储阵列中的单元均为单端形式,两个单端存储单元可以做成差分形式,用来存储1bit信息。差分存储单元有两个单端存储单元做成,面积为单端存储单元的两倍,而信息存储量均为1bit。

[0017] 本发明与现有技术相比,具有如下的优点:

[0018] 1、非易失存储器中的存储单元为单端存储单元,相比差分存储单元,本发明的非易失存储器的面积降低了近50%。

[0019] 2、从另外一个角度,相比单端读取的非易失存储器,伪差分读取非易失存储器在读取操作时存储单元的擦除窗口电压和编程等效为原来的2倍,提高了读取结果的准确性。

附图说明

[0020] 图1为一个所述实例的存储器结构框图。

- [0021] 图2为一个单端存储单元实例。
- [0022] 图3为伪差分读取模块中参考模块示意图
- [0023] 图4为一个仅用于解释本发明的差分灵敏放大器实例。
- [0024] 图5为伪差分灵敏放大器示意图，其由两个差分灵敏放大器与锁存电路组成。
- [0025] 图6为伪差分灵敏放大器与存储单元之间连接结构图。
- [0026] 图7为单端结构读取效果与伪差分结构读取效果对比示意图。
- [0027] 本发明目的的实现、功能特点及优点将结合实施例，参照附图做进一步说明。

具体实施方式

[0028] 参考图1，参考图1，所述的伪差分读取非易失存储器100包括：伪差分读取模块101、单端存储单元102组成的阵列、读取复用器103、逻辑控制电路104、行地址译码器105R、列地址译码器105C、行电压切换电路106R、列电压切换电路106C、电荷泵107以及I/O模块。

[0029] 每个存储单元存储1bit的信息，根据容量大小的需求由大量存储单元逻辑上规则排列组成存储阵列。本发明中存储单元和两个参考单元均为单端形式的存储单元即单端存储单元。图2为本发明一个单端存储单元实例，其可由大电容控制管203、小电容隧穿管202和读取选择管201组成。控制管的电容为隧穿管的电容十倍以上，控制管与隧穿管的共用栅极上的浮棚结构上的电压主要由控制管上的电压决定。端口C为控制管的电压输入端，端口T为隧穿管的电压输入端，端口SEN为选择管的栅极，用于输入选择信号，端口Rout为单端存储单元的读取电流读出端口。读取操作时，根据当前单端存储单元的擦除和编程窗口电压，在端口C上施加一个偏置电压Vb，端口T上施加读电压Vr，端口SEN上选择信号使能，选择管导通，读取电流由端口Rout读出输入到伪差分读取模块上。

[0030] 如图6中所示，本发明所述的伪差分读取模块包含参考模块300和伪差分灵敏放大器500。通过将待读取单端存储单元与参考模块中的单端存储单元间接组成差分结构，读取数据。

[0031] 所述的参考模块300的示意图如图3所示，参考模块300包含两个参考单元，参考单元均为单端形式的存储单元即单端存储单元，其中第一参考单元200a固定存储逻辑值‘1’，第二参考单元200b上固定存储逻辑值‘0’。固定存储逻辑值‘1’的第一参考单元200a的端口Rout为参考模块的第一输出端301_1，固定存储逻辑值‘0’的第二参考单元200b的端口Rout为参考模块的第二输出端301_0。在每次进行擦写操作的时候，第一参考单元200a均写入数据‘1’，第二参考单元200b均写入数据‘0’，避免参考模块中的两个参考单元浮棚上的电荷不会因为时间的推移而电荷量下降。

[0032] 差分灵敏放大器400一般如图4所示，标号401与标号402为差分灵敏放大器其差分信号的两个输入端，标号403为差分灵敏放大器的输出端。与两个输入端(401与402)相连的为两个单端存储单元的读取电流读出端口(Rout)。这两个单端存储单元组成的差分结构，由差分灵敏放大器读取结果。差分灵敏放大器主要由两个类似反相器结构相互交叉连接形成正反馈，将两个输入端(401与402)上的信号进行差分放大读取结果输出到差分灵敏放大器的输出端403。差分灵敏放大器的读取速度与电源提供的能量和两个单端存储单元浮棚上的电压差有关。差分灵敏放大器的电源电压越高，读取的速度也越快。当电源电压固定不变时，差分结构上的两个单端存储单元的浮棚上的电压相差越大，输入到差分灵敏放大器

上的信号差模分量越大,读取所需的时间也越短。

[0033] 图5伪差分灵敏放大器示意图,伪差分灵敏放大器包括两个差分灵敏放大器即第一差分灵敏放大器400a和第二差分灵敏放大器400b,以及锁存电路410。伪差分灵敏放大器包括三个输入端,分别为第一输入端501、第二输入端502和第三输入端503。第一输入端501为第一差分灵敏放大器400a的一个输入端,用于输入参考模块中第一参考单元200a的读取端口;第二输入端502为第一差分灵敏放大器400a和第二差分灵敏放大器400b共用的端口,其用于输入待读取单端存储单元的读取端口;第三输入端503为第二差分灵敏放大器400b的一个输入端,用于输入参考模块中单端存储单元200b的读取端口。第一差分灵敏放大器400a的输出端504用于输出第一差分灵敏放大器400a的读取结果,第二差分灵敏放大器400b的输出端505用于输出第二差分灵敏放大器400b的读取结果。

[0034] 如图5所示,将待读取单端存储单元与第一参考单元200a组成差分结构输入到第一差分灵敏放大器400a,并且将待读取单端存储单元与参考模块中的第二参考单元200b组成差分结构输入到第二差分灵敏放大器400b。由于待读取单端存储单元所存储的数据非逻辑‘1’即逻辑‘0’。若待读取单端存储单元上存储的逻辑值为‘1’时,待读取单端存储单元浮棚上的电压与第一参考单元200a上的浮棚电压相差较小,但待读取单端存储单元浮棚上的电压与第二参考单元200b上的浮棚电压相差很大。这样第二差分灵敏放大器400b的读出速度将快于第一差分灵敏放大器400a。

[0035] 差分灵敏放大器的两个输入端的顺序不同,输出端的结果也不同。图4中,输入端401的信号大于输入端402的信号,输出端403输出为‘1’;反之输出端403输出为‘0’。差分灵敏放大器的交叉连接结构决定了它有两个相反的输出端口,输出端403也可以定义为另外一侧的相反输出端口。在本发明中我们选取第一输入端501的信号大于第二输入端502的信号时,第一差分灵敏放大器400a的输出端504输出为‘1’,第二输入端502的信号大于第三输入端503的信号时,第二差分灵敏放大器400b的输出端505输出为‘1’。

[0036] 在本发明中,读取操作时第一差分灵敏放大器400a的输出端504和第二差分灵敏放大器400b的输出端505均输出逻辑值‘1’,第一差分灵敏放大器400a的输出端504与第二差分灵敏放大器400b的输出端505输入到锁存电路410。锁存电路410根据两个输入端504与505的信号的先后顺序来确定待读取单端存储单元上的存储数据为逻辑‘1’还是‘0’。

[0037] 如图6所示为伪差分读取模块的连接关系示意图。待读取单端存储单元(102)接第二输入端502,参考模块的第一输出端301_1接伪差分灵敏放大器的第一输入端501,参考模块的第二输出端301_0接伪差分灵敏放大器的第三输入端503。标号506为伪差分读取模块的输出端。由于与第一输入端501相连的为第一参考单元200a,第一参考单元200a只进行写入‘1’操作,所以其浮棚上的电荷量高于与第二输入端502的待读取单端存储单元。第一差分灵敏放大器400a的输出端504上的输出结果必定为‘1’。与第三输入端503相连的为第二参考单元200b,第二参考单元200b只进行写入‘0’操作,所以其浮棚上的电荷量低于与第二输入端502的待读取单端存储单元。第二差分灵敏放大器400b的输出端505上的输出结果也必定为‘1’。当第一差分灵敏放大器400a的输出端504上的‘1’信号快于第二差分灵敏放大器400b的输出端505上的‘1’信号,则待读取单端存储单元浮棚上的电荷量与第一参考单元200a浮棚上的电荷量相差更大,与第二参考单元200b浮棚上的电荷量更接近,间接可知待读取单端存储单元存储的逻辑值为‘0’,伪差分读取模块的输出端506输出信号‘0’。反之,

当第二差分灵敏放大器400b的输出端505上的‘1’信号快于第一差分灵敏放大器400a的输出端504上的‘1’信号，则待读取单端存储单元浮棚上存储的逻辑值为‘1’，伪差分读取模块的输出端506输出信号‘1’。

[0038] 存储单元数据的存储通过施加高电压改变浮棚上的电荷量，从而改变浮棚上的电压存储数据。在图7中，在时间固定的情况下，a中所示单端存储单元的擦写情况，斜线FG表示浮棚上的电压，横坐标Vh为所施加高压，正向表示擦除的高压，负方向表示编程的高压。纵坐标Vfg表示浮棚上的电压。横线Verf表示区分存储数据的参考电压。横坐标与纵坐标轴仅用于解释一具体实例，根据存储单元的不同栅上的电压、参考电压和施加高压的数值均有所变化。阴影701表示为擦除操作后单元的窗口电压，阴影702表示为编程操作后单元的窗口电压。伪差分读取的方式不再将固定电压作为Verf参考电压，而是将与所存储的逻辑值的相反逻辑值存储单元的浮棚电压作为参考电压。

[0039] 在图7的b中可以看出差分存储单元存储器和伪差分读取存储器均将存储单元的擦除窗口和编程窗口增加了一倍，提高了数据读取的准确性。但伪差分读取存储器的存储阵列仍为单端存储单元结构，相同容量情况下，伪差分读取存储器的面积比差分单元存储器面积小很多。

[0040] 所述的伪差分读取非易失存储器的其它外围电路中：I/O模块为地址线、数据线、操作命令、存储器状态线和数据输出等端口的输入输出。电荷泵107用于产生擦写操作所需的高压。行列地址译码器105C与105R根据地址线的输入将所需操作的行与列使能，通过电压切换电路106C与106R把电荷泵107上产生的高电压施加到存储单元上去，从而实现对存储数据的操作。在对于读取速度要求不高的情况下读取复用器103将所有位线复用到一个伪差分读取模块上去，减少存储器面积。逻辑控制电路104将受到的擦写读命令细分为多个子命令，管理着整个存储器的工作。在现有技术中外围电路的实现方法很多，也有很多种不同形式，本发明的创新点在于伪差分读取模块。

[0041] 当然，为了满足局部的和具体要求，本领域的技术人员可以对上面的描述的解决方案应用于许多修改和变更。具体而言，虽然已经参考优选的实施方式通过一定程度的特殊性描述本发明，应当理解形式以及细节上的各种省略，替代和改变以及其他实施方案是可能的；此外，明确的旨在与发明任何公开的实施方案有关的具体的元件和/或方法步骤，可以按照设计选择的常规方式结合在任何其它实施方案中。

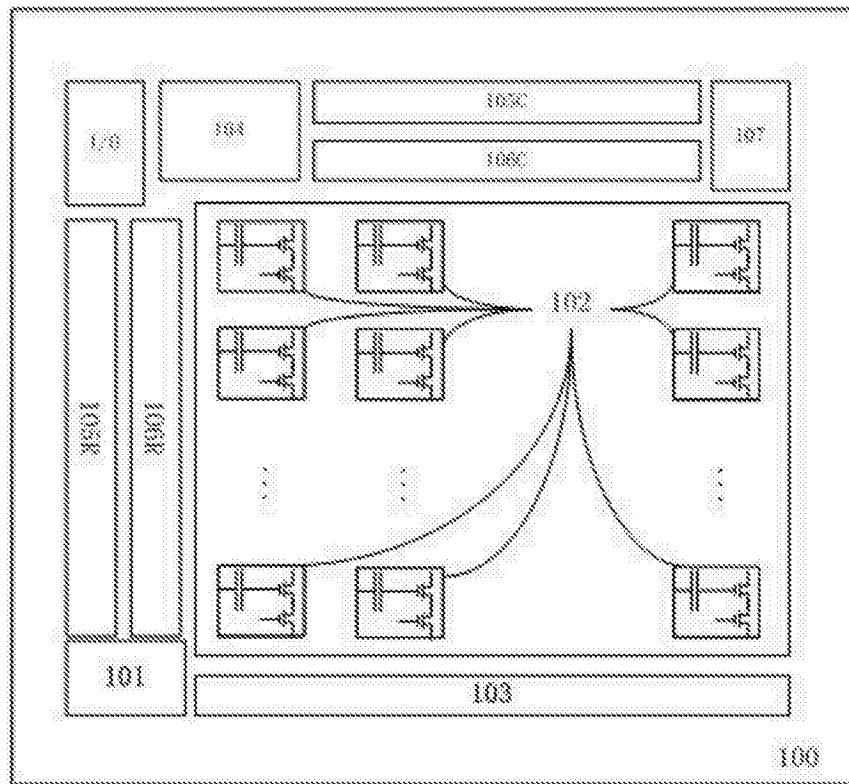


图1

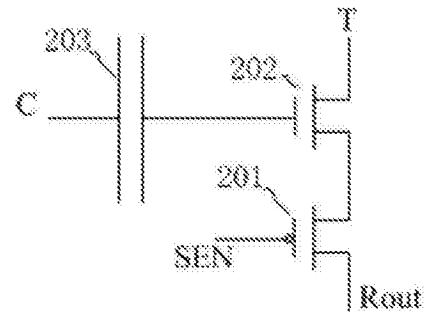


图2

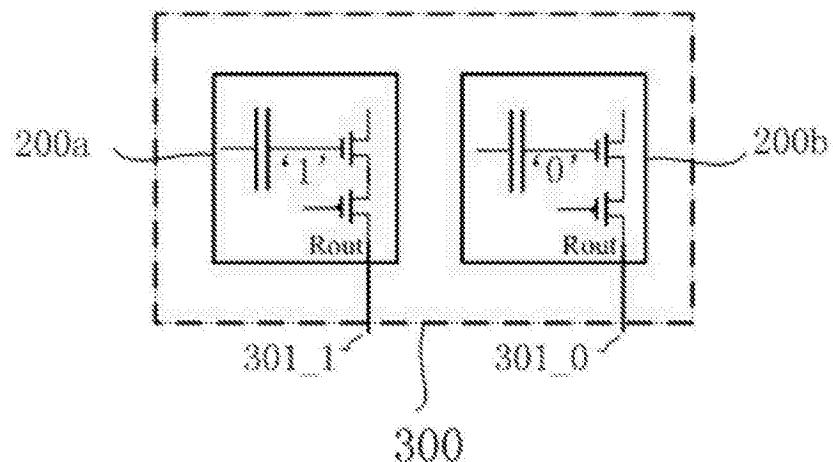


图3

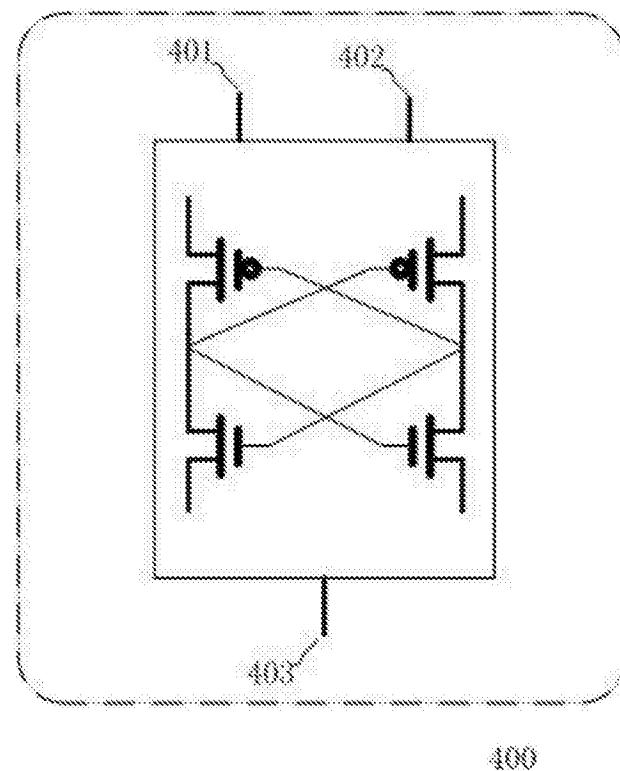


图4

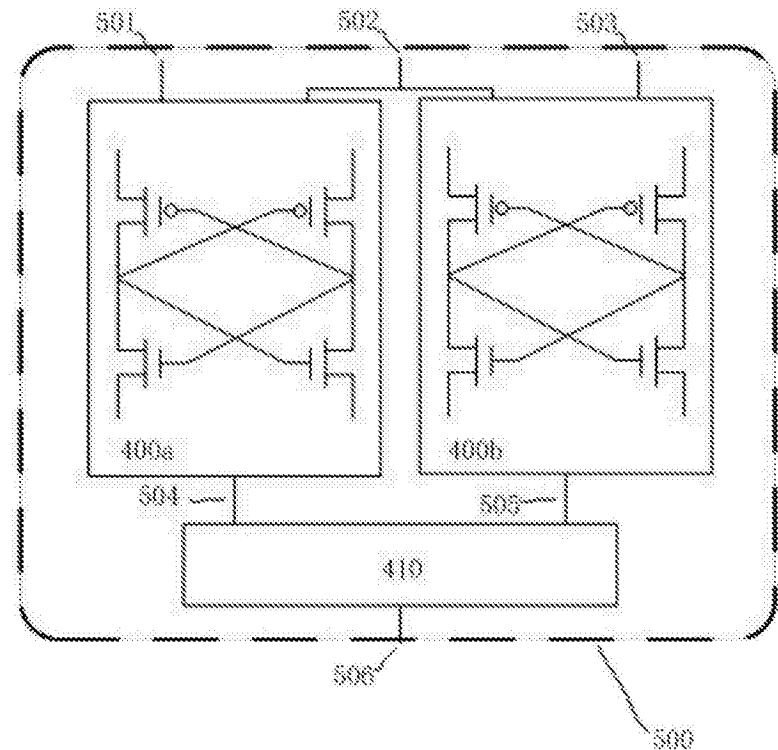


图5

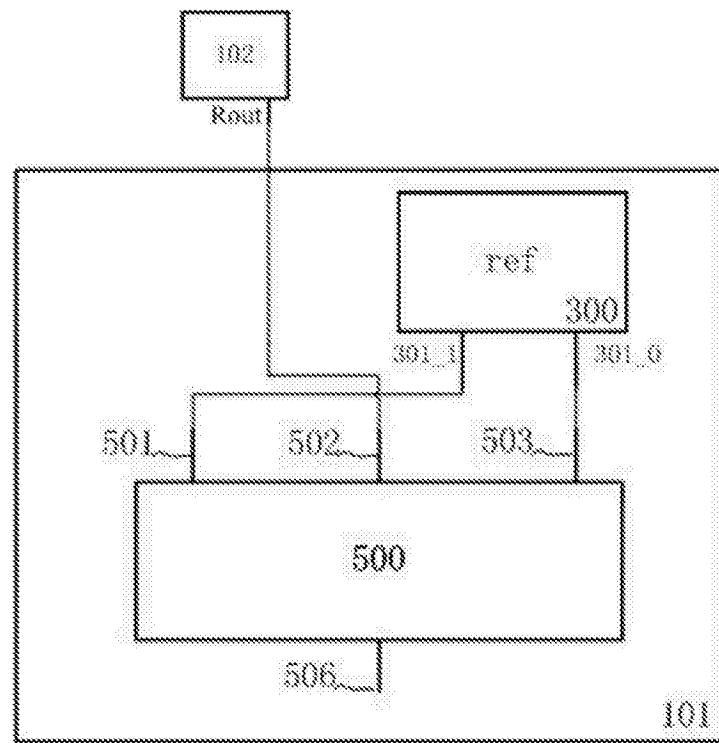


图6

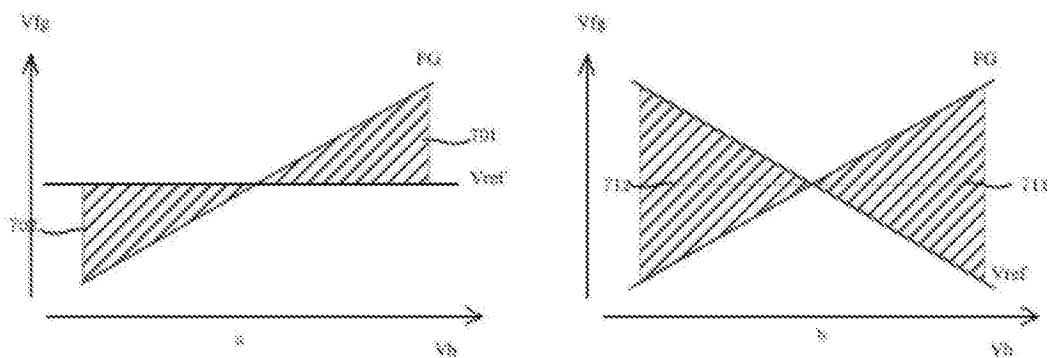


图7