

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4010333号
(P4010333)

(45) 発行日 平成19年11月21日(2007.11.21)

(24) 登録日 平成19年9月14日(2007.9.14)

(51) Int. Cl.	F I	
HO 1 L 21/822 (2006.01)	HO 1 L 27/04	A
HO 1 L 27/04 (2006.01)	HO 1 L 27/04	D
HO 1 L 21/82 (2006.01)	HO 1 L 27/04	U
	HO 1 L 21/82	B
	HO 1 L 21/82	W

請求項の数 15 (全 37 頁)

(21) 出願番号	特願2006-150182 (P2006-150182)	(73) 特許権者	000002369
(22) 出願日	平成18年5月30日(2006.5.30)		セイコーエプソン株式会社
(65) 公開番号	特開2007-243126 (P2007-243126A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成19年9月20日(2007.9.20)	(74) 代理人	100090479
審査請求日	平成19年3月1日(2007.3.1)		弁理士 井上 一
(31) 優先権主張番号	特願2006-34496 (P2006-34496)	(74) 代理人	100104710
(32) 優先日	平成18年2月10日(2006.2.10)		弁理士 竹腰 昇
(33) 優先権主張国	日本国(JP)	(74) 代理人	100124626
(31) 優先権主張番号	特願2005-192479 (P2005-192479)		弁理士 覆並 智和
(32) 優先日	平成17年6月30日(2005.6.30)	(74) 代理人	100124682
(33) 優先権主張国	日本国(JP)		弁理士 黒田 泰
		(72) 発明者	伊藤 悟
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 集積回路装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

データ線を駆動するための少なくとも1つのデータドライバブロックと、
前記データドライバブロックが前記データ線を駆動するために用いる画像データを記憶する少なくとも1つのメモリブロックと、

前記データドライバブロックを制御するロジック回路ブロックとを含み、

前記データドライバブロックは、

前記メモリブロックからの画像データを受け、前記データ線を駆動するデータドライバと、

前記ロジック回路ブロックからのドライバ制御信号をバッファリングして前記データドライバに出力するバッファ回路とを含み、

前記メモリブロックは、

画像データを記憶するメモリセルアレイと、

前記メモリセルアレイのワード線の選択を行うロードアドレスデコーダを含み、

前記データドライバブロックと前記メモリブロックは第1の方向に沿って配置され、

前記第1の方向に直交する方向を第2の方向とした場合に、前記バッファ回路と前記データドライバは前記第2の方向に沿って配置され、

前記ロードアドレスデコーダと前記メモリセルアレイは前記第2の方向に沿って配置され、

前記バッファ回路と前記ロードアドレスデコーダは前記第1の方向に沿って配置されるこ 20

とを特徴とする集積回路装置。

【請求項 2】

請求項 1 において、
前記データドライバは、
第 1 の電圧レベルの電源で動作する回路が配置される第 1 の回路領域と、
前記第 1 の電圧レベルよりも高い第 2 の電圧レベルの電源で動作する回路が配置される
第 2 の回路領域とを有し、
前記バッファ回路は、
前記ロジック回路ブロックからのドライバ制御信号の電圧レベルを、前記第 1 の電圧レ
ベルから前記第 2 の電圧レベルに変換するレベルシフトを含むことを特徴とする集積回路
装置。 10

【請求項 3】

請求項 1 又は 2 において、
前記メモリブロックは、前記第 2 の方向に沿って配置される第 1、第 2 のメモリセルア
レイを含み、
前記ローアドレスデコーダは、前記第 1、第 2 のメモリセルアレイの間に配置され、
前記データドライバブロックは、前記第 2 の方向に沿って配置される第 1、第 2 のデー
タドライバを含み、

前記バッファ回路は、前記第 1、第 2 のデータドライバの間に配置され、
前記第 1、第 2 のメモリセルアレイの間に配置される前記ローアドレスデコーダと、前
記バッファ回路とが、前記第 1 の方向に沿って配置されることを特徴とする集積回路装置
。 20

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、
前記ロジック回路ブロックからの前記ドライバ制御信号を前記データドライバブロック
に供給するためのドライバ用グローバル線が、前記バッファ回路及び前記ローアドレスデ
コーダ上に配線されることを特徴とする集積回路装置。

【請求項 5】

請求項 4 において、
階調電圧を生成する階調電圧生成回路ブロックを含み、
前記ロジック回路ブロックからの少なくともライトデータ信号を前記メモリブロックに
供給するためのメモリ用グローバル線と、前記階調電圧生成回路ブロックからの階調電圧
を前記データドライバブロックに供給するための階调用グローバル線と、前記ドライバ用
グローバル線とが、前記第 1 の方向に沿って配線されることを特徴とする集積回路装置。
30

【請求項 6】

請求項 5 において、
前記メモリ用グローバル線は、前記階调用グローバル線と前記ドライバ用グローバル線
の間に前記第 1 の方向に沿って配線されることを特徴とする集積回路装置。

【請求項 7】

請求項 1 乃至 6 のいずれかにおいて、
前記ロジック回路ブロックからの少なくともライトデータ信号をバッファリングして前
記メモリブロックに出力するバッファを含むリピータブロックを含むことを特徴とする集
積回路装置。 40

【請求項 8】

請求項 7 において、
前記メモリブロックと前記リピータブロックは前記第 1 の方向に沿って隣接して配置さ
れることを特徴とする集積回路装置。

【請求項 9】

請求項 1 乃至 8 のいずれかにおいて、
前記データドライバブロックは、

その各々が1サブピクセル分の画像データに対応するデータ信号を出力する複数のサブピクセルドライバセルを含み、

前記データドライバブロックでは、前記第1の方向に沿って複数の前記サブピクセルドライバセルが配置されると共に前記第2の方向に沿って複数の前記サブピクセルドライバセルが配置されることを特徴とする集積回路装置。

【請求項10】

請求項9において、

前記複数のサブピクセルドライバセルの各サブピクセルドライバセルは、

第1の電圧レベルの電源で動作する回路が配置される第1の回路領域と、

前記第1の電圧レベルよりも高い第2の電圧レベルの電源で動作する回路が配置される第2の回路領域とを有し、

前記複数のサブピクセルドライバセルは、

各サブピクセルドライバセル内の前記第1の回路領域及び前記第2の回路領域が前記第1の方向に沿って配置され、且つ、各サブピクセルドライバセルの前記第2の回路領域同士又は前記第1の回路領域同士が前記第1の方向に沿って隣接するように配置されることを特徴とする集積回路装置。

【請求項11】

請求項9又は10において、

前記サブピクセルドライバセルは、

階調電圧を用いて、画像データのD/A変換を行うD/A変換器を含み、

前記データドライバブロックでは、

前記D/A変換器に前記階調電圧を供給するための階調電圧供給線が、複数の前記サブピクセルドライバセルにまたがって前記第2の方向に沿って配線されることを特徴とする集積回路装置。

【請求項12】

集積回路装置の短辺である第1の辺から対向する第3の辺へと向かう方向を第1の方向とし、集積回路装置の長辺である第2の辺から対向する第4の辺へと向かう方向を第2の方向とした場合に、前記第1の方向に沿って配置される第1～第Nの回路ブロック（Nは2以上の整数）を含み、

前記第1～第Nの回路ブロックは、

階調電圧を生成する階調電圧生成回路ブロックと、

前記階調電圧生成回路からの階調電圧を受け、データ線を駆動するための少なくとも1つのデータドライバブロックと、

前記データドライバブロックを制御するロジック回路ブロックとを含み、

前記階調電圧生成回路ブロックからの階調電圧を前記データドライバブロックに供給するための階調用グローバル線と、前記ロジック回路ブロックからのドライバ制御信号を前記データドライバブロックに供給するためのドライバ用グローバル線とが、前記第1の方向に沿って配線されることを特徴とする集積回路装置。

【請求項13】

請求項12において、

前記第1～第Nの回路ブロックは、

画像データを記憶する少なくとも1つのメモリブロックを含み、

前記ロジック回路ブロックからの少なくともライトデータ信号を前記メモリブロックに供給するためのメモリ用グローバル線と、前記階調用グローバル線と、前記ドライバ用グローバル線とが、前記第1の方向に沿って配線されることを特徴とする集積回路装置。

【請求項14】

請求項13において、

前記メモリ用グローバル線は、前記階調用グローバル線と前記ドライバ用グローバル線の間前記第1の方向に沿って配線されることを特徴とする集積回路装置。

【請求項15】

10

20

30

40

50

請求項 1 乃至 1 4 のいずれかに記載の集積回路装置と、
前記集積回路装置により駆動される表示パネルと、
を含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路装置及び電子機器に関する。

【背景技術】

【0002】

液晶パネルなどの表示パネルを駆動する集積回路装置として表示ドライバ（LCDドライバ）がある。この表示ドライバでは、低コスト化のためにチップサイズの縮小が要求される。

10

【0003】

しかしながら、携帯電話機などに組み込まれる表示パネルの大きさはほぼ一定である。従って、微細プロセスを採用し、表示ドライバの集積回路装置を単純にシュリンクしてチップサイズを縮小しようとする、実装が困難になるなどの問題を招く。

【特許文献 1】特開 2001-222249 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

20

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、回路面積の縮小化を実現できる集積回路装置及びこれを含む電子機器を提供することにある。

【課題を解決するための手段】

【0005】

本発明は、データ線を駆動するための少なくとも 1 つのデータドライバブロックと、前記データドライバブロックが前記データ線を駆動するために用いる画像データを記憶する少なくとも 1 つのメモリブロックと、前記データドライバブロックを制御するロジック回路ブロックとを含み、前記データドライバブロックは、前記メモリブロックからの画像データを受け、前記データ線を駆動するデータドライバと、前記ロジック回路ブロックからのドライバ制御信号をバッファリングして前記データドライバに出力するバッファ回路とを含み、前記メモリブロックは、画像データを記憶するメモリセルアレイと、前記メモリセルアレイのワード線の選択を行うローアドレスデコーダを含み、前記データドライバブロックと前記メモリブロックは第 1 の方向に沿って配置され、前記第 1 の方向に直交する方向を第 2 の方向とした場合に、前記バッファ回路と前記データドライバは前記第 2 の方向に沿って配置され、前記ローアドレスデコーダと前記メモリセルアレイは前記第 2 の方向に沿って配置され、前記バッファ回路と前記ローアドレスデコーダは前記第 1 の方向に沿って配置される集積回路装置に関する。

30

【0006】

本発明によれば、データドライバブロックとメモリブロックは第 1 の方向に沿って配置され、バッファ回路とデータドライバ、並びに、ローアドレスデコーダとメモリセルアレイが、第 2 の方向に沿って配置される。そしてバッファ回路とローアドレスデコーダが第 1 の方向に沿って配置される。このようにすれば、ローアドレスデコーダの第 1 の方向側又はその反対方向である第 3 の方向側の空き領域を有効活用して、ドライバ制御信号のバッファ回路を配置できるため、集積回路装置の小面積化を図れる。またドライバ制御信号線を、ロジック回路ブロックからバッファ回路に対してローアドレスデコーダを通して配線できるため、配線効率を向上できる。

40

【0007】

また本発明では、前記データドライバは、第 1 の電圧レベルの電源で動作する回路が配置される第 1 の回路領域と、前記第 1 の電圧レベルよりも高い第 2 の電圧レベルの電源で

50

動作する回路が配置される第2の回路領域とを有し、前記バッファ回路は、前記ロジック回路ブロックからのドライバ制御信号の電圧レベルを、前記第1の電圧レベルから前記第2の電圧レベルに変換するレベルシフタを含んでもよい。

【0008】

このようなレベルシフタを設ければ、ロジック回路ブロックからのドライバ制御信号の電圧レベルを、第2の電圧レベルに変換して、データドライバの第2の回路領域に配置される回路に対して供給することが可能になる。これにより、動作電圧が低い微細ロジック回路と微細ロジック回路より動作電圧が高いデータドライブ回路を同一回路内に混載することが可能になり、微細ロジック回路による集積回路装置の小面積化が図れる。

【0009】

また本発明では、前記メモリブロックは、前記第2の方向に沿って配置される第1、第2のメモリセルアレイを含み、前記ロードアドレスデコーダは、前記第1、第2のメモリセルアレイの間に配置され、前記第1、第2のメモリセルアレイの間に配置される前記ロードアドレスデコーダと、前記バッファ回路とが、前記第1の方向に沿って配置されてもよい。

【0010】

このようにすれば、第1、第2のメモリセルアレイの各々のワード線に寄生する容量を減らすことができ、信号遅延や消費電力の増加を抑えることができる。

【0011】

また本発明では、前記ロジック回路ブロックからの前記ドライバ制御信号を前記データドライバブロックに供給するためのドライバ用グローバル線が、前記バッファ回路及び前記ロードアドレスデコーダ上に配線されてもよい。

【0012】

このようにすれば、ドライバ制御信号線をメモリセルアレイ上に配線しなくても済むため、メモリセルアレイとデータドライバの境界での信号の配線効率を向上できる。またドライバ制御信号線をデータドライバ上に配線しなくても済むため、データドライバでの信号線の配線効率も向上できる。

【0013】

また本発明では、階調電圧を生成する階調電圧生成回路ブロックを含み、前記ロジック回路ブロックからの少なくともライトデータ信号を前記メモリブロックに供給するためのメモリ用グローバル線と、前記階調電圧生成回路ブロックからの階調電圧を前記データドライバブロックに供給するための階调用グローバル線と、前記ドライバ用グローバル線とが、前記第1の方向に沿って配線されてもよい。

【0014】

このようにすれば、メモリ用グローバル線、階调用グローバル線、ドライバ用グローバル線を、第1の方向に沿って交差することなく配線できるようになる。従って、少ない層の配線層で、グローバル線を効率良く配線することが可能になる。

【0015】

また本発明では、前記メモリ用グローバル線は、前記階调用グローバル線と前記ドライバ用グローバル線の間に前記第1の方向に沿って配線されてもよい。

【0016】

このようにすれば、メモリ用グローバル線をロードアドレスデコーダの近くに配線することが可能になり、メモリ用グローバル線からの信号を、ロードアドレスデコーダにショートパスで供給することが可能になる。

【0017】

また本発明では、前記ロジック回路ブロックからの少なくともライトデータ信号をバッファリングして前記メモリブロックに出力するバッファを含むリピータブロックを含んでもよい。

【0018】

このようにすれば、メモリブロックへのライトデータ信号の立ち上がり波形や立ち下が

10

20

30

40

50

り波形が鈍るのを低減でき、メモリブロックへの適正なデータ書き込みを実現できる。

【0019】

また本発明では、前記メモリブロックと前記リピータブロックは前記第1の方向に沿って隣接して配置されてもよい。

【0020】

このようにすれば、リピータブロックでバッファリングされた信号をショートパスでメモリブロックに供給できるようになり、メモリブロックへの適正なデータ書き込みを実現できる。

【0021】

また本発明では、前記データドライバブロックは、その各々が1サブピクセル分の画像データに対応するデータ信号を出力する複数のサブピクセルドライバセルを含み、前記データドライバブロックでは、前記第1の方向に沿って複数の前記サブピクセルドライバセルが配置されると共に前記第2の方向に沿って複数の前記サブピクセルドライバセルが配置されてもよい。

10

【0022】

このようにサブピクセルドライバセルをマトリクス配置すれば、データドライバの仕様に応じた柔軟なレイアウト設計が可能になる。

【0023】

また本発明では、前記複数のサブピクセルドライバセルの各サブピクセルドライバセルは、第1の電圧レベルの電源で動作する回路が配置される第1の回路領域と、前記第1の電圧レベルよりも高い第2の電圧レベルの電源で動作する回路が配置される第2の回路領域とを有し、前記複数のサブピクセルドライバセルは、各サブピクセルドライバセルの前記第2の回路領域同士又は前記第1の回路領域同士が前記第1の方向に沿って隣接するように配置されてもよい。

20

【0024】

このようにすれば、第1の回路領域と第2の回路領域を隣接させる手法に比べて、データドライバブロックの第1の方向での幅を小さくでき、集積回路装置の小面積化を図れる。

【0025】

また本発明では、前記サブピクセルドライバセルは、階調電圧を用いて、画像データのD/A変換を行うD/A変換器を含み、前記データドライバブロックでは、前記D/A変換器に前記階調電圧を供給するための階調電圧供給線が、複数の前記サブピクセルドライバセルにまたがって前記第2の方向に沿って配線されてもよい。

30

【0026】

このようにすれば、第2の方向に沿って配置される複数のサブピクセルドライバセルのD/A変換器に対して、第2の方向に沿って配線される階調電圧供給線により、階調電圧を効率的に供給でき、レイアウト効率を向上できる。

【0027】

また本発明は、集積回路装置の短辺である第1の辺から対向する第3の辺へと向かう方向を第1の方向とし、集積回路装置の長辺である第2の辺から対向する第4の辺へと向かう方向を第2の方向とした場合に、前記第1の方向に沿って配置される第1～第Nの回路ブロック(Nは2以上の整数)を含み、前記第1～第Nの回路ブロックは、階調電圧を生成する階調電圧生成回路ブロックと、前記階調電圧生成回路からの階調電圧を受け、データ線を駆動するための少なくとも1つのデータドライバブロックと、前記データドライバブロックを制御するロジック回路ブロックとを含み、前記階調電圧生成回路ブロックからの階調電圧を前記データドライバブロックに供給するための階调用グローバル線と、前記ロジック回路ブロックからのドライバ制御信号を前記データドライバブロックに供給するためのドライバ用グローバル線とが、前記第1の方向に沿って配線される集積回路装置に関係する。

40

【0028】

50

本発明では、データドライバブロック、ロジック回路ブロック、階調電圧生成回路ブロックを含む第1～第Nの回路ブロックが、第1の方向に沿って配置されるため、集積回路装置の第2の方向での幅を小さくでき、スリムな細長の集積回路装置を提供できる。また本発明では、階調電圧生成回路ブロックからデータドライバブロックへの階调用グローバル線と、ロジック回路ブロックからデータドライバブロックへのドライバ用グローバル線を、第1の方向に沿って交差することなく配線できる。従って、少ない層の配線層で、グローバル線を効率良く配線することが可能になる。

【0029】

また本発明では、前記第1～第Nの回路ブロックは、画像データを記憶する少なくとも1つのメモリブロックを含み、前記ロジック回路ブロックからの少なくともライトデータ信号を前記メモリブロックに供給するためのメモリ用グローバル線と、前記階调用グローバル線と、前記ドライバ用グローバル線とが、前記第1の方向に沿って配線されてもよい。

10

【0030】

このようにすれば、メモリ用グローバル線、階调用グローバル線、ドライバ用グローバル線を、第1の方向に沿って交差することなく配線できるようになる。

【0031】

また本発明では、前記メモリ用グローバル線は、前記階调用グローバル線と前記ドライバ用グローバル線の間に前記第1の方向に沿って配線されてもよい。

【0032】

このようにすれば、メモリ用グローバル線からの信号を、ローアドレスデコーダにショートパスで供給することが可能になる。

20

【0033】

また本発明は、上記のいずれかに記載の集積回路装置と、前記集積回路装置により駆動される表示パネルとを含む電子機器に関係する。

【発明を実施するための最良の形態】

【0034】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

30

【0035】

1. 比較例

図1(A)に本実施形態の比較例となる集積回路装置500を示す。図1(A)の集積回路装置500はメモリブロックMB(表示データRAM)とデータドライバブロックDBを含む。そしてメモリブロックMBとデータドライバブロックDBはD2方向に沿って配置されている。またメモリブロックMB、データドライバブロックDBは、D1方向に沿った長さがD2方向での幅に比べて長い超扁平なブロックになっている。

【0036】

ホスト側からの画像データはメモリブロックMBに書き込まれる。そしてデータドライバブロックDBは、メモリブロックMBに書き込まれたデジタルの画像データをアナログのデータ電圧に変換して、表示パネルのデータ線を駆動する。このように図1(A)において画像データの信号の流れはD2方向である。このため、図1(A)の比較例では、この信号の流れに合わせて、メモリブロックMBとデータドライバブロックDBをD2方向に沿って配置している。このようにすることで、入力と出力の間がショートパスになり、信号遅延を最適化でき、効率の良い信号伝達が可能になる。

40

【0037】

ところが図1(A)の比較例では以下のような課題がある。

【0038】

第1に、表示ドライバなどの集積回路装置では、低コスト化のためにチップサイズの縮小が要求される。ところが、微細プロセスを採用し、集積回路装置500を単純にシュリ

50

ンクしてチップサイズを縮小すると、短辺方向のみならず長辺方向も縮小されてしまう。従って図2(A)に示すように実装の困難化の問題を招く。即ち出力ピッチは、例えば22 μ m以上であることが望ましいが、図2(A)のような単純シュリンクでは例えば17 μ mピッチになってしまい、狭ピッチのために実装が困難になる。また表示パネルのガラスの額縁が広くなり、ガラスの取れ数が減少し、コスト増を招く。

【0039】

第2に、表示ドライバでは、表示パネルの種類(アモルファスTFT、低温ポリシリコンTFT)や画素数(QCIF、QVGA、VGA)や製品の仕様などに応じて、メモリやデータドライバの構成が変わる。従って図1(A)の比較例では、ある製品では図1(B)のように、パッドピッチとメモリのセルピッチとデータドライバのセルピッチが一致していたとしても、メモリやデータドライバの構成が変わると、図1(C)に示すようにこれらのピッチが一致しなくなる。そして図1(C)のようにピッチが一致しなくなると、回路ブロック間に、ピッチの不一致を吸収するための無駄な配線領域を形成しなければならなくなる。特にD1方向にブロックが扁平している図1(A)の比較例では、ピッチの不一致を吸収するための無駄な配線領域が大きくなる。この結果、集積回路装置500のD2方向での幅Wが大きくなり、チップ面積が増加し、コスト増を招く。

10

【0040】

一方、このような事態を避けるために、パッドピッチとセルピッチが揃うようにメモリやデータドライバのレイアウトを変更すると、開発期間が長期化し、結局、コスト増を招く。即ち図1(A)の比較例では、各回路ブロックの回路構成やレイアウトを個別設計し、その後ピッチ等を合わせるという作業を行うため、無駄な空き領域が生じたり、設計が非効率化するなどの問題が生じる。

20

【0041】

2. 集積回路装置の構成

以上のような問題を解決できる本実施形態の集積回路装置10の構成例を図3に示す。本実施形態では、集積回路装置10の短辺である第1の辺SD1から対向する第3の辺SD3へと向かう方向を第1の方向D1とし、D1の反対方向を第3の方向D3としている。また集積回路装置10の長辺である第2の辺SD2から対向する第4の辺SD4へと向かう方向を第2の方向D2とし、D2の反対方向を第4の方向D4としている。なお、図3では集積回路装置10の左辺が第1の辺SD1で、右辺が第3の辺SD3になっているが、左辺が第3の辺SD3で、右辺が第1の辺SD1であってもよい。

30

【0042】

図3に示すように本実施形態の集積回路装置10は、D1方向に沿って配置される第1~第Nの回路ブロックCB1~CBN(Nは2以上の整数)を含む。即ち、図1(A)の比較例では回路ブロックがD2方向に並んでいるが、本実施形態では回路ブロックCB1~CBNがD1方向に並んでいる。また各回路ブロックは、図1(A)の比較例のような超扁平なブロックになっておらず、比較的スクウェアなブロックになっている。

【0043】

また集積回路装置10は、第1~第Nの回路ブロックCB1~CBNのD2方向側に辺SD4に沿って設けられる出力側I/F領域12(広義には第1のインターフェース領域)を含む。また第1~第Nの回路ブロックCB1~CBNのD4方向側に辺SD2に沿って設けられる入力側I/F領域14(広義には第2のインターフェース領域)を含む。より具体的には、出力側I/F領域12(第1のI/O領域)は、回路ブロックCB1~CBNのD2方向側に、例えば他の回路ブロック等を介さずに配置される。また入力側I/F領域14(第2のI/O領域)は、回路ブロックCB1~CBNのD4方向側に、例えば他の回路ブロック等を介さずに配置される。即ち少なくともデータドライバブロックが存在する部分において、D2方向において1つの回路ブロック(データドライバブロック)だけが存在する。なお集積回路装置10をIP(Intellectual Property)コアとして用いて他の集積回路装置に組み込む場合等には、I/F領域12、14の少なくとも一方を設けない構成とすることもできる。

40

50

【 0 0 4 4 】

出力側（表示パネル側）I / F 領域 1 2 は、表示パネルとのインターフェースとなる領域であり、パッドや、パッドに接続される出力用トランジスタ、保護素子などの種々の素子を含む。具体的には、データ線へのデータ信号や走査線への走査信号を出力するための出力用トランジスタなどを含む。なお表示パネルがタッチパネルである場合等には、入力用トランジスタを含んでもよい。

【 0 0 4 5 】

入力側（ホスト側）I / F 領域 1 4 は、ホスト（MPU、画像処理コントローラ、ベースバンドエンジン）とのインターフェースとなる領域であり、パッドや、パッドに接続される入力用（入出力用）トランジスタ、出力用トランジスタ、保護素子などの種々の素子を含むことができる。具体的には、ホストからの信号（デジタル信号）を入力するための入力用トランジスタやホストへの信号を出力するための出力用トランジスタなどを含む。

10

【 0 0 4 6 】

なお、短辺である辺 S D 1、S D 3 に沿った出力側又は入力側 I / F 領域を設けるようにしてもよい。また外部接続端子となるバンプ等は、I / F（インターフェース）領域 1 2、1 4 に設けてもよいし、それ以外の領域（第 1 ~ 第 N の回路ブロック C B 1 ~ C B N）に設けてもよい。I / F 領域 1 2、1 4 以外の領域に設ける場合には、金バンプ以外の小型バンプ技術（樹脂をコアとするバンプ技術など）を用いることで実現される。

【 0 0 4 7 】

また第 1 ~ 第 N の回路ブロック C B 1 ~ C B N は、少なくとも 2 つ（或いは 3 つ）の異なる回路ブロック（異なる機能を持つ回路ブロック）を含むことができる。集積回路装置 1 0 が表示ドライバである場合を例にとれば、回路ブロック C B 1 ~ C B N は、データドライバ、メモリ、走査ドライバ、ロジック回路、階調電圧生成回路、電源回路のブロックの少なくとも 2 つを含むことができる。更に具体的には回路ブロック C B 1 ~ C B N は、少なくともデータドライバ、ロジック回路のブロックを含むことができ、更に階調電圧生成回路のブロックを含むことができる。またメモリ内蔵タイプの場合には更にメモリのブロックを含むことができる。

20

【 0 0 4 8 】

例えば図 4 に種々のタイプの表示ドライバとそれが内蔵する回路ブロックの例を示す。メモリ（RAM）内蔵のアモルファス T F T（Thin Film Transistor）パネル用表示ドライバでは、回路ブロック C B 1 ~ C B N は、メモリ、データドライバ（ソースドライバ）、走査ドライバ（ゲートドライバ）、ロジック回路（ゲートアレイ回路）、階調電圧生成回路（補正回路）、電源回路のブロックを含む。一方、メモリ内蔵の低温ポリシリコン（LTPS）T F T パネル用表示ドライバでは、走査ドライバをガラス基板に形成できるため、走査ドライバのブロックを省略できる。またメモリ非内蔵のアモルファス T F T パネル用では、メモリのブロックを省略でき、メモリ非内蔵の低温ポリシリコン T F T パネル用では、メモリ及び走査ドライバのブロックを省略できる。また C S T N（Color Super Twisted Nematic）パネル、T F D（Thin Film Diode）パネル用では、階調電圧生成回路のブロックを省略できる。

30

【 0 0 4 9 】

図 5（A）（B）に本実施形態の表示ドライバの集積回路装置 1 0 の平面レイアウトの例を示す。図 5（A）（B）は、メモリ内蔵のアモルファス T F T パネル用の例であり、図 5（A）は例えば Q C I F、3 2 階調用の表示ドライバをターゲットとし、図 5（B）は Q V G A、6 4 階調用の表示ドライバをターゲットとしている。

40

【 0 0 5 0 】

図 5（A）（B）では、第 1 ~ 第 N の回路ブロック C B 1 ~ C B N は、第 1 ~ 第 4 のメモリブロック M B 1 ~ M B 4（広義には第 1 ~ 第 I のメモリブロック。I は 2 以上の整数）を含む。また第 1 ~ 第 4 のメモリブロック M B 1 ~ M B 4 の各々に対して、D 1 方向に沿ってその各々が隣接して配置される第 1 ~ 第 4 のデータドライバブロック D B 1 ~ D B 4（広義には第 1 ~ 第 I のデータドライバブロック）を含む。具体的にはメモリブロック

50

MB 1 とデータドライバブロック DB 1 が D 1 方向に沿って隣接して配置され、メモリブロック MB 2 とデータドライバブロック DB 2 が D 1 方向に沿って隣接して配置される。そしてデータドライバブロック DB 1 がデータ線を駆動するために用いる画像データ（表示データ）は、隣接するメモリブロック MB 1 が記憶し、データドライバブロック DB 2 がデータ線を駆動するために用いる画像データは、隣接するメモリブロック MB 2 が記憶する。

【 0 0 5 1 】

また図 5 (A) では、メモリブロック MB 1 ~ MB 4 のうちの MB 1 (広義には第 J のメモリブロック。 $1 \leq J < I$) の D 3 方向側に、データドライバブロック DB 1 ~ DB 4 のうちの DB 1 (広義には第 J のデータドライバブロック) が隣接して配置される。またメモリブロック MB 1 の D 1 方向側に、メモリブロック MB 2 (広義には第 J + 1 のメモリブロック) が隣接して配置される。そしてメモリブロック MB 2 の D 1 方向側に、データドライバブロック DB 2 (広義には第 J + 1 のデータドライバブロック) が隣接して配置される。メモリブロック MB 3、MB 4、データドライバブロック DB 3、DB 4 の配置も同様である。このように図 5 (A) では、MB 1、MB 2 の境界線に対して線対称に MB 1、DB 1 と MB 2、DB 2 が配置され、MB 3、MB 4 の境界線に対して線対称に MB 3、DB 3 と MB 4、DB 4 とが配置される。なお図 5 (A) では、DB 2 と DB 3 が隣接して配置されているが、これらを隣接させずに、その間に他の回路ブロックを配置してもよい。

【 0 0 5 2 】

一方、図 5 (B) では、メモリブロック MB 1 ~ MB 4 のうちの MB 1 (第 J のメモリブロック) の D 3 方向側に、データドライバブロック DB 1 ~ DB 4 のうちの DB 1 (第 J のデータドライバブロック) が隣接して配置される。また MB 1 の D 1 方向側に DB 2 (第 J + 1 のデータドライバブロック) が配置される。また DB 2 の D 1 方向側に MB 2 (第 J + 1 のメモリブロック) が配置される。DB 3、MB 3、DB 4、MB 4 も同様に配置される。なお図 5 (B) では、MB 1 と DB 2、MB 2 と DB 3、MB 3 と DB 4 が、各々、隣接して配置されているが、これらを隣接させずに、その間に他の回路ブロックを配置してもよい。

【 0 0 5 3 】

図 5 (A) のレイアウト配置によれば、メモリブロック MB 1 と MB 2 や、MB 3 と MB 4 の間で (第 J、第 J + 1 のメモリブロックの間で)、カラムアドレスデコーダを共用できるという利点がある。一方、図 5 (B) のレイアウト配置によれば、データドライバブロック DB 1 ~ DB 4 から出力側 I / F 領域 1 2 へのデータ信号出力線の配線ピッチを均一化でき、配線効率を向上できるという利点がある。

【 0 0 5 4 】

なお本実施形態の集積回路装置 10 のレイアウト配置は図 5 (A) (B) に限定されない。例えばメモリブロックやデータドライバブロックのブロック数を 2、3 或いは 5 以上にしてもよいし、メモリブロックやデータドライバブロックをブロック分割しない構成にしてもよい。またメモリブロックとデータドライバブロックが隣接しないようにする変形実施も可能である。またメモリブロック、走査ドライバブロック、電源回路ブロック又は階調電圧生成回路ブロックなどを設けない構成としてもよい。また回路ブロック CB 1 ~ CBN と出力側 I / F 領域 1 2 や入力側 I / F 領域 1 4 の間に、D 2 方向での幅が極めて狭い回路ブロック (WB 以下の細長回路ブロック) を設けてもよい。また回路ブロック CB 1 ~ CBN が、異なる回路ブロックが D 2 方向に多段に並んだ回路ブロックを含んでもよい。例えば走査ドライバ回路と電源回路を 1 つの回路ブロックとした構成としてもよい。

【 0 0 5 5 】

図 6 (A) に本実施形態の集積回路装置 10 の D 2 方向に沿った断面図の例を示す。ここで W 1、WB、W 2 は、各々、出力側 I / F 領域 1 2、回路ブロック CB 1 ~ CBN、入力側 I / F 領域 1 4 の D 2 方向での幅である。また W は集積回路装置 10 の D 2 方向で

10

20

30

40

50

の幅である。

【0056】

本実施形態では図6(A)に示すように、D2方向において、回路ブロックCB1~CBN(データドライバブロックDB)と出力側、入力側I/F領域12、14との間に他の回路ブロックが介在しない構成にできる。従って、 $W1 + WB + W2 < W1 + 2 \times WB + W2$ とすることができ、細長の集積回路装置を実現できる。具体的には、D2方向での幅Wは、 $W < 2 \text{ mm}$ とすることができ、更に具体的には $W < 1.5 \text{ mm}$ とすることができ、なおチップの検査やマウンティングを考慮すると、 $W > 0.9 \text{ mm}$ であることが望ましい。また長辺方向での長さLDは、 $1.5 \text{ mm} < LD < 2.7 \text{ mm}$ とすることができ、またチップ形状比 $SP = LD / W$ は、 $SP > 1.0$ とすることができ、更に具体的には $SP > 1.2$ とすることができ、

10

【0057】

なお図6(A)の幅W1、WB、W2は、各々、出力側I/F領域12、回路ブロックCB1~CBN、入力側I/F領域14のトランジスタ形成領域(バルク領域、アクティブ領域)の幅である。即ちI/F領域12、14には、出力用トランジスタ、入力用トランジスタ、入出力用トランジスタ、静電保護素子のトランジスタなどが形成される。また回路ブロックCB1~CBNには、回路を構成するトランジスタが形成される。そしてW1、WB、W2は、このようなトランジスタが形成されるウェル領域や拡散領域などを基準に決められる。例えば、よりスリムな細長の集積回路装置を実現するためには、回路ブロックCB1~CBNのトランジスタの上にもバンプ(能動面バンプ)を形成することが望ましい。具体的には、そのコアが樹脂で形成され、樹脂の表面に金属層が形成された樹脂コアバンプなどをトランジスタ(アクティブ領域)上に形成する。そしてこのバンプ(外部接続端子)は、I/F領域12、14に配置されるパッドに、金属配線により接続される。本実施形態のW1、WB、W2は、このようなバンプの形成領域の幅ではなく、バンプの下に形成されるトランジスタ形成領域の幅である。

20

【0058】

また回路ブロックCB1~CBNの各々のD2方向での幅は、例えば同じ幅に統一できる。この場合、各回路ブロックの幅は、実質的に同じであればよく、例えば数 μm ~20 μm (数十 μm)程度の違いは許容範囲内である。また回路ブロックCB1~CBNの中に、幅が異なる回路ブロックが存在する場合には、幅WBは、回路ブロックCB1~CBNの幅の中の最大幅とすることができ、この場合の最大幅は、例えばデータドライバブロックのD2方向での幅とすることができ、或いはメモリ内蔵の集積回路装置の場合にはメモリブロックのD2方向での幅とすることができ、なお回路ブロックCB1~CBNとI/F領域12、14の間には、例えば20~30 μm 程度の幅の空き領域を設けることができる。

30

【0059】

また本実施形態では、出力側I/F領域12にはD2方向での段数が1段又は複数段となるパッドを配置できる。従ってパッド幅(例えば0.1mm)やパッドピッチを考慮すると、出力側I/F領域12のD2方向での幅W1は、 $0.13 \text{ mm} < W1 < 0.4 \text{ mm}$ とすることができ、また入力側I/F領域14には、D2方向での段数が1段となるパッドを配置できるため、入力側I/F領域14の幅W2は、 $0.1 \text{ mm} < W2 < 0.2 \text{ mm}$ とすることができ、また細長の集積回路装置を実現するためには、回路ブロックCB1~CBN上に、ロジック回路ブロックからのロジック信号や、階調電圧生成回路ブロックからの階調電圧信号や、電源配線を、グローバル配線により形成する必要があり、これらの配線幅は合計で例えば0.8~0.9mm程度になる。従って、これらを考慮すると、回路ブロックCB1~CBNの幅WBは、 $0.65 \text{ mm} < WB < 1.2 \text{ mm}$ とすることができ、

40

【0060】

そして $W1 = 0.4 \text{ mm}$ 、 $W2 = 0.2 \text{ mm}$ であったとしても、 $0.65 \text{ mm} < WB < 1.2 \text{ mm}$ であるため、 $WB > W1 + W2$ が成り立つ。またW1、WB、W2が最も小さ

50

い値である場合には、 $W1 = 0.13 \text{ mm}$ 、 $WB = 0.65 \text{ mm}$ 、 $W2 = 0.1 \text{ mm}$ となり、集積回路装置の幅は $W = 0.88 \text{ mm}$ 程度になる。従って、 $W = 0.88 \text{ mm} < 2 \times WB = 1.3 \text{ mm}$ が成り立つ。また $W1$ 、 WB 、 $W2$ が最も大きい値である場合には、 $W1 = 0.4 \text{ mm}$ 、 $WB = 1.2 \text{ mm}$ 、 $W2 = 0.2 \text{ mm}$ となり、集積回路装置の幅は $W = 1.8 \text{ mm}$ 程度になる。従って、 $W = 1.8 \text{ mm} < 2 \times WB = 2.4 \text{ mm}$ が成り立つ。従って $W < 2 \times WB$ の関係式が成り立ち、細長の集積回路装置を実現できる。

【0061】

図1(A)の比較例では、図6(B)に示すように2以上の複数の回路ブロックがD2方向に沿って配置される。またD2方向において、回路ブロック間や、回路ブロックとI/F領域の間に配線領域が形成される。従って集積回路装置500のD2方向(短辺方向)での幅Wが大きくなり、スリムな細長チップを実現できない。従って微細プロセスを利用してチップをシュリンクしても、図2(A)に示すようにD1方向(長辺方向)での長さLDも短くなってしまい、出力ピッチが狭ピッチになるため、実装の困難化を招く。

10

【0062】

これに対して本実施形態では図3、図5(A)(B)に示すように複数の回路ブロックCB1~CBNがD1方向に沿って配置される。また図6(A)に示すように、パッド(バンク)の下にトランジスタ(回路素子)を配置できる(能動面バンク)。また回路ブロック内の配線であるローカル配線よりも上層(パッドよりも下層)で形成されるグローバル配線により、回路ブロック間や、回路ブロックとI/F領域間等での信号線を形成できる。従って図2(B)に示すように、集積回路装置10のD1方向での長さLDを維持したままで、D2方向での幅Wを狭くでき、超スリムな細長チップを実現できる。この結果、出力ピッチを例えば $22 \mu\text{m}$ 以上に維持することができ、実装を容易化できる。

20

【0063】

また本実施形態では複数の回路ブロックCB1~CBNがD1方向に沿って配置されるため、製品の仕様変更等に容易に対応できる。即ち共通のプラットフォームを用いて様々な仕様の製品を設計できるため、設計効率を向上できる。例えば図5(A)(B)において、表示パネルの画素数や階調数が増減した場合にも、メモリブロックやデータドライバブロックのブロック数や、1水平走査期間での画像データの読み出し回数等を増減するだけで対応できる。また図5(A)(B)はメモリ内蔵のアモルファスTFEパネル用の例であるが、メモリ内蔵の低温ポリシリコンTFEパネル用の製品を開発する場合には、回路ブロックCB1~CBNの中から走査ドライバブロックを取り除くだけで済む。またメモリ非内蔵の製品を開発する場合には、メモリブロックを取り除けば済む。そしてこのように仕様に合わせて回路ブロックを取り除いても、本実施形態では、それが他の回路ブロックに及ぼす影響が最小限に抑えられるため、設計効率を向上できる。

30

【0064】

また本実施形態では、各回路ブロックCB1~CBNのD2方向での幅(高さ)を、例えばデータドライバブロックやメモリブロックの幅(高さ)に統一できる。そして各回路ブロックのトランジスタ数が増減した場合には、各回路ブロックのD1方向での長さを増減することで調整できるため、設計を更に効率化できる。例えば図5(A)(B)において、階調電圧生成回路ブロックや電源回路ブロックの構成が変更になり、トランジスタ数が増減した場合にも、階調電圧生成回路ブロックや電源回路ブロックのD1方向での長さを増減することで対応できる。

40

【0065】

なお第2の比較例として、例えばデータドライバブロックをD1方向に細長に配置し、データドライバブロックのD4方向側に、メモリブロックなどの他の複数の回路ブロックをD1方向に沿って配置する手法も考えられる。しかしながらこの第2の比較例では、メモリブロックなどの他の回路ブロックと出力側I/F領域との間に、幅の大きなデータドライバブロックが介在するようになるため、集積回路装置のD2方向での幅Wが大きくなり、スリムな細長チップの実現が困難になる。またデータドライバブロックとメモリブロックの間に無駄な配線領域が生じてしまい、幅Wが更に大きくなってしまふ。またデータ

50

ドライバブロックやメモリブロックの構成が変わった場合には、図1(B)(C)で説明したピッチの不一致の問題が生じ、設計効率を向上できない。

【0066】

また本実施形態の第3の比較例として、同一機能の回路ブロック(例えばデータドライバブロック)だけをブロック分割して、D1方向に並べて配置する手法も考えられる。しかしながら、この第3の比較例では、集積回路装置に同一機能(例えばデータドライバの機能)だけしか持たせることができないため、多様な製品展開を実現できない。これに対して本実施形態では、回路ブロックCB1~CBNは、少なくとも2つの異なる機能を有する回路ブロックを含む。従って図4、図5(A)(B)に示すように、様々なタイプの表示パネルに対応した多様な機種を集積回路装置を提供できるという利点がある。

10

【0067】

3. 回路構成

図7に集積回路装置10の回路構成例を示す。なお集積回路装置10の回路構成は図7に限定されるものではなく、種々の変形実施が可能である。メモリ20(表示データRAM)は画像データを記憶する。メモリセルアレイ22は複数のメモリセルを含み、少なくとも1フレーム(1画面)分の画像データ(表示データ)を記憶する。この場合、1画素は例えばR、G、Bの3サブピクセル(3ドット)で構成され、各サブピクセルについて例えば6ビット(kビット)の画像データが記憶される。ローアドレスデコーダ24(MPU/LCDローアドレスデコーダ)はローアドレスについてのデコード処理を行い、メモリセルアレイ22のワード線の選択処理を行う。カラムアドレスデコーダ26(MPUカラムアドレスデコーダ)はカラムアドレスについてのデコード処理を行い、メモリセルアレイ22のビット線の選択処理を行う。ライト/リード回路28(MPUライト/リード回路)はメモリセルアレイ22への画像データのライト処理や、メモリセルアレイ22からの画像データのリード処理を行う。なおメモリセルアレイ22のアクセス領域は、例えばスタートアドレスとエンドアドレスを対頂点とする矩形で定義される。即ちスタートアドレスのカラムアドレス及びローアドレスと、エンドアドレスのカラムアドレス及びローアドレスでアクセス領域が定義され、メモリアクセスが行われる。

20

【0068】

ロジック回路40(例えば自動配置配線回路)は、表示タイミングを制御するための制御信号やデータ処理タイミングを制御するための制御信号などを生成する。このロジック回路40は例えばゲートアレイ(G/A)などの自動配置配線により形成できる。制御回路42は各種制御信号を生成したり、装置全体の制御を行う。具体的には階調電圧生成回路110に階調特性(特性)の調整データ(補正データ)を出力したり、電源回路90の電圧生成を制御する。またローアドレスデコーダ24、カラムアドレスデコーダ26、ライト/リード回路28を用いたメモリへのライト/リード処理を制御する。表示タイミング制御回路44は表示タイミングを制御するための各種の制御信号を生成し、メモリから表示パネル側への画像データの読み出しを制御する。ホスト(MPU)インターフェース回路46は、ホストからのアクセス毎に内部パルスを発生してメモリにアクセスするホストインターフェースを実現する。RGBインターフェース回路48は、ドットクロックにより動画のRGBデータをメモリに書き込むRGBインターフェースを実現する。なおホストインターフェース回路46、RGBインターフェース回路48のいずれか一方のみを設ける構成としてもよい。

30

40

【0069】

図7において、ホストインターフェース回路46、RGBインターフェース回路48からは1画素単位でメモリ20へのアクセスが行われる。一方、データドライバ50へは、ホストインターフェース回路46、RGBインターフェース回路48とは独立した内部表示タイミングにより、ライン周期毎に、ラインアドレスで指定されライン単位で読み出された画像データが送られる。

【0070】

データドライバ50は表示パネルのデータ線を駆動するための回路であり、図8(A)

50

にその構成例を示す。データラッチ回路52は、メモリ20からのデジタルの画像データをラッチする。D/A変換回路54(電圧選択回路)は、データラッチ回路52にラッチされたデジタルの画像データのD/A変換を行い、アナログのデータ電圧を生成する。具体的には階調電圧生成回路110から複数(例えば64段階)の階調電圧(基準電圧)を受け、これらの複数の階調電圧の中から、デジタルの画像データに対応する電圧を選択して、データ電圧として出力する。出力回路56(駆動回路、バッファ回路)は、D/A変換回路54からのデータ電圧をバッファリングして表示パネルのデータ線に出力し、データ線を駆動する。なお、出力回路56の一部(例えば演算増幅器の出力段)をデータドライバ50には含ませずに、他の領域に配置する構成としてもよい。

【0071】

走査ドライバ70は表示パネルの走査線を駆動するための回路であり、図8(B)にその構成例を示す。シフトレジスタ72は順次接続された複数のフリップフロップを含み、シフトクロック信号SCKに同期してイネーブル入出力信号EIOを順次シフトする。レベルシフタ76は、シフトレジスタ72からの信号の電圧レベルを、走査線選択のための高電圧レベルに変換する。出力回路78は、レベルシフタ76により変換されて出力された走査電圧をバッファリングして表示パネルの走査線に出力し、走査線を選択駆動する。なお走査ドライバ70は図8(C)に示す構成であってもよい。図8(C)では、走査アドレス生成回路73が走査アドレスを生成して出力し、アドレスデコーダ74が走査アドレスのデコード処理を行う。そしてこのデコード処理により特定された走査線に対して、レベルシフタ76、出力回路78を介して走査電圧が出力される。

【0072】

電源回路90は各種の電源電圧を生成する回路であり、図9(A)にその構成例を示す。昇圧回路92は、入力電源電圧や内部電源電圧を、昇圧用キャパシタや昇圧用トランジスタを用いてチャージポンプ方式で昇圧し、昇圧電圧を生成する回路であり、1次~4次昇圧回路などを含むことができる。この昇圧回路92により、走査ドライバ70や階調電圧生成回路110が使用する高電圧を生成できる。レギュレータ回路94は、昇圧回路92により生成された昇圧電圧のレベル調整を行う。VCOM生成回路96は、表示パネルの対向電極に供給するVCOM電圧を生成して出力する。制御回路98は電源回路90の制御を行うものであり、各種の制御レジスタなどを含む。

【0073】

階調電圧生成回路(補正回路)110は階調電圧を生成する回路であり、図9(B)にその構成例を示す。選択用電圧生成回路112(電圧分割回路)は、電源回路90で生成された高電圧の電源電圧VDDH、VSSHに基づいて、選択用電圧VS0~VS255(広義にはR個の選択用電圧)を出力する。具体的には選択用電圧生成回路112は、直列に接続された複数の抵抗素子を有するラダー抵抗回路を含む。そしてVDDH、VSSHを、このラダー抵抗回路により分割した電圧を、選択用電圧VS0~VS255として出力する。階調電圧選択回路114は、ロジック回路40により調整レジスタ116に設定された階調特性の調整データに基づいて、選択用電圧VS0~VS255の中から、例えば64階調の場合には64個(広義にはS個。R>S)の電圧を選択して、階調電圧V0~V63として出力する。このようにすれば表示パネルに応じた最適な階調特性(補正特性)の階調電圧を生成できる。なお極性反転駆動の場合には、正極性用のラダー抵抗回路と負極性用のラダー抵抗回路を選択用電圧生成回路112に設けてもよい。またラダー抵抗回路の各抵抗素子の抵抗値を、調整レジスタ116に設定された調整データに基づいて変更できるようにしてもよい。また選択用電圧生成回路112や階調電圧選択回路114に、インピーダンス変換回路(ボルテージフォロワ接続の演算増幅器)を設ける構成にしてもよい。

【0074】

図10(A)に、図8(A)のD/A変換回路54が含む各DAC(Digital Analog Converter)の構成例を示す。図10(A)の各DACは、例えばサブピクセル毎(或いは画素毎)に設けることができ、ROMデコーダ等により構成される。そしてメモリ20か

10

20

30

40

50

らの6ビットのデジタルの画像データD0～D5とその反転データXD0～XD5に基づいて、階調電圧生成回路110からの階調電圧V0～V63のいずれかを選択することで、画像データD0～D5をアナログ電圧に変換する。そして得られたアナログ電圧の信号DAQ(DAQR、DAQG、DAQB)を出力回路56に出力する。

【0075】

なお低温ポリシリコンTFT用の表示ドライバ等で、R用、G用、B用のデータ信号をマルチプレクスして表示ドライバに送る場合(図10(C)の場合)には、R用、G用、B用の画像データを、1つの共用のDACを用いてD/A変換することもできる。この場合には図10(A)の各DACは画素毎に設けられる。

【0076】

図10(B)に、図8(A)の出力回路56が含む各出力部SQの構成例を示す。図10(B)の各出力部SQは画素毎に設けることができる。各出力部SQは、R(赤)用、G(緑)用、B(青)用のインピーダンス変換回路OPR、OPG、OPB(ボルテージフォロワ接続の演算増幅器)を含み、DACからの信号DAQR、DAQG、DAQBのインピーダンス変換を行って、データ信号DATAR、DATAG、DATABをR、G、B用のデータ信号出力線に出力する。なお例えば低温ポリシリコンTFTパネルの場合には、図10(C)に示すようなスイッチ素子(スイッチ用トランジスタ)SWR、SWG、SWBを設け、R用、G用、B用のデータ信号が多重化されたデータ信号DATAを、インピーダンス変換回路OPが出力するようにしてもよい。またデータ信号の多重化を複数画素に亘って行うようにしてもよい。また出力部SQに、図10(B)(C)のようなインピーダンス変換回路を設けずに、スイッチ素子等だけを設ける構成にしてもよい。

【0077】

4. バッファ回路、ローアドレスデコーダの配置

4.1 バッファ回路、ローアドレスデコーダのD1方向に沿った配置

本実施形態では、図11(A)に示すようにデータドライバブロックDBとメモリブロックMBがD1方向に沿って配置される。具体的にはデータドライバブロックDBとメモリブロックMBはD1方向で隣接配置される。

【0078】

データドライバブロックDBは、メモリブロックMBからの画像データを受け、データ線を駆動するデータドライバDRと、ロジック回路ブロックLBからのドライバ制御信号(ラッチ信号、DAC制御信号、出力制御信号)をバッファリングしてデータドライバDRに出力するバッファ回路BFを含む。

【0079】

例えばデータドライバDRは、LV(Low Voltage)の電圧レベル(広義には第1の電圧レベル)の電源で動作する回路が配置されるLV領域(広義には第1の回路領域)と、LVよりも高いMV(Middle Voltage)の電圧レベル(広義には第2の電圧レベル)の電源で動作する回路が配置されるMV領域(広義には第2の回路領域)を有する。ここでLVは、ロジック回路ブロックLB、メモリブロックMB等の動作電圧である。またMVは、D/A変換器、演算増幅器、電源回路等の動作電圧である。

【0080】

そしてバッファ回路BFは、LV領域(第1の回路領域)に配置されるLVバッファと、MV領域(第2の回路領域)に配置されるMVバッファを含む。LVバッファは、ロジック回路ブロックLBからのLVの電圧レベルのドライバ制御信号(ラッチ信号等)を受けてバッファリングし、そのD2方向側に配置されるデータドライバDRのLV領域の回路(ラッチ回路等)に対して出力する。またMVバッファはレベルシフタを含み、このレベルシフタは、ロジック回路ブロックLBからのドライバ制御信号(DAC制御信号、出力制御信号等)の電圧レベルを、LVの電圧レベル(第1の電圧レベル)からMVの電圧レベル(第2の電圧レベル)に変換する。そしてMVバッファは、MVの電圧レベルに変換されたドライバ制御信号を、そのD2方向側に配置されるデータドライバDRのMV領域の回路(D/A変換器、出力部等)に対して出力する。

10

20

30

40

50

【 0 0 8 1 】

メモリブロックMBは、画像データを記憶するメモリセルアレイMAと、メモリセルアレイMAのワード線の選択を行うロードレスデコーダRDを含む。またセンスアンプブロックSABを含む。ここでロードレスデコーダRDは、ロードレス(ワード線アドレス)のデコード処理を行い、メモリセルアレイMAのワード線WLの選択を行う。具体的には、表示パネルの各走査線が順次選択されて行くのに合わせて、ワード線WLを順次選択して行く。センスアンプブロックSABは、メモリセルアレイMAから読み出された画像データをデータドライバDRに出力する。具体的にはワード線WLの選択によりメモリセルの画像データの信号がビット線BLに出力されると、その信号の増幅を行い、D1方向に沿って配置されるデータドライバDRに対して出力する。そして図11(A)では

10

【 0 0 8 2 】

図11(A)に示すように本実施形態では、バッファ回路BFとデータドライバDRはD2方向に沿って配置され、ロードレスデコーダRDとメモリセルアレイMAもD2方向に沿って配置される。そしてバッファ回路BFとロードレスデコーダRDがD1方向に沿って配置される。具体的にはバッファ回路BFとロードレスデコーダRDがD1方向で隣接配置される。

【 0 0 8 3 】

本実施形態では細長の集積回路装置を実現するために、データドライバDRとメモリセルアレイMAをD1方向に沿って配置している。そしてデータドライバDRは、メモリセルアレイMAからの画像データを受けて、D/A変換等を行い、D2方向側に配置されるパッドを介して表示パネルのデータ線にデータ信号を出力する。このため、データドライバDRのD2方向での幅WDRとメモリセルアレイMAのD2方向での幅WMAはほぼ等しくなる。即ち、これらの幅WDRとWMAが等しくないと、メモリセルアレイMAの出力線のピッチとデータドライバDRの入力線のピッチを揃えるための配線領域が必要になる。この結果、データドライバブロックDB及びメモリブロックMBのD1方向での幅が大きくなり、集積回路装置が大規模化してしまう。

20

【 0 0 8 4 】

一方、図11(A)では、データドライバDRとメモリセルアレイMAがD1方向に沿って配置されるため、画像データの信号の流れはD1(D3)方向に沿ったものになる。このため、メモリセルアレイMAのビット線BLはD1方向に沿って配線され、ビット線BLに直交するワード線WLはD2方向に沿って配線される。従って、これらのワード線WLの選択を行うロードレスデコーダRDは、その長手方向がD1方向に沿うように、メモリセルアレイMAに隣接配置されることになる。

30

【 0 0 8 5 】

そして、前述のようにデータドライバDRのD2方向での幅WDRとメモリセルアレイMAのD2方向での幅WMAはほぼ等しくなるため、図11(A)のようにロードレスデコーダRDをメモリセルアレイMAのD4方向側に隣接配置すると、ロードレスデコーダRDのD3方向側の領域が、無駄な空き領域になってしまう可能性がある。

40

【 0 0 8 6 】

そこで図11(A)では、バッファ回路BFとロードレスデコーダRDをD1方向に沿って配置している。こうすることで、ロードレスデコーダRDのD3方向側の空き領域を有効活用することができ、レイアウト効率を向上できる。

【 0 0 8 7 】

またデータドライバDRには、その制御のために、ロジック回路ブロックLBからのドライバ制御信号を供給する必要がある。この場合に図11(A)の配置によれば、ドライバ制御信号線を、ロードレスデコーダRDの上を通過してロジック回路ブロックLBからバッファ回路BFに対してほぼ一直線に配線できるため、配線効率を向上できる。

50

【 0 0 8 8 】

即ち、後述するようにデータドライバDRには複数のサブピクセルドライバセルがマトリクス配置されており、これらのサブピクセルドライバセルには、D1方向に沿った多数の信号線が配線される。またメモリセルアレイMAとデータドライバDRとの間にも、D1方向に沿った多数の画像データ供給線が配線される。従って、ドライバ制御信号線を、ロジック回路ブロックLBからメモリセルアレイMAの上を通過してデータドライバDRに配線しようとする、D1方向に沿った配線の本数が多くなってしまい、配線効率が著しく低下する。またドライバ制御信号線がメモリセルアレイMAの上に配線されると、ドライバ制御信号線からのノイズが、カップリング容量を介してメモリセルアレイMAのビット線BLに伝わり、センスアンプの誤出力などの事態を招く。

10

【 0 0 8 9 】

この点、図11(A)の配置によれば、ドライバ制御信号線は、メモリセルアレイMAとデータドライバDRの境界上には配線されず、ローアドレスデコーダRDの上を通過してバッファ回路BFに配線される。従って、メモリセルアレイMAとデータドライバDRの境界での配線効率の低下を防止できる。またバッファ回路BFによりバッファリングされたドライバ制御信号の供給線は、バッファ回路BFからデータドライバDR上をD2方向に沿って配線される。従って、データドライバDR上において、サブピクセルドライバセル内のD1方向に沿った信号線と、ドライバ制御信号の供給線とが直交して配線されるようになり、配線効率を向上できる。またドライバ制御信号線がメモリセルアレイMA上に配線されないため、センスアンプの誤出力等も防止できる。

20

【 0 0 9 0 】

また図1(A)の比較例では、ローアドレスデコーダは、その長手方向がD2方向に沿うように配置されるようになる。即ちこの比較例では、D2方向に伝達される信号の流れに合わせて、ビット線をD2方向に沿って配線している。従ってワード線はD1方向に沿って配線され、ワード線の選択を行うローアドレスデコーダはD2方向に沿って配置されることになる。このため、メモリブロックMBとデータドライバブロックDBも、短辺方向であるD2方向に沿って配置されるようになり、D2方向での集積回路装置の幅が大きくなり、スリムな細長チップを実現することが難しい。また表示パネルの画素数、表示ドライバの仕様、メモリセルの構成等が変化し、メモリブロックMBやデータドライバブロックDBのD2方向での幅やD1方向での長さが変化すると、その影響が他の回路ブロックにも及んでしまい、設計が非効率化する。

30

【 0 0 9 1 】

これに対して、本実施形態では図11(A)に示すように、ローアドレスデコーダRDは、その長手方向がD1方向に沿うように配置される。従って、メモリセルアレイMAから出力される画像データの流れもD1(D3)方向に沿うようになり、メモリセルアレイMAからデータドライバDRに対してショートパスで画像データを出力できる。そして、このようにデータドライバDRとメモリセルアレイMAがD1方向に沿って配置されると、D2方向での集積回路装置の幅を小さくでき、図2(B)に示すようなスリムな細長チップを実現できる。また表示パネルの画素数等が変化した場合には、メモリブロックを分割することなどで、これに対応できるため、設計を効率化できる。

40

【 0 0 9 2 】

また図1(A)の比較例では、ワード線が長辺方向であるD1方向に沿って配置されるため、ワード線での信号遅延が大きくなり、画像データの読み出し速度が遅くなる。

【 0 0 9 3 】

これに対して図11(A)では、ローアドレスデコーダRDがD1方向に沿って配置されるため、ワード線WLを短辺方向であるD2方向に沿って配線できる。また本実施形態ではD2方向での集積回路装置の幅は短いため、メモリセルアレイMA内でのワード線WLの長さも短くでき、WLでの信号遅延を図1(A)の比較例に比べて格段に小さくできる。また図1(A)の比較例では、ホストからメモリの一部のアクセス領域にアクセスされた時においても、D1方向に長く寄生容量の大きいワード線が選択されてしまうため、

50

消費電力が大きくなる。これに対して図 1 1 (A) では、ホストアクセス時に、アクセス領域に対応するメモリセルアレイのワード線だけが選択されるため、低消費電力化を実現できる。

【 0 0 9 4 】

なお、ローアドレスデコーダ R D、バッファ回路 B F の配置は図 1 1 (A) には限定されず、種々の変形実施が可能である。例えば図 1 1 (B) では、メモリブロック M B が、D 2 方向に沿って配置される第 1、第 2 のメモリセルアレイ M A 1、M A 2 を含み、ローアドレスデコーダ R D は、メモリセルアレイ M A 1、M A 2 の間に配置される。そして、このローアドレスデコーダ R D とバッファ回路 B F とが、D 1 方向に沿って配置される。即ちバッファ回路 B F がデータドライバ D R 1、D R 2 の間に配置され、このバッファ回路 B F とローアドレスデコーダ R D が D 1 方向に沿って隣接配置される。

10

【 0 0 9 5 】

図 1 1 (B) のようにメモリセルアレイを M A 1 と M A 2 に分割する手法によれば、メモリセルアレイを分割しない手法に比べて、メモリセルアレイ M A 1、M A 2 の各々のワード線 W L に寄生する容量を減らすことができる。従って、ワード線 W L での信号遅延や消費電力の増加を抑えることができ、メモリからの画像データの読み出し速度の高速化や装置の低消費電力化を図れる。

【 0 0 9 6 】

また図 1 1 (B) のローアドレスデコーダ R D (M P U / L C D ロードレスデコーダ) は、ホスト (C P U、M P U) 側からのアクセス時には、メモリセルアレイ M A 1、M A 2 のいずれか一方のワード線の選択を行い、データドライバ D R への画像データの出力時には、メモリセルアレイ M A 1、M A 2 の両方のワード線の選択を行う。

20

【 0 0 9 7 】

例えば図 1 2 (A) に、図 1 1 (B) のローアドレスデコーダ R D の構成例を示す。図 1 2 (A) の A N D 1 0、A N D 2 0、A N D 3 0 には、ワード線アドレス信号 W A D が入力される。また A N D 1 1、A N D 2 1、A N D 3 1 の一方の入力には、各々、ノード N B 1、N B 2、N B 3 が接続され、他方の入力には信号 R 0 が入力される。また A N D 1 2、A N D 2 2、A N D 3 2 の一方の入力には、各々、ノード N B 1、N B 2、N B 3 が接続され、他方の入力には信号 / R 0 が入力される。

【 0 0 9 8 】

30

図 1 2 (B) に示すように、ホスト側からのメモリセルアレイ M A 1 へのアクセス時には、R 0 = 「 1 」、/ R 0 = 「 0 」になり、M A 2 側の A N D 1 2、A N D 2 2、A N D 3 2 の出力は「 0 」に固定される。従って、ノード N B 1、N B 2 又は N B 3 の論理レベルが「 1 」になった場合に、メモリセルアレイ M A 1 側のワード線 W L 1 -1、W L 2 -1、W L 3 -1 の方だけが選択されるようになる。

【 0 0 9 9 】

またホスト側からのメモリセルアレイ M A 2 へのアクセス時には、R 0 = 「 0 」、/ R 0 = 「 1 」になり、M A 1 側の A N D 1 1、A N D 2 1、A N D 3 1 の出力は「 0 」に固定される。従って、ノード N B 1、N B 2 又は N B 3 の論理レベルが「 1 」になった場合に、メモリセルアレイ M A 2 側のワード線 W L 1 -2、W L 2 -2、W L 3 -2 の方だけが選択されるようになる。

40

【 0 1 0 0 】

一方、データドライバブロック D B への画像データの出力時には、R 0 = / R 0 = 「 1 」になる。従って、ノード N B 1、N B 2 又は N B 3 の論理レベルが「 1 」になった場合に、メモリセルアレイ M A 1 側のワード線 W L 1 -1、W L 2 -1、W L 3 -1 と、メモリセルアレイ M A 2 側のワード線 W L 1 -2、W L 2 -2、W L 3 -2 の両方が選択されるようになる。

【 0 1 0 1 】

このように図 1 2 (A) の構成によれば、ホストアクセス時に、アクセス対象となるメモリセルアレイのワード線だけを選択できるようになるため、常に両方のメモリセルアレイ

50

このワード線を選択する手法に比べて、ワード線での信号遅延や消費電力を低減できる。

【 0 1 0 2 】

4.2 グローバル線の配線

集積回路装置のD2方向での幅を小さくするためには、D1方向に沿って配置される回路ブロック間の信号線、電源線を、効率良く配線する必要がある。そこで本実施形態では、グローバル配線手法により回路ブロック間の信号線、電源線を配線している。具体的にはこのグローバル配線手法では、図3の第1～第Nの回路ブロックCB1～CBNのうちの隣接する回路ブロック間では、第I（Iは3以上の整数）の層よりも下層の配線層（例えば第1～第4のアルミ配線層ALA、ALB、ALC、ALD）で形成されるローカル線が、信号線又は電源線として配線される。一方、第1～第Nの回路ブロックCB1～CBNのうちの隣接しない回路ブロック間では、第Iの層以上の配線層（例えば第5のアルミ配線層ALE）で形成されるグローバル線が、信号線又は電源線として、隣接しない回路ブロックの間に介在する回路ブロック上をD1方向に沿って配線される。

10

【 0 1 0 3 】

図13にグローバル線の配線例を示す。図13では、ロジック回路ブロックLBからのドライバ制御信号をデータドライバブロックDB1～DB3に供給するためのドライバ用グローバル線GLDが、バッファ回路BF1～BF3、ロードレスデコーダRD1～RD3上に配線される。即ちトップメタルである第5のアルミ配線層ALEで形成されるドライバ用グローバル線GLDが、ロジック回路ブロックLBからバッファ回路BF1～BF3及びロードレスデコーダRD1～RD3上を、D1方向に沿ってほぼ一直線に配線される。そしてこれらのドライバ用グローバル線GLDにより供給されるドライバ制御信号が、バッファ回路BF1～BF3にてバッファリングされて、バッファ回路BF1～BF3のD2方向側に配置されるデータドライバDR1～DR3に入力される。

20

【 0 1 0 4 】

また図13では、ロジック回路ブロックLBからの少なくともライトデータ信号（或いは、アドレス信号、メモリ制御信号）をメモリブロックMB1～MB3に供給するためのメモリ用グローバル線GLMが、D1方向に沿って配線される。即ち第5のアルミ配線層ALEで形成されるメモリ用グローバル線GLMが、ロジック回路ブロックLBからD1方向に沿って配線される。

【 0 1 0 5 】

より具体的には図13では、メモリブロックMB1～MB3に対応してリピータブロックRP1～RP3が配置される。これらのリピータブロックRP1～RP3は、ロジック回路ブロックLBからの少なくともライトデータ信号（或いはアドレス信号、メモリ制御信号）をバッファリングしてメモリブロックMB1～MB3に対して出力するバッファを含む。そして図13に示すように、メモリブロックMB1～MB3とリピータブロックRP1～RP3は、D1方向に沿って隣接配置される。

30

【 0 1 0 6 】

例えばロジック回路ブロックLBからのライトデータ信号、アドレス信号、メモリ制御信号を、メモリ用グローバル線GLMを用いてメモリブロックMB1～MB3に供給する場合に、これらの信号をバッファリングしないと、信号の立ち上がり波形や立ち下がり波形が鈍る。この結果、メモリブロックMB1～MB3へのデータの書き込み時間が長くなったり、書き込みエラーが生じるおそれがある。

40

【 0 1 0 7 】

この点、図13のようなリピータブロックRP1～RP3を各メモリブロックMB1～MB3の例えばD1方向側に隣接して配置すれば、これらのライトデータ信号、アドレス信号、メモリ制御信号がリピータブロックRP1～RP3によりバッファリングされて各メモリブロックMB1～MB3に入力されるようになる。この結果、信号の立ち上がり波形や立ち下がり波形が鈍るのを低減でき、メモリブロックMB1～MB3への適正なデータ書き込みを実現できる。

【 0 1 0 8 】

50

また図13では集積回路装置が、階調電圧を生成する階調電圧生成回路ブロックGBを含む。そして階調電圧生成回路ブロックGBからの階調電圧をデータドライバブロックDB1～DB3に供給するための階调用グローバル線GLGが、D1方向に沿って配線される。即ち第5のアルミ配線層ALEで形成される階调用グローバル線GLGが、ロジック回路ブロックLBからD1方向に沿って配線される。そして、階调用グローバル線GLGからの階調電圧をデータドライバDR1～DR3に供給するための階調電圧供給線GSL1～GSL3が、各データドライバDR1～DR3においてD2方向に沿って配線される。具体的には、階調電圧供給線GSL1～GSL3は、後述する複数のサブピクセルドライバセルにまたがって、各サブピクセルドライバセルのD/A変換器上をD2方向に沿って配線される。

10

【0109】

そして更に本実施形態では図13に示すように、メモリ用グローバル線GLMが、階调用グローバル線GLGとドライバ用グローバル線GLDの間にD1方向に沿って配線される。

【0110】

即ち図13に示すように本実施形態では、バッファ回路BF1～BF3とローアドレスデコーダRD1～RD3がD1方向に沿って配置される。そしてロジック回路ブロックLBから、これらのバッファ回路BF1～BF3、ローアドレスデコーダRD1～RD3上を通って、ドライバ用グローバル線GLDをD1方向に沿って配線することで、前述のように配線効率を大幅に向上できる。

20

【0111】

また、データドライバDR1～DR3に対しては、階調電圧生成回路ブロックGBからの階調電圧を供給する必要があり、このために、階调用グローバル線GLGがD1方向に沿って配線される。

【0112】

一方、ローアドレスデコーダRD1～RD3に対しては、メモリ用グローバル線GLMによりアドレス信号、メモリ制御信号等が供給される。従って、メモリ用グローバル線GLMは、ローアドレスデコーダRD1～RD3の近くに配線することが望ましい。

【0113】

この点、図13では、メモリ用グローバル線GLMが、階调用グローバル線GLGとドライバ用グローバル線GLDの間に配線される。従って、メモリ用グローバル線GLMからのアドレス信号、メモリ制御信号等を、ローアドレスデコーダRD1～RD3にショートパスで供給することができる。また階调用グローバル線GLGは、このメモリ用グローバル線GLMの上側にD1方向に沿ってほぼ一直線に配線できる。従って、1つの層のアルミ配線層ALEを用いて、グローバル線GLG、GLM、GLDを交差することなく配線できるようになり、配線効率を向上できる。

30

【0114】

なお図11(B)の配置の場合には、ドライバ用グローバル線GLDの上側及び下側の一方側のみに、階调用グローバル線GLG、メモリ用グローバル線GLMを配線してもよいし、ドライバ用グローバル線GLDの上側及び下側の両側に、階调用グローバル線GLG、メモリ用グローバル線GLMを配線してもよい。

40

【0115】

4.3 リピータブロック

図14にリピータブロックの構成例を示す。図14において、ロジック回路ブロックLBからのライトデータ信号(WD0、WD1・・・)は、2つのインバータから構成されるバッファBFA1、BFA2・・・によりバッファリングされて、次段のリピータブロックに出力される。具体的には図13において、メモリブロックMB1のD1方向側に配置されるリピータブロックRP1から、メモリブロックMB2のD1方向側に配置される次段のリピータブロックRP2に対して、バッファリングされた信号が出力される。またロジック回路ブロックLBからのライトデータ信号は、バッファBFB1、BFB2・・・

50

・によりバッファリングされて、メモリブロックに出力される。具体的には図13において、メモリブロックMB1のD1方向側に配置されるリピータブロックRP1からメモリブロックMB1に対して、バッファリングされた信号が出力される。このように本実施形態では、ライトデータ信号については、次段のメモリブロックへの出力用のバッファBFA1、BFA2・・・のみならず、各メモリブロック用のバッファBFB1、BFB2・・・が設けられている。このようにすることで、メモリブロックのメモリセルの寄生容量が原因でライトデータ信号の波形が鈍り、書き込み時間の長期化や書き込みエラーが生じるのを効果的に防止できる。

【0116】

またロジック回路ブロックLBからのアドレス信号(CPUカラムアドレス、CPUローアドレス、LCDローアドレス等)は、バッファBFC1・・・によりバッファリングされて、メモリブロック及び次段のリピータブロックに出力される。またロジック回路ブロックLBからのメモリ制御信号(リード/ライト切替信号、CPUイネーブル信号、バンク選択信号等)は、バッファBFD1・・・によりバッファリングされて、メモリブロック及び次段のリピータブロックに出力される。

【0117】

また図14のリピータブロックには、メモリブロックからのリードデータ信号用のバッファも設けられている。具体的にはバンク選択信号BANKMがアクティブ(Hレベル)になり、そのメモリブロックが選択されると、そのメモリブロックからのリードデータ信号がバッファBFE1、BFE2・・・によりバッファリングされてリードデータ線RD0L、RD1L・・・に出力される。一方、バンク選択信号BANKMが非アクティブ(Lレベル)になると、バッファBFE1、BFE2・・・の出力状態がハイインピーダンス状態になる。これにより、バンク選択信号がアクティブになった他のメモリブロックからのリードデータ信号を、ロジック回路ブロックLBに適正に出力できるようになる。

【0118】

5. データドライバブロック、メモリブロックの詳細

5.1 ブロック分割

図15(A)に示すように表示パネルが、垂直走査方向(データ線方向)での画素数がVPN=320であり、水平走査方向(走査線方向)での画素数がHPN=240であるQVGAのパネルであったとする。また1画素分の画像(表示)データのビット数PDBが、R、G、Bの各々が6ビットであり、PDB=18ビットであったとする。この場合には、表示パネルの1フレーム分の表示に必要な画像データのビット数は、VPN×HPN×PDB=320×240×18ビットになる。従って集積回路装置のメモリは、少なくとも320×240×18ビット分の画像データを記憶することになる。またデータドライバは、1水平走査期間毎(1本の走査線が走査される期間毎)に、HPN=240本分のデータ信号(240×18ビット分の画像データに対応するデータ信号)を表示パネルに対して出力する。

【0119】

そして図15(B)では、データドライバは、DBN=4個のデータドライバブロックDB1~DB4に分割される。またメモリも、MBN=DBN=4個のメモリブロックMB1~MB4に分割される。即ち、例えばデータドライバブロック、メモリブロック、パッドブロックをマクロセル化した4個のドライバマクロセルDMC1、DMC2、DMC3、DMC4がD1方向に沿って配置される。従って、各データドライバブロックDB1~DB4は、1水平走査期間毎にHPN/DBN=240/4=60本分のデータ信号を表示パネルに出力する。また各メモリブロックMB1~MB4は、(VPN×HPN×PDB)/MBN=(320×240×18)/4ビット分の画像データを記憶する。

【0120】

5.2 1水平走査期間に複数回読み出し

図15(B)では、各データドライバブロックDB1~DB4は、1水平走査期間に60本分(R、G、Bを3本とすると、60×3=180本)のデータ信号を出力する。従

10

20

30

40

50

ってDB1～DB4に対応するメモリブロックMB1～MB4からは、1水平走査期間毎に240本分のデータ信号に対応する画像データを読み出す必要がある。

【0121】

しかしながら、1水平走査期間毎に読み出す画像データのビット数が増えると、D2方向に並ぶメモリセル(センスアンプ)の個数を多くする必要が生じる。この結果、集積回路装置のD2方向での幅Wが大きくなり、チップのスリム化が妨げられる。またワード線WLが長くなり、WLの信号遅延の問題も招く。

【0122】

そこで本実施形態では、各メモリブロックMB1～MB4から各データドライバブロックDB1～DB4に対して、各メモリブロックMB1～MB4に記憶される画像データを1水平走査期間において複数回(RN回)読み出す手法を採用している。

10

【0123】

例えば図16ではA1、A2に示すように、1水平走査期間においてRN=2回だけメモリアクセス信号MACS(ワード選択信号)がアクティブ(ハイレベル)になる。これにより各メモリブロックから各データドライバブロックに対して画像データが1水平走査期間においてRN=2回読み出される。すると、データドライバブロック内に設けられた図17の第1、第2のデータドライバDRa、DRbが含むデータラッチ回路が、A3、A4に示すラッチ信号LATA、LATBに基づいて、読み出された画像データをラッチする。そして第1、第2のデータドライバDRa、DRbが含むD/A変換回路が、ラッチされた画像データのD/A変換を行い、DRa、DRbが含む出力回路が、D/A変換により得られたデータ信号DATAa、DATAbをA5、A6に示すようにデータ信号出力線に出力する。その後、A7に示すように、表示パネルの各画素のTFTのゲートに

20

入力される走査信号SCSELがアクティブになり、データ信号が表示パネルの各画素に

入力されて保持される。

【0124】

なお図16では第1の水平走査期間で画像データを2回読み出し、同じ第1の水平走査期間においてデータ信号DATAa、DATAbをデータ信号出力線に出力している。しかしながら、第1の水平走査期間で画像データを2回読み出してラッチしておき、次の第2の水平走査期間で、ラッチされた画像データに対応するデータ信号DATAa、DATAbをデータ信号出力線に出力してもよい。また図16では、読み出し回数RN=2である場合を示しているが、RN=3であってもよい。

30

【0125】

図16の手法によれば、図17に示すように、各メモリブロックから30本分のデータ信号に対応する画像データが読み出され、各データドライバDRa、DRbが30本分のデータ信号を出力する。これにより各データドライバブロックからは60本分のデータ信号が出力される。このように図16では、各メモリブロックからは、1回の読み出しにおいて30本分のデータ信号に対応する画像データを読み出せば済むようになる。従って1水平走査期間に1回だけ読み出す手法に比べて、図17のD2方向でのメモリセル、センスアンプの個数を少なくすることが可能になる。この結果、集積回路装置のD2方向での幅を小さくでき、超スリムな細長チップを実現できる。特に1水平走査期間の長さは、QVGAの場合は52μsec程度である。一方、メモリの読み出し時間は例えば40ns程度であり、52μsecに比べて十分に短い。従って、1水平走査期間での読み出し回数を1回から複数回に増やしたとしても、表示特性に与える影響はそれほど大きくない。

40

【0126】

また図15(A)はQVGA(320×240)の表示パネルであるが、1水平走査期間での読み出し回数を例えばRN=4にすれば、VGA(640×480)の表示パネルに対応することも可能になり、設計の自由度を増すことができる。

【0127】

なお1水平走査期間での複数回読み出しは、各メモリブロック内で異なる複数のワード

50

線をローアドレスデコーダ（ワード線選択回路）が1水平走査期間において選択する第1の手法で実現してもよいし、各メモリブロック内で同じワード線をローアドレスデコーダ（ワード線選択回路）が1水平走査期間において複数回選択する第2の手法で実現してもよい。或いは第1、第2の手法の両方の組み合わせにより実現してもよい。

【0128】

5.3 データドライバ、ドライバセルの配置

図17にデータドライバと、データドライバが含むドライバセルの配置例を示す。図17に示すように、データドライバブロックは、D1方向に沿ってスタック配置される複数のデータドライバDRa、DRb（第1～第mのデータドライバ）を含む。また各データドライバDRa、DRbは、複数の30個（広義にはQ個）のドライバセルDRc1～DRc30を含む。

10

【0129】

第1のデータドライバDRaは、メモリブロックのワード線WL1aが選択され、図16のA1に示すように1回目の画像データがメモリブロックから読み出されると、A3に示すラッチ信号LATaに基づいて、読み出された画像データをラッチする。そしてラッチされた画像データのD/A変換を行い、1回目の読み出し画像データに対応するデータ信号DATAaを、A5に示すようにデータ信号出力線に出力する。

【0130】

一方、第2のデータドライバDRbは、メモリブロックのワード線WL1bが選択され、図16のA2に示すように2回目の画像データがメモリブロックから読み出されると、A4に示すラッチ信号LATbに基づいて、読み出された画像データをラッチする。そしてラッチされた画像データのD/A変換を行い、2回目の読み出し画像データに対応するデータ信号DATAbを、A6に示すようにデータ信号出力線に出力する。

20

【0131】

このようにして、各データドライバDRa、DRbが30個の画素に対応する30本分のデータ信号を出力することで、合計で60個の画素に対応する60本分のデータ信号が出力されるようになる。

【0132】

図17のように、複数のデータドライバDRa、DRbをD1方向に沿って配置（スタック）するようになれば、データドライバの規模の大きさが原因になって集積回路装置のD2方向での幅Wが大きくなってしまいう事態を防止できる。またデータドライバは、表示パネルのタイプに応じて種々の構成が採用される。この場合にも、複数のデータドライバをD1方向に沿って配置する手法によれば、種々の構成のデータドライバを効率良くレイアウトすることが可能になる。なお図17ではD1方向でのデータドライバの配置数が2個である場合を示しているが、配置数は3個以上でもよい。

30

【0133】

また図17では、各データドライバDRa、DRbは、D2方向に沿って並んで配置される30個（Q個）のドライバセルDRc1～DRc30を含む。ここでドライバセルDRc1～DRc30の各々は、1画素分の画像データを受け取る。そして1画素分の画像データのD/A変換を行い、1画素分の画像データに対応するデータ信号を出力する。このドライバセルDRc1～DRc30の各々は、データのラッチ回路や、図10(A)のDAC（1画素分のDAC）や、図10(B)(C)の出力部SQを含むことができる。

40

【0134】

そして図17において、表示パネルの水平走査方向の画素数（複数の集積回路装置により分担して表示パネルのデータ線を駆動する場合には、各集積回路装置が受け持つ水平走査方向の画素数）をHPNとし、データドライバブロックのブロック数（ブロック分割数）をDBNとし、ドライバセルに対して1水平走査期間に入力される画像データの入力回数をINとしたとする。なおINは、図16で説明した1水平走査期間での画像データの読み出し回数RNと等しくなる。この場合に、D2方向に沿って並ぶドライバセルDRc1～DRc30の個数Qは、 $Q = HPN / (DBN \times IN)$ と表すことができる。図17

50

の場合には、 $HPN = 240$ 、 $DBN = 4$ 、 $IN = 2$ であるため、 $Q = 240 / (4 \times 2) = 30$ 個になる。

【0135】

なおドライバセル $DR C 1 \sim DR C 30$ の $D 2$ 方向での幅(ピッチ)を WD とし、データドライバブロックが含む周辺回路部分(バッファ回路、配線領域等)の $D 2$ 方向での幅を $WPCB$ とした場合に、第1～第 N の回路ブロック $CB 1 \sim CB N$ の $D 2$ 方向での幅 WB (最大幅)は、 $Q \times WD \leq WB < (Q + 1) \times WD + WPCB$ と表すことができる。またメモリブロックが含む周辺回路部分(ロードレシデューダ RD 、配線領域等)の $D 2$ 方向での幅を WPC とした場合には、 $Q \times WD \leq WB < (Q + 1) \times WD + WPC$ と表すことができる。

10

【0136】

また表示パネルの水平走査方向の画素数を HPN とし、1画素分の画像データのビット数を PDB とし、メモリブロックのブロック数を $MBN (= DBN)$ とし、1水平走査期間においてメモリブロックから読み出される画像データの読み出し回数を RN としたとする。この場合に、センスアンプブロック SAB において $D 2$ 方向に沿って並ぶセンスアンプ(1ビット分の画像データを出力するセンスアンプ)の個数 P は、 $P = (HPN \times PDB) / (MBN \times RN)$ と表すことができる。図17の場合には、 $HPN = 240$ 、 $PDB = 18$ 、 $MBN = 4$ 、 $RN = 2$ であるため、 $P = (240 \times 18) / (4 \times 2) = 540$ 個になる。なお個数 P は、有効メモリセル数に対応する有効センスアンプ数であり、ダミーメモリセル用のセンスアンプ等の有効ではないセンスアンプの個数は含まない。

20

【0137】

またセンスアンプブロック SAB が含む各センスアンプの $D 2$ 方向での幅(ピッチ)を WS とした場合には、センスアンプブロック SAB (メモリブロック)の $D 2$ 方向での幅 $WSAB$ は、 $WSAB = P \times WS$ と表すことができる。そして、回路ブロック $CB 1 \sim CB N$ の $D 2$ 方向での幅 WB (最大幅)は、メモリブロックが含む周辺回路部分の $D 2$ 方向での幅を WPC とした場合には、 $P \times WS \leq WB < (P + PDB) \times WS + WPC$ と表すこともできる。

【0138】

5.4 データドライバブロックのレイアウト

図18にデータドライバブロックの更に詳細なレイアウト例を示す。図18では、データドライバブロックは、その各々が1サブピクセル分の画像データに対応するデータ信号を出力する複数のサブピクセルドライバセル $SDC 1 \sim SDC 180$ を含む。そしてこのデータドライバブロックでは、 $D 1$ 方向(サブピクセルドライバセルの長辺に沿った方向)に沿って複数のサブピクセルドライバセルが配置されると共に $D 1$ 方向に直交する $D 2$ 方向に沿って複数のサブピクセルドライバセルが配置される。即ちサブピクセルドライバセル $SDC 1 \sim SDC 180$ がマトリクス配置される。そしてデータドライバブロックの出力線と表示パネルのデータ線とを電気的に接続するためのパッド(パッドブロック)が、データドライバブロックの $D 2$ 方向側に配置される。

30

【0139】

例えば図17のデータドライバ $DR a$ のドライバセル $DR C 1$ は、図18のサブピクセルドライバセル $SDC 1$ 、 $SDC 2$ 、 $SDC 3$ により構成される。ここで $SDC 1$ 、 $SDC 2$ 、 $SDC 3$ は、各々、 R (赤)用、 G (緑)用、 B (青)用のサブピクセルドライバセルであり、1本目のデータ信号に対応する R 、 G 、 B の画像データ($R 1$ 、 $G 1$ 、 $B 1$)がメモリブロックから入力される。そしてサブピクセルドライバセル $SDC 1$ 、 $SDC 2$ 、 $SDC 3$ は、これらの画像データ($R 1$ 、 $G 1$ 、 $B 1$)の D/A 変換を行い、1本目の R 、 G 、 B のデータ信号(データ電圧)を、1本目のデータ線に対応する R 、 G 、 B 用のパッドに出力する。

40

【0140】

同様にドライバセル $DR C 2$ は、 R 用、 G 用、 B 用のサブピクセルドライバセル $SDC 4$ 、 $SDC 5$ 、 $SDC 6$ により構成され、2本目のデータ信号に対応する R 、 G 、 B の画

50

像データ（R2、G2、B2）がメモリブロックから入力される。そしてサブピクセルドライバセルSDC4、SDC5、SDC6は、これらの画像データ（R2、G2、B2）のD/A変換を行い、2本目のR、G、Bのデータ信号（データ電圧）を、2本目のデータ線に対応するR、G、B用のパッドに出力する。他のサブピクセルドライバセルも同様である。

【0141】

なおサブピクセルの数は3個に限定されず、4個以上であってもよい。またサブピクセルドライバセルの配置も図18に限定されず、R用、G用、B用のサブピクセルドライバセルを例えばD2方向に沿ってスタック配置してもよい。

【0142】

5.5 メモリブロックのレイアウト

図19にメモリブロックのレイアウト例を示す。図19は、メモリブロックのうちの1画素（R、G、Bが各々6ビットで合計18ビット）に対応する部分を詳細に示している。

【0143】

センスアンプブロックのうち1画素に対応する部分は、R用のセンスアンプSAR0～SAR5と、G用のセンスアンプSAG0～SAG5と、B用のセンスアンプSAB0～SAB5を含む。また図19では、2個（広義には複数）のセンスアンプ（及びバッファ）がD1方向にスタック配置される。そしてスタック配置されたセンスアンプSAR0、SAR1のD1方向側にD1方向に沿って並ぶ2行のメモリセル列のうち、上側の行のメモリセル列のビット線は例えばSAR0に接続され、下側の行のメモリセル列のビット線は例えばSAR1に接続される。そしてSAR0、SAR1は、メモリセルから読み出された画像データの信号増幅を行い、これによりSAR0、SAR1から2ビットの画像データが出力されるようになる。他のセンスアンプとメモリセルの関係についても同様である。

【0144】

図19の構成の場合には、図16に示す1水平走査期間での画像データの複数回読み出しは、次のようにして実現できる。即ち第1の水平走査期間（第1の走査線の選択期間）においては、まずワード線WL1aを選択して画像データの1回目の読み出しを行い、図16のA5に示すように1回目のデータ信号DATAaを出力する。この場合にはセンスアンプSAR0～SAR5、SAG0～SAG5、SAB0～SAB5からのR、G、Bの画像データは、各々、サブピクセルドライバセルSDC1、SDC2、SDC3に入力される。次に、同じ第1の水平走査期間においてワード線WL1bを選択して画像データの2回目の読み出しを行い、図16のA6に示すように2回目のデータ信号DATAbを出力する。この場合にはセンスアンプSAR0～SAR5、SAG0～SAG5、SAB0～SAB5からのR、G、Bの画像データは、各々、図18のサブピクセルドライバセルSDC91、SDC92、SDC93に入力される。また次の第2の水平走査期間（第2の走査線の選択期間）においては、まずワード線WL2aを選択して画像データの1回目の読み出しを行い、1回目のデータ信号DATAaを出力する。次に、同じ第2の水平走査期間においてワード線WL2bを選択して画像データの2回目の読み出しを行い、2回目のデータ信号DATAbを出力する。

【0145】

なおセンスアンプをD1方向にスタック配置しない変形実施も可能である。またカラム選択信号を用いて、各センスアンプに接続するメモリセルの列を切り替えるようにしてもよい。この場合には、メモリブロック内において同じワード線を1水平走査期間において複数回選択することで、1水平走査期間での複数回読み出しを実現できる。

【0146】

5.6 サブピクセルドライバセルのレイアウト

図20にサブピクセルドライバセルの詳細なレイアウト例を示す。図20に示すように各サブピクセルドライバセルSDC1～SDC180は、ラッチ回路LAT、レベルシフ

10

20

30

40

50

タL/S、D/A変換器DAC、出力部SSQを含む。なおラッチ回路LATとレベルシフトL/Sの間に、階調制御のためのFRC(Frame Rate Control)回路などの他のロジック回路を設けてもよい。

【0147】

各サブピクセルドライバセルが含むラッチ回路LATは、メモリブロックMB1からの1サブピクセル分である6ビットの画像データをラッチする。レベルシフトL/Sは、ラッチ回路LATからの6ビットの画像データ信号の電圧レベルを変換する。D/A変換器DACは、階調電圧を用いて、6ビットの画像データのD/A変換を行う。出力部SSQは、D/A変換器DACの出力信号のインピーダンス変換を行う演算増幅器OP(ボルテージフォロワ接続)を有し、1サブピクセルに対応する1本のデータ線を駆動する。なお出力部SSQは、演算増幅器OP以外にも、ディスチャージ用、8色表示用、DAC駆動用のトランジスタ(スイッチ素子)を含むことができる。

10

【0148】

そして図20に示すように各サブピクセルドライバセルは、LV(Low Voltage)の電圧レベル(広義には第1の電圧レベル)の電源で動作する回路が配置されるLV領域(広義には第1の回路領域)と、LVよりも高いMV(Middle Voltage)の電圧レベル(広義には第2の電圧レベル)の電源で動作する回路が配置されるMV領域(広義には第2の回路領域)を有する。ここでLVは、ロジック回路ブロックLB、メモリブロックMB等の動作電圧である。またMVは、D/A変換器、演算増幅器、電源回路等の動作電圧である。なお走査ドライバの出力トランジスタは、HV(High Voltage)の電圧レベル(広義には第3の電圧レベル)の電源が供給されて走査線を駆動する。

20

【0149】

例えばサブピクセルドライバセルのLV領域(第1の回路領域)には、ラッチ回路LAT(或いはその他のロジック回路)が配置される。またMV領域(第2の回路領域)にはD/A変換器DACや、演算増幅器OPを有する出力部SSQが配置される。そしてレベルシフトL/Sが、LVの電圧レベルの信号をMVの電圧レベルの信号に変換する。

【0150】

なお図20ではサブピクセルドライバセルSDC1~SDC180のD4方向側にバッファ回路BF1が設けられている。このバッファ回路BF1は、ロジック回路ブロックLBからのドライバ制御信号をバッファリングして、サブピクセルドライバセルSDC1~SDC180に出力する。別の言い方をすれば、ドライバ制御信号のリピータブロックとして機能する。

30

【0151】

具体的にはバッファ回路BF1は、LV領域に配置されるLVバッファと、MV領域に配置されるMVバッファを含む。そしてLVバッファは、ロジック回路ブロックLBからのLVの電圧レベルのドライバ制御信号(ラッチ信号等)を受けてバッファリングし、そのD2方向側に配置されるサブピクセルドライバセルのLV領域の回路(LAT)に対して出力する。またMVバッファは、ロジック回路ブロックLBからのLVの電圧レベルのドライバ制御信号(DAC制御信号、出力制御信号等)を受け、レベルシフトによりMVの電圧レベルに変換してバッファリングし、そのD2方向側に配置されるサブピクセルドライバセルのMV領域の回路(DAC、SSQ)に対して出力する。

40

【0152】

そして本実施形態では図20に示すように、各サブピクセルドライバセルのMV領域同士(又はLV領域同士)がD1方向に沿って隣接するようにサブピクセルドライバセルSDC1~SDC180が配置される。即ち隣接するサブピクセルドライバセルがD2方向に沿った隣接境界を挟んでミラー配置される。例えばサブピクセルドライバセルSDC1とSDC2はMV領域が隣接するように配置される。またサブピクセルドライバセルSDC3とSDC91もMV領域が隣接するように配置される。なおサブピクセルドライバセルSDC2とSDC3はLV領域同士が隣接するように配置される。

【0153】

50

図 20 のように M V 領域が隣接するように配置すれば、サブピクセルドライバセル間にガードリング等を設ける必要がなくなる。従って M V 領域と L V 領域を隣接させる手法に比べて、データドライバブロックの D 1 方向での幅を小さくでき、集積回路装置の小面積化を図れる。

【 0 1 5 4 】

また図 20 の配置手法によれば、隣接するサブピクセルドライバセル（ドライバセル）の M V 領域を、サブピクセルドライバセル（ドライバセル）の出力信号の取り出し線の配線領域として有効利用でき、レイアウト効率を向上できる。

【 0 1 5 5 】

更に図 20 の配置手法によれば、メモリブロックを、サブピクセルドライバセルの L V 領域（第 1 の回路領域）に対して隣接して配置できるようになる。例えば図 20 において、メモリブロック M B 1 は、サブピクセルドライバセル S D C 1 や S D C 8 8 の L V 領域に隣接して配置される。またメモリブロック M B 2 は、サブピクセルドライバセル S D C 9 3 や S D C 1 8 0 の L V 領域に隣接して配置される。そしてメモリブロック M B 1、M B 2 は L V の電圧レベルの電源で動作する。従って、このようにサブピクセルドライバセルの L V 領域をメモリブロックに隣接して配置すれば、データドライバブロック及びメモリブロックにより構成されるドライバマクロセルの D 1 方向での幅を小さくでき、集積回路装置の小面積化を図れる。

【 0 1 5 6 】

なお集積回路装置がメモリブロックを含まない場合でも、図 20 の手法によれば、図 14 で説明したリピータブロックを、隣り合うサブピクセルドライバセルの L V 領域の間の領域に配置できる。これにより、ロジック回路ブロック L B からの L V の電圧レベルの信号（画像データ信号）をリピータブロックによりバッファリングして、サブピクセルドライバセルに入力することが可能になる。

【 0 1 5 7 】

5 . 7 D / A 変換器

図 21 にサブピクセルドライバセルが含む D / A 変換器（ D A C ）の詳細な構成例を示す。この D / A 変換器はいわゆるトーナメント方式の D / A 変換を行う回路であり、階調電圧セクタ S L N 1 ~ S L N 1 1、S L P 1 ~ S L P 1 1 とプリデコーダ 1 2 0 を含む。

【 0 1 5 8 】

ここで階調電圧セクタ S L N 1 ~ S L N 1 1 は N 型（広義には第 1 導電型）のトランジスタで構成されるセクタであり、階調電圧セクタ S L P 1 ~ S L P 1 1 は P 型（広義には第 2 導電型）のトランジスタで構成されるセクタであり、これらの N 型、P 型のトランジスタがペアとなってトランスファークロークが構成される。例えば S L N 1 を構成する N 型トランジスタと S L P 1 を構成する P 型トランジスタがペアとなって、トランスファークロークが構成される。

【 0 1 5 9 】

階調電圧セクタ S L N 1 ~ S L N 8、S L P 1 ~ S L P 8 の入力端子には、各々、V 0 ~ V 3、V 4 ~ V 7、V 8 ~ V 1 1、V 1 2 ~ V 1 5、V 1 6 ~ V 1 9、V 2 0 ~ V 2 3、V 2 4 ~ V 2 7、V 2 8 ~ V 3 1 の階調電圧供給線が接続される。そしてプリデコーダ 1 2 0 は、画像データ D 0 ~ D 5 が入力されて、図 2 2 (A) の真理値表に示すようなデコード処理を行う。そして選択信号 S 1 ~ S 4、X S 1 ~ X S 4 を、各々、階調電圧セクタ S L N 1 ~ S L N 8、S L P 1 ~ S L P 9 に出力する。また選択信号 S 5 ~ S 8、X S 5 ~ X S 8 を、各々、S L N 9 及び S L N 1 0、S L P 9 及び S L P 1 0 に出力し、S 9 ~ S 1 2、X S 9 ~ X S 1 2 を、各々、S L N 1 1、S L P 1 1 に出力する。

【 0 1 6 0 】

例えば画像データ D 0 ~ D 5 が (1 0 0 0 0 0) の場合には、図 2 2 (A) の真理値表に示すように、選択信号 S 2、S 5、S 9 (X S 2、X S 5、X S 9) がアクティブになる。これにより階調電圧セクタ S L N 1、S L P 1 が階調電圧 V 1 を選択し、S L N 9

10

20

30

40

50

、SLP9がSLN1、SLP1の出力を選択し、SLN11、SLP11がSLN9、SLP9の出力を選択する。従って出力部SSQには階調電圧V1が出力される。同様に画像データD0～D5が(010000)の場合には、選択信号S3(XS3)がアクティブになるため、階調電圧セクタSLN1、SLP1が階調電圧V2を選択し、出力部SSQには階調電圧V2が出力される。また画像データD0～D5が(001000)の場合には、選択信号S1、S6、S9(XS1、XS6、XS9)がアクティブになる。従って階調電圧セクタSLN2、SLP2が階調電圧V4を選択し、SLN9、SLP9がSLN2、SLP2の出力を選択し、SLN11、SLP11がSLN9、SLP9の出力を選択する。従って出力部SSQには階調電圧V4が出力される。

【0161】

そして本実施形態では図22(B)(C)に示すように、図21のD/A変換器に階調電圧V0～V31を供給するための階調電圧供給線が、複数のサブピクセルドライバセルにまたがってD2(D4)方向に沿って配線される。例えば図22(B)では、D2方向に沿って並ぶサブピクセルドライバセルSDC1、SDC4、SDC7にまたがって、階調電圧供給線がD2方向に配線される。またこれらの階調電圧供給線は、図22(B)(C)に示すようにD/A変換器(階調電圧セクタ)の配置領域上に配線される。

【0162】

更に具体的には図22(B)に示すように、サブピクセルドライバセルのD/A変換器の配置領域では、D2方向に沿ってN型トランジスタ領域(P型ウェル)、P型トランジスタ領域(N型ウェル)が配置される。一方、サブピクセルドライバセルのD/A変換器以外の回路(出力部、レベルシフタ、ラッチ回路)の配置領域では、D2方向に直交するD1方向に沿ってN型トランジスタ領域(P型ウェル)、P型トランジスタ領域(N型ウェル)が配置される。別の言い方をすれば、D2方向に沿って隣接するサブピクセルドライバセルは、D1方向に沿った隣接境界を挟んでミラー配置される。例えばドライバセルSDC1とSDC4は、その隣接境界を挟んでミラー配置され、SDC4とSDC7は、その隣接境界を挟んでミラー配置される。

【0163】

例えばサブピクセルドライバセルSDC1のD/A変換器の階調電圧セクタSLN1～SLN11を構成するN型トランジスタは、図22(B)に示すサブピクセルドライバセルのN型トランジスタ領域NTR1に形成され、階調電圧セクタSLP1～SLP11を構成するP型トランジスタはP型トランジスタ領域PTR1に形成される。具体的には図22(C)に示すように、階調電圧セクタSLN11を構成するN型トランジスタTRF1、TRF2や、階調電圧セクタSLN9、SLN10を構成するN型トランジスタTRF3、TRF4は、N型トランジスタ領域NTR1に形成される。一方、階調電圧セクタSLP11を構成するP型トランジスタTRF5、TRF6や、階調電圧セクタSLP9、SLP10を構成するP型トランジスタTRF7、TRF8は、P型トランジスタ領域PTR1に形成される。そして、サブピクセルドライバセルの他の回路のN型トランジスタ領域、P型トランジスタ領域はD1方向に沿って配置されるのに対して、N型トランジスタ領域NTR1、P型トランジスタ領域PTR1はD2方向に沿って配置される。

【0164】

図21のD/A変換器では、例えば階調電圧セクタSLN1を構成するN型トランジスタと、階調電圧セクタSLP1を構成するP型トランジスタは、ペアとなってトランスファークロスを構成する。従って、階調電圧供給線をD2方向に沿って配線すれば、これらのP型、N型トランジスタに対して階調電圧供給線を共通接続でき、トランスファークロスを容易に構成できるようになり、レイアウト効率を向上できる。

【0165】

一方、D/A変換器以外の回路、例えばラッチ回路に対しては、メモリブロックからの画像データを入力する必要がある。そして図22(B)に示すように、この画像データはD1方向に沿って配線された画像データ供給線により供給される。また図20のレイアウト

10

20

30

40

50

トから明らかなように、サブピクセルドライバセル内での信号の流れの方向はD1方向である。従ってD/A変換器以外の回路のN型トランジスタ領域、P型トランジスタ領域を図22(B)のようにD1方向に沿って並べて配置すれば、信号の流れに沿った効率的なレイアウトが可能になる。従って、図22(B)のようなトランジスタ領域の配列は、図20のように配置されるサブピクセルドライバセルに最適なレイアウトになる。

【0166】

6. 電子機器

図23(A)(B)に本実施形態の集積回路装置10を含む電子機器(電気光学装置)の例を示す。なお電子機器は図23(A)(B)に示されるもの以外の構成要素(例えばカメラ、操作部又は電源等)を含んでもよい。また本実施形態の電子機器は携帯電話機には限定されず、デジタルカメラ、PDA、電子手帳、電子辞書、プロジェクタ、リアプロジェクションテレビ、或いは携帯型情報端末などであってもよい。

10

【0167】

図23(A)(B)においてホストデバイス410は、例えばMPU(Micro Processor Unit)、ベースバンドエンジン(ベースバンドプロセッサ)などである。このホストデバイス410は、表示ドライバである集積回路装置10の制御を行う。或いはアプリケーションエンジンやベースバンドエンジンとしての処理や、圧縮、伸長、サイジングなどのグラフィックエンジンとしての処理を行うこともできる。また図23(B)の画像処理コントローラ(表示コントローラ)420は、ホストデバイス410に代行して、圧縮、伸長、サイジングなどのグラフィックエンジンとしての処理を行う。

20

【0168】

表示パネル400は、複数のデータ線(ソース線)と、複数の走査線(ゲート線)と、データ線及び走査線により特定される複数の画素を有する。そして、各画素領域における電気光学素子(狭義には、液晶素子)の光学特性を変化させることで、表示動作を実現する。この表示パネル400は、TFT、TFDなどのスイッチング素子を用いたアクティブマトリクス方式のパネルにより構成できる。なお表示パネル400は、アクティブマトリクス方式以外のパネルであってもよいし、液晶パネル以外のパネルであってもよい。

【0169】

図23(A)の場合には、集積回路装置10としてメモリ内蔵のものを用いることができる。即ちこの場合には集積回路装置10は、ホストデバイス410からの画像データを、一旦内蔵メモリに書き込み、書き込まれた画像データを内蔵メモリから読み出して、表示パネルを駆動する。一方、図23(B)の場合には、集積回路装置10としてメモリ非内蔵のものを用いることができる。即ちこの場合には、ホストデバイス410からの画像データは、画像処理コントローラ420の内蔵メモリに書き込まれる。そして集積回路装置10は、画像処理コントローラ420の制御の下で、表示パネル400を駆動する。

30

【0170】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語(第1のインターフェース領域、第2のインターフェース領域、第1の回路領域、第2の回路領域等)と共に記載された用語(出力側I/F領域、入力側I/F領域、LV領域、MV領域等)は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。またバッファ回路及びローアドレスデコーダの配置やグローバル配線に関する本実施形態の手法は、図3とは異なる配置・構成の集積回路装置にも適用できる。また集積回路装置の第1、第2の方向と、バッファ回路及びローアドレスデコーダの配置やグローバル配線に関する第1、第2の方向とは、必ずしも一致している必要はない。

40

【図面の簡単な説明】

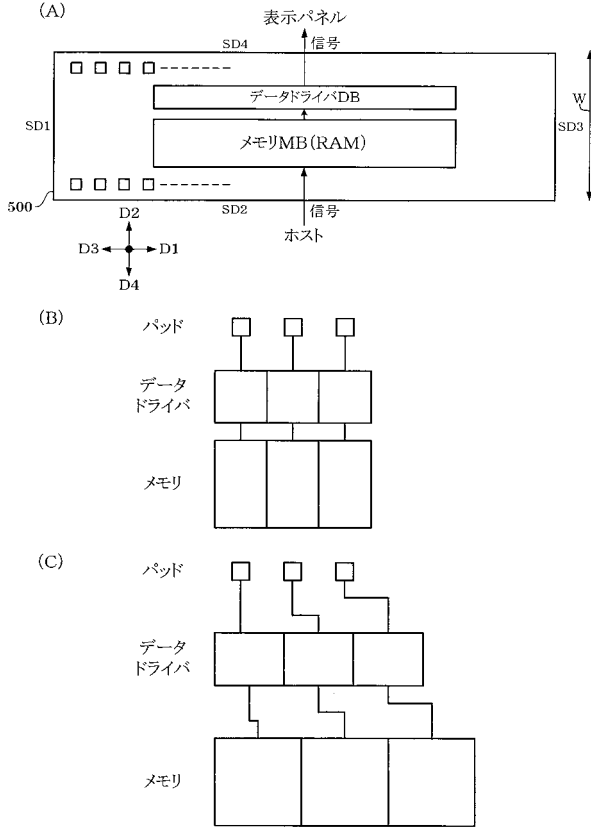
【0171】

【図1】図1(A)(B)(C)は本実施形態の比較例の説明図。

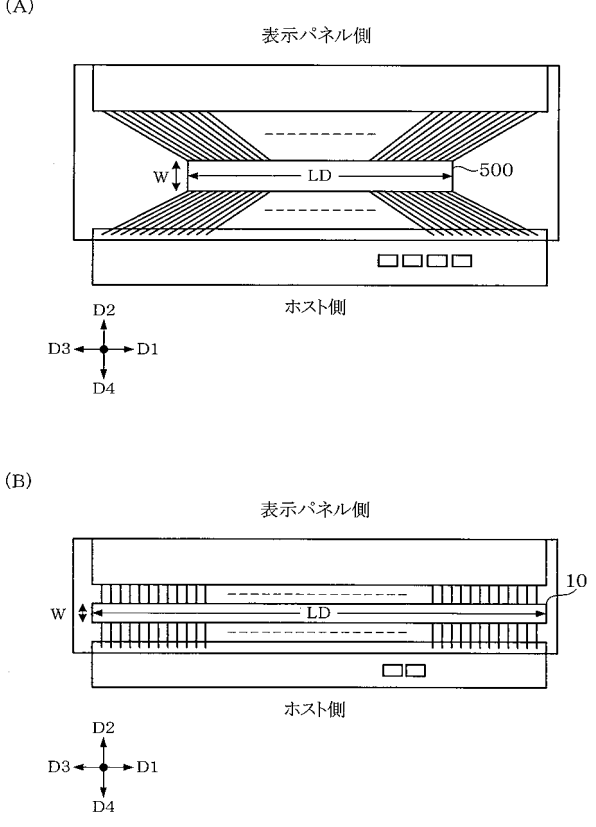
50

- 【図 2】図 2 (A) (B) は集積回路装置の実装についての説明図。
- 【図 3】本実施形態の集積回路装置の構成例。
- 【図 4】種々のタイプの表示ドライバとそれが内蔵する回路ブロックの例。
- 【図 5】図 5 (A) (B) は本実施形態の集積回路装置の平面レイアウト例。
- 【図 6】図 6 (A) (B) は集積回路装置の断面図の例。
- 【図 7】集積回路装置の回路構成例。
- 【図 8】図 8 (A) (B) (C) はデータドライバ、走査ドライバの構成例。
- 【図 9】図 9 (A) (B) は電源回路、階調電圧生成回路の構成例。
- 【図 10】図 10 (A) (B) (C) は D / A 変換回路、出力回路の構成例。
- 【図 11】図 11 (A) (B) は、本実施形態のバッファ回路、ローアドレスデコーダの
10
配置手法の説明図。
- 【図 12】ローアドレスデコーダの構成例。
- 【図 13】本実施形態のグローバル配線手法の説明図。
- 【図 14】リピータブロックの構成例。
- 【図 15】図 15 (A) (B) はメモリやデータドライバのブロック分割手法の説明図。
- 【図 16】1 水平走査期間に画像データを複数回読み出す手法の説明図。
- 【図 17】データドライバ、ドライバセルの配置例。
- 【図 18】サブピクセルドライバセルの配置例。
- 【図 19】センスアンプ、メモリセルの配置例。
- 【図 20】サブピクセルドライバセルの構成例。
20
- 【図 21】D / A 変換器の構成例。
- 【図 22】図 22 (A) (B) (C) は、D / A 変換器のサブデコーダの真理値表と、D / A 変換器のレイアウトの説明図。
- 【図 23】図 23 (A) (B) は電子機器の構成例。
- 【符号の説明】
- 【 0 1 7 2 】
- C B 1 ~ C B N 第 1 ~ 第 N の回路ブロック、
- D B データドライバブロック、M B メモリブロック、D R データドライバ、
- B F バッファ回路、M A、M A 1、M A 2、メモリセルアレイ、
- R D ローアドレスデコーダ、D M C 1 ~ D M C 4 ドライバマクロセル、
30
- D R C 1 ~ D R C 3 0 ドライバセル、
- S D C 1 ~ S D C 1 8 0 サブピクセルドライバセル、
- 1 0 集積回路装置、1 2 出力側 I / F 領域、1 4 入力側 I / F 領域、2 0 メモリ
- 、
- 2 2 メモリセルアレイ、2 4 ローアドレスデコーダ、
- 2 6 カラムアドレスデコーダ、2 8 ライト / リード回路、
- 4 0 ロジック回路、4 2 制御回路、4 4 表示タイミング制御回路、
- 4 6 ホストインターフェース回路、4 8 R G B インターフェース回路、
- 5 0 データドライバ、5 2 データラッチ回路、5 4 D / A 変換回路、
- 5 6 出力回路、7 0 走査ドライバ、7 2 シフトレジスタ、
40
- 7 3 走査アドレス生成回路、7 4 アドレスデコーダ、7 6 レベルシフタ、
- 7 8 出力回路、9 0 電源回路、9 2 昇圧回路、9 4 レギュレータ回路、
- 9 6 V C O M 生成回路、9 8 制御回路、1 1 0 階調電圧生成回路、
- 1 1 2 選択用電圧生成回路、1 1 4 階調電圧選択回路、1 1 6 調整レジスタ

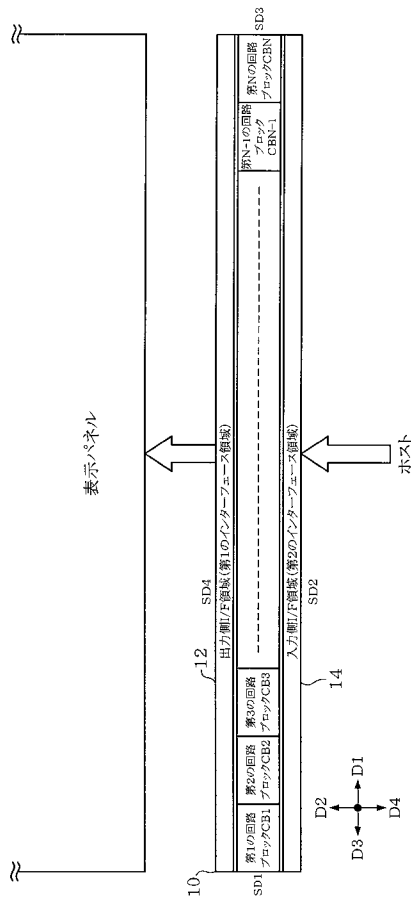
【図 1】



【図 2】



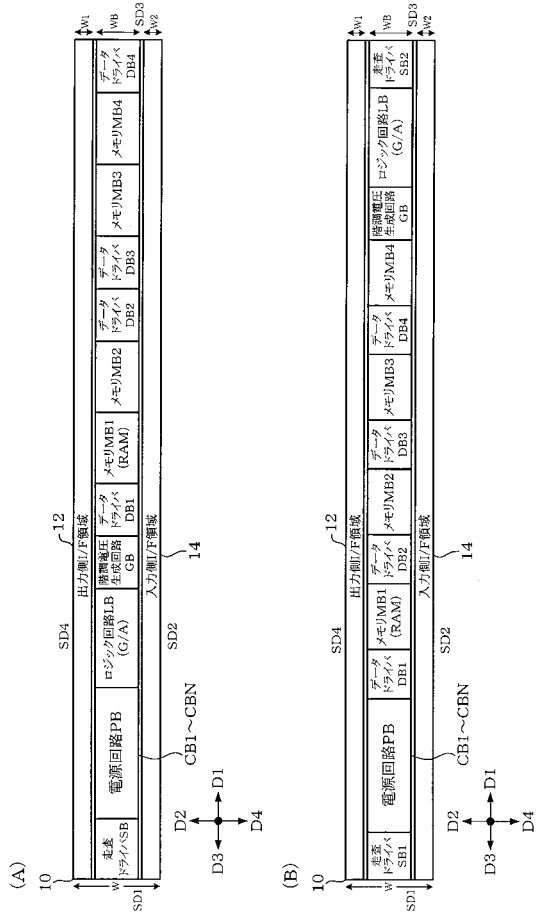
【図 3】



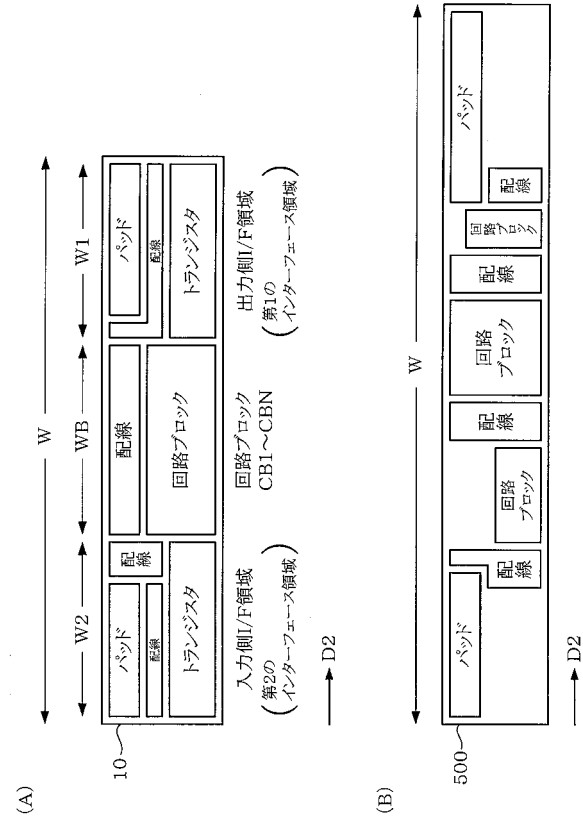
【図 4】

	メモリ(RAM)内蔵 アモルファス TFT	メモリ非内蔵 アモルファス TFT	低温ポリシリコン TFT	CSTN	TFD
メモリ(RAM)	○	×	○	○	○
データドライバ	○	○	○	○	○
走査ドライバ	○	○	○	○	○
ロジック回路(G/A)	○	○	○	○	○
階調電圧生成回路(γ)	○	○	○	×	×
電源回路	○	○	○	○	○

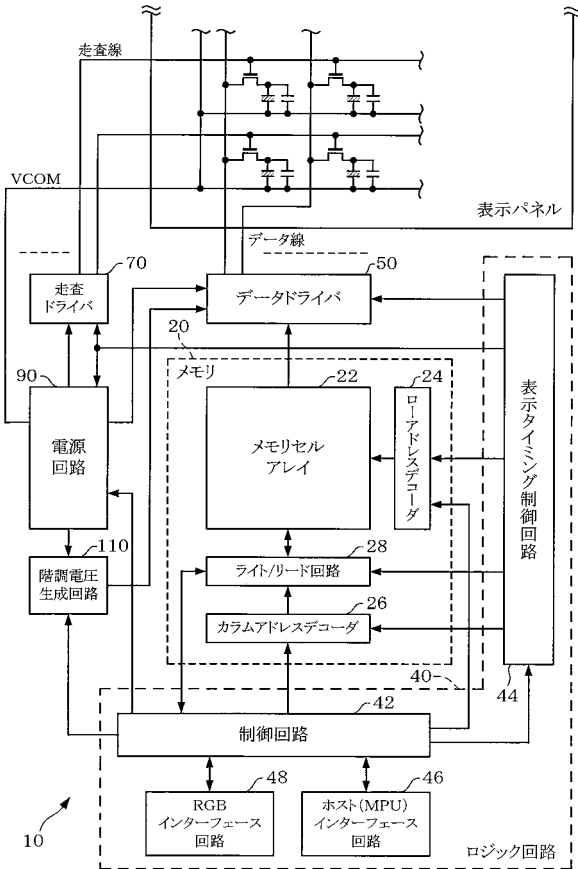
【図5】



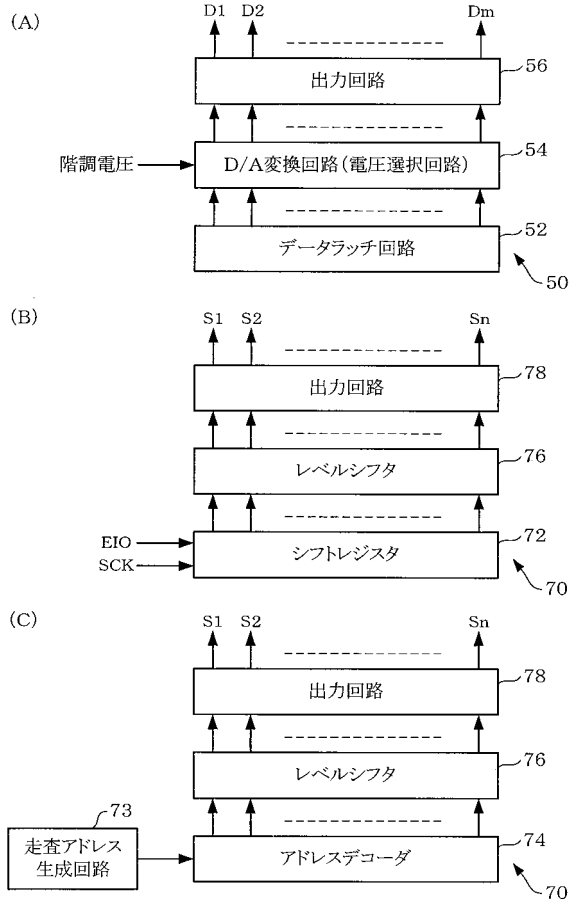
【図6】



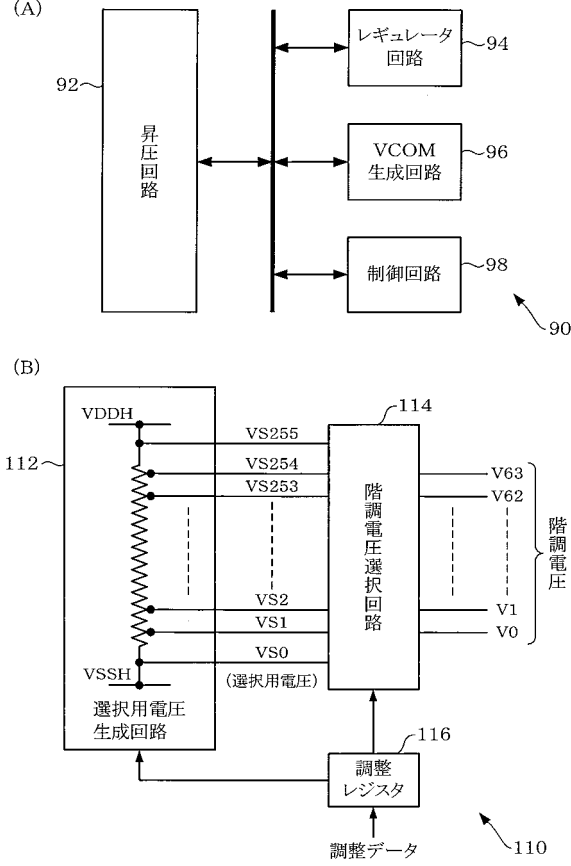
【図7】



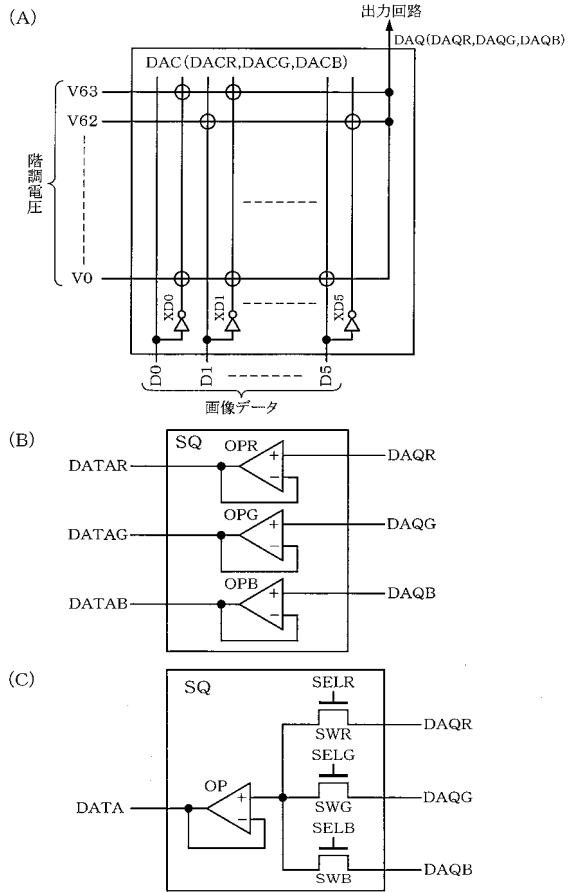
【図8】



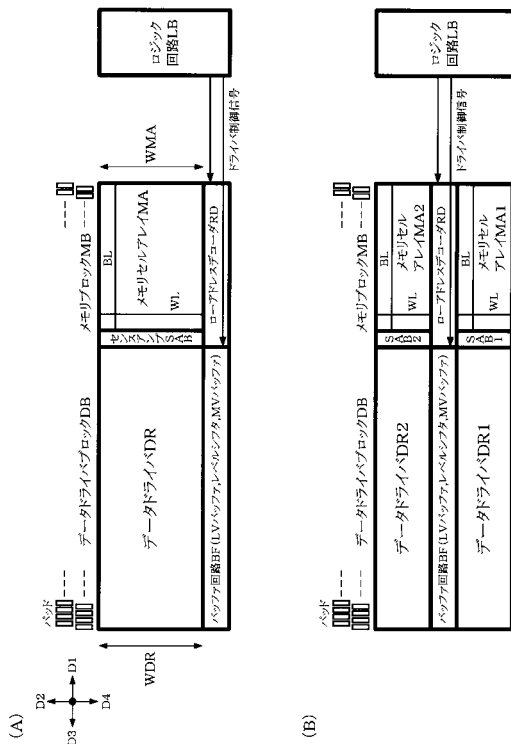
【図9】



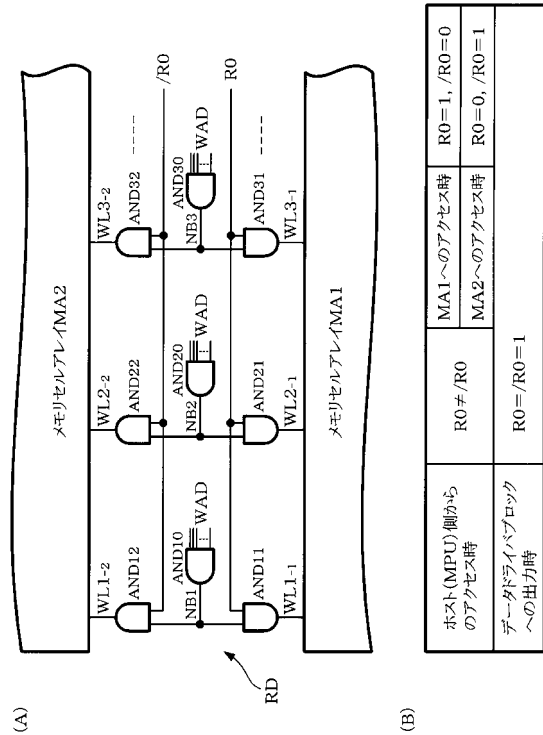
【図10】



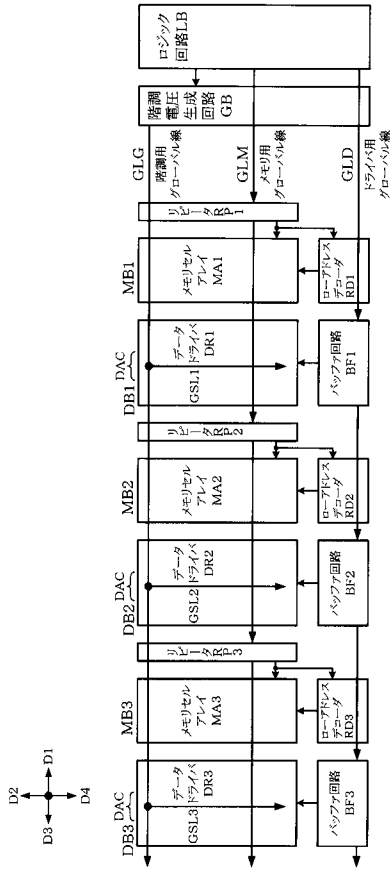
【図11】



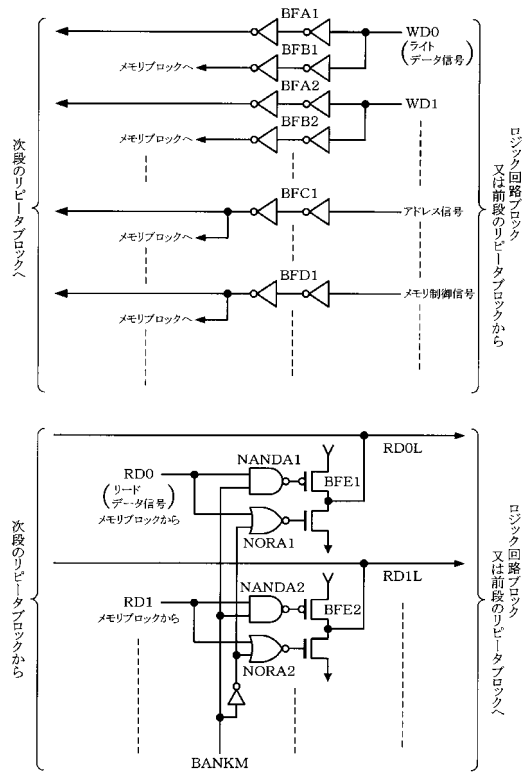
【図12】



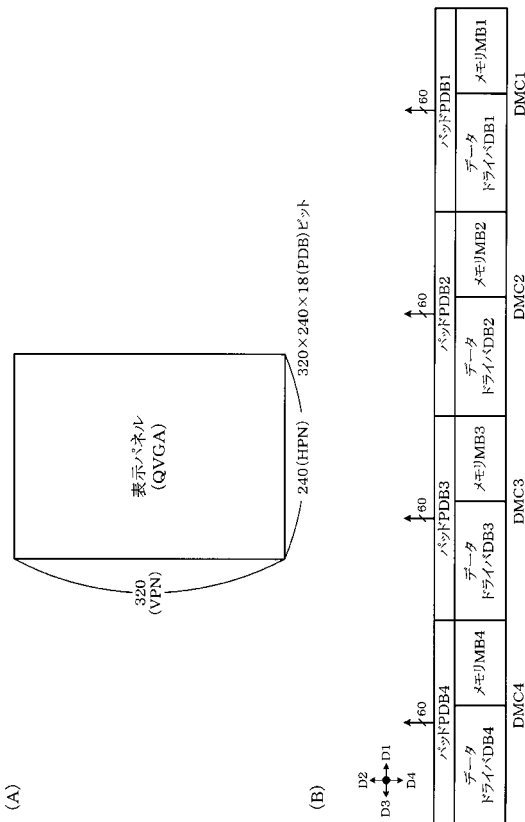
【図13】



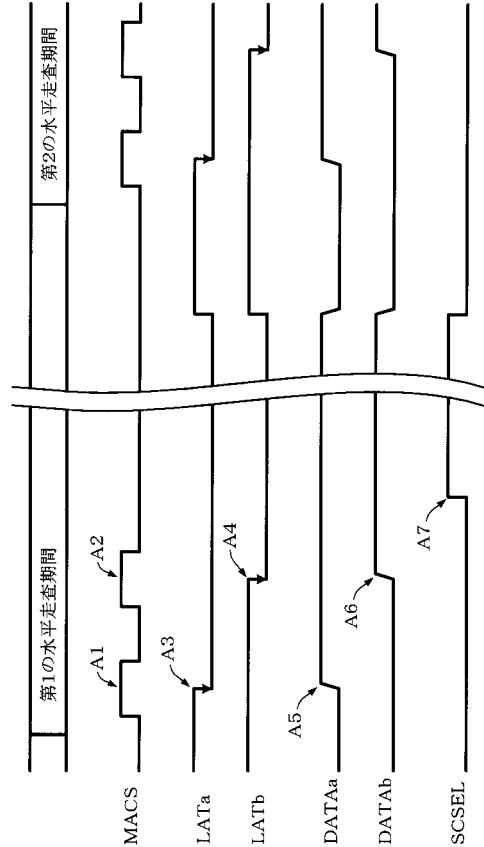
【図14】



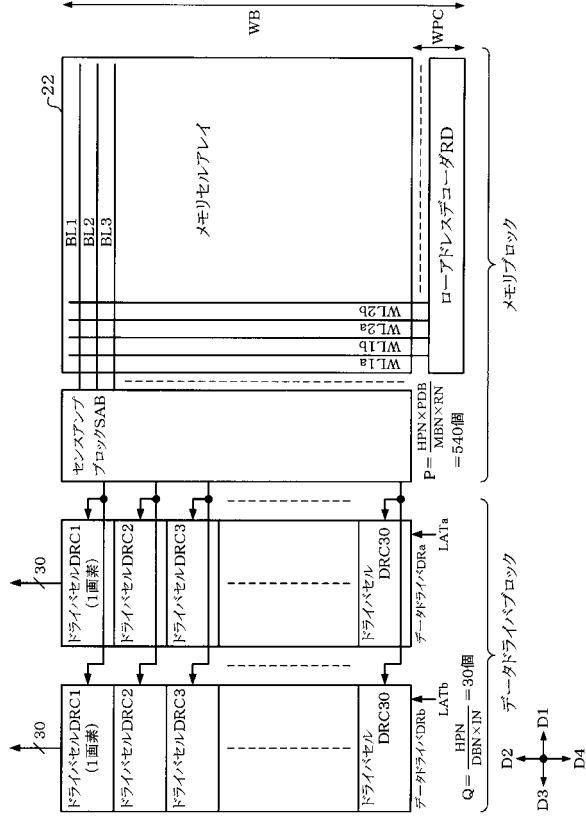
【図15】



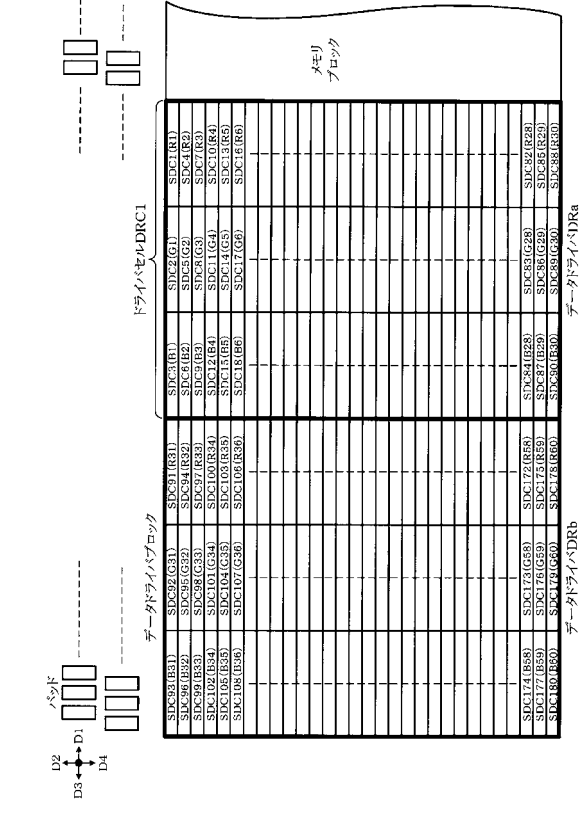
【図16】



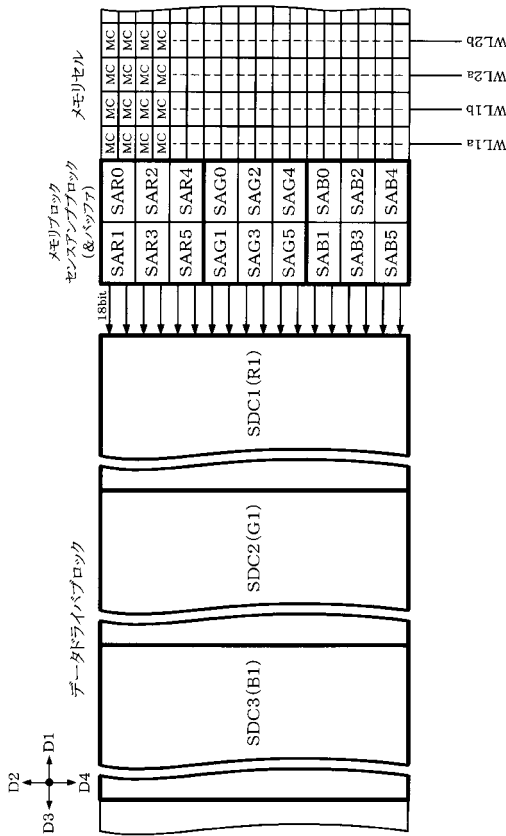
【 図 17 】



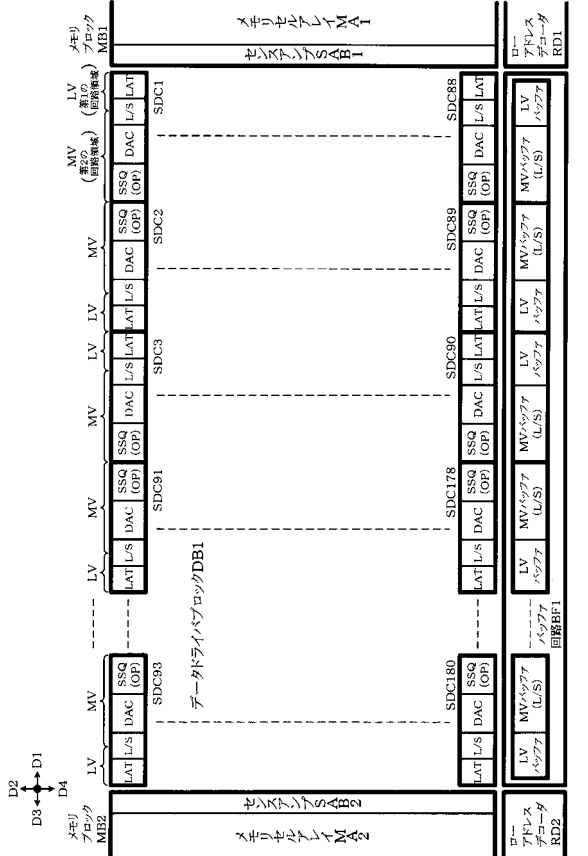
【 図 18 】



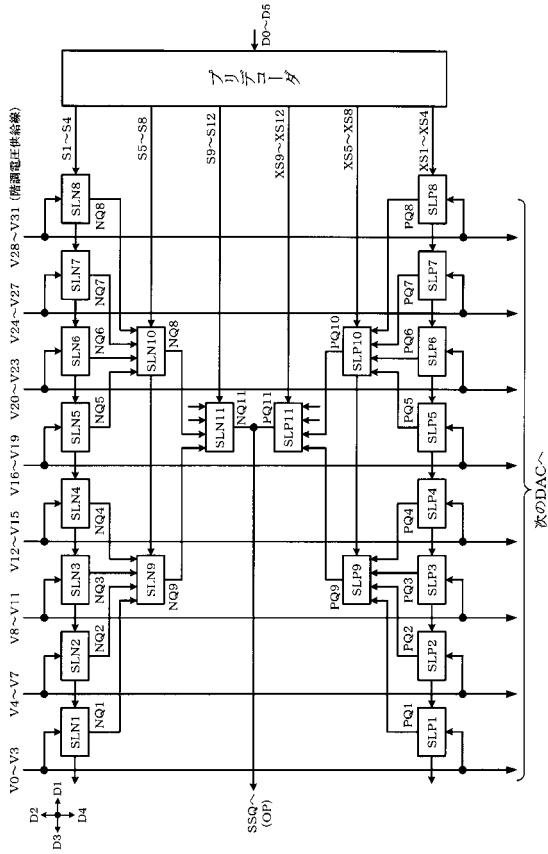
【 図 19 】



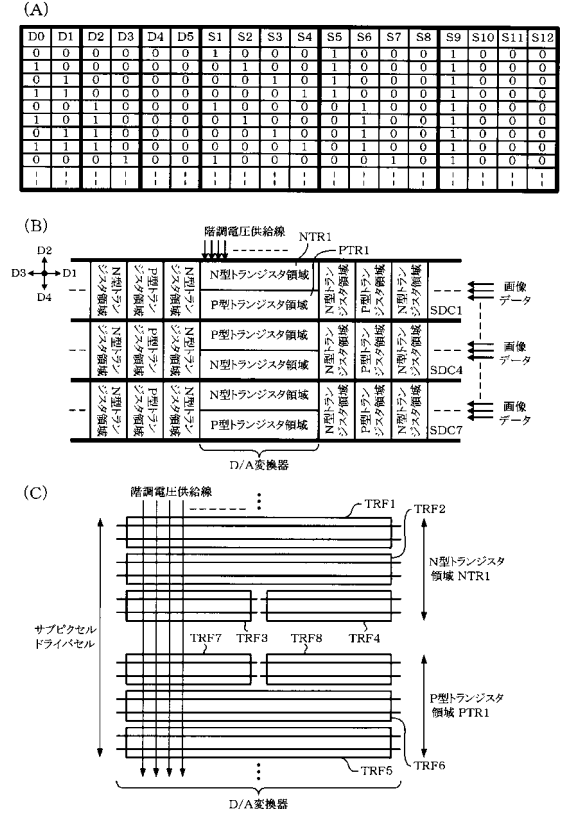
【 図 20 】



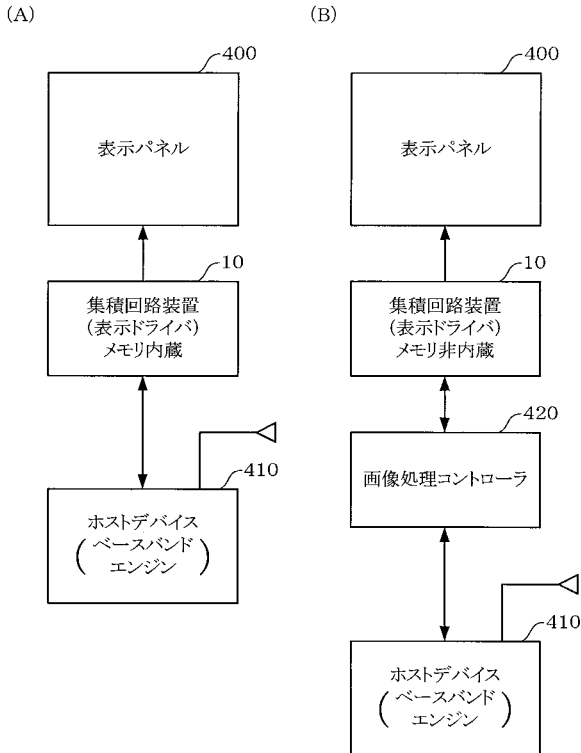
【図 2 1】



【図 2 2】



【図 2 3】



フロントページの続き

- (72)発明者 森口 昌彦
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 前川 和広
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 井富 登
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 小平 覚
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 唐澤 純一
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 熊谷 敬
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 石山 久展
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 藤瀬 隆史
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 大嶋 洋一

- (56)参考文献 特開2004-029795(JP,A)
特開2004-199082(JP,A)
特開2000-250070(JP,A)
特開2003-023092(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 21/82
H01L 27/04
G09G 3/20
G09G 3/26
G02F 1/133
G02F 1/1345
G02F 1/1362